

日本—台湾研究交流「AI システム構成に資するナノエレクトロニクス技術」 2023 年度 年次報告書	
研究課題名（和文）	薄膜メモデバイスとスパイクング計算を用いる ニューロモーフィックシステム
研究課題名（英文）	Neuromorphic System using Thin-Film Memdevice and Spiking Computing
日本側研究代表者氏名	木村 睦
所属・役職	龍谷大学・教授
研究期間	2022 年 4 月 1 日～ 2025 年 3 月 31 日

1. 日本側の研究実施体制

氏名	所属機関・部局・役職	役割
木村 睦	龍谷大学・先端理工学部・教授	薄膜メモデバイスのデバイス研究・集積化 スパイクング計算の原理考案 ニューロモーフィックシステムの試作
宮戸 祐治	龍谷大学・先端理工学部・准教授	薄膜メモデバイスの特性解析
新谷 道広	京都工芸繊維大学・電気電子工学系・准教授	薄膜メモデバイスのモデリング
藤井 茉美	近畿大学・理工学部・准教授	薄膜メモデバイスのプロセス研究 薄膜メモデバイスの特性解析
松田 時宜	近畿大学・理工学部・教授	薄膜メモデバイスのプロセス研究
河西 秀典	龍谷大学・革新的材料・プロセス研究センター・客員研究員	薄膜メモデバイスのプロセス研究 薄膜メモデバイスの特性解析 ニューロモーフィックシステムの試作
曲 勇作	北海道大学・電子科学研究所・助教	薄膜メモデバイスのプロセス研究 薄膜メモデバイスの特性解析

2. 日本側研究チームの研究目標及び計画概要

引き続き、薄膜メモデバイスのデバイス研究・集積化・半導体材料・デバイス構造・集積技術の研究・モデリング・デバイス・回路シミュレータのための定式化・組込・デバイス構造・回路構成の提案・プロセス研究・成膜プロセスの研究開発・比較評価・特性解析・材料構造評価・電気特性評価・スパイクング計算の原理考案・データの台湾側への送付を行う。また、新たに、薄膜メモデバイスの特性向上の研究・薄膜トランジスタの試作・物理モデル構築・ニューロン回路・シナプス回路・ネットワーク回路の考案・回路シミュレーションによる基本・応用特性確認・デバイスサンプルの台湾側への送付・台湾側の薄膜演算回路の設計、を行う。新規薄膜メモデバイス「動的メモキャパシタ(仮称)」にも注力する。

3. 日本側研究チームの実施概要

[薄膜メモデバイスのデバイス研究・集積化]

薄膜メモristaは、半導体 In-Ga-Zn-O(IGZO)・Ga-Sn-O(GTO)・クロスバー構造・3層積層で、試作を行った。酸素濃度の異なる層で、酸素供給・疑似電極・コンダクタンス変調の、役割分担が可能となる。プレーナと比較し、特性と微細化・高集積化に優れるクロスバーに決定している。スイッチング比=12.1(IGZO)・448(GTO)、までの特性向上に成功し、ニューロモフィックシステムに必要な仕様を満たしている(図1)。

薄膜メモキャパシタは、超低消費電力デバイスとして期待でき、研究開発を行っている。詳細は論文公開前なので省略する。

動的メモキャパシタは、アナログメモrista+固定キャパシタ+ショットキーダイオードの積層技術の研究開発を継続中で、疑似的な動作確認を行った。詳細は論文公開前なので省略する。

[薄膜メモデバイスのモデリング]

機械学習・ガウス過程を用いたアモルファス金属酸化物半導体薄膜メモristaのコンパクトモデリングの手法を確立した。精度は完全である。電圧印加回数依存と最大印加電圧依存の実デバイスのモデリングも成功した(図2)。Verilog-Aで回路シミュレータHSPICEへの実装の手法を確立し、ソースコードと必要データ・ファイルを、成功大学に送付済で、実装方法も説明済である。

[薄膜メモデバイスの特性解析]

XPSにより Sn^{4+} (SnO_2)と Sn^{2+} (SnO)の比率を評価し、スパッタガスの酸素分圧が多いところで、 Sn^{4+} が多いという、予想どおりの結果が得られた。また、本評価をすすめるなかで、負性微分抵抗が発現するメモrista特性を発見し、この特性を利用することで、スイッチング比の大幅な改善が実現できそうである(図3)。

[スパイクング計算の原理考案]

ニューロン回路は、成功大学の協力も得て、アモルファス金属酸化物薄膜トランジスタがn-chトランジスタのみであるので、CMOS回路からn-ch回路に修正した。積和動作・スパイクパルス発振動作は、スパイクングニューロモフィックシステムに必要な仕様を満たしている。

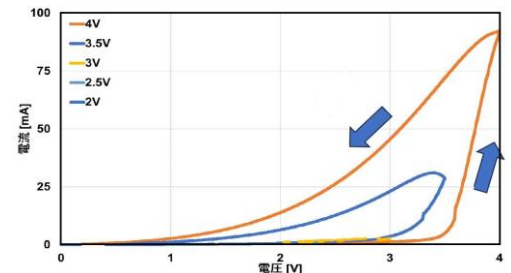


図1 GTOメモristaの特性向上

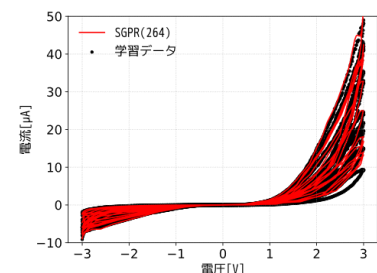


図2 メモrista特性のモデリング

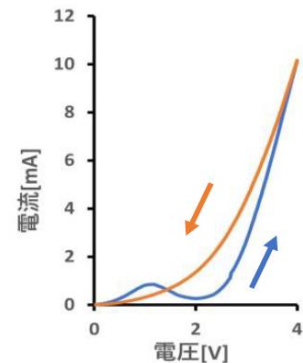


図3 負性微分抵抗が発現するメモrista特性

シナプス回路も、実績ある CMOS 回路のシナプスアレイから、薄膜シナプスアレイを考案した。シナプス強度と出力信号の線形性・入カスパイクの加算性を検証中である。詳細は論文公開前なので省略する。

本研究に関連して、CMOS ニューロン回路と薄膜メモキャパシタを想定し、ニューロモーフィックシステムを構成し、特性確認を行ったところ、超低消費エネルギーを達成した。計算効率は 200 TOPS/W を超えた。この成果はそのまま本研究に反映でき、すなわち、本研究の超低消費電力のスパイキングニューロモーフィックシステムの実現につながるものである。詳細は論文公開前なので省略する。