

日本—台湾研究交流「AI システム構成に資するナノエレクトロニクス技術」 2022 年度 年次報告書	
研究課題名（和文）	薄膜メモデバイスとスパイクング計算を用いる ニューロモーフィックシステム
研究課題名（英文）	Neuromorphic System using Thin-Film Memdevice and Spiking Computing
日本側研究代表者氏名	木村 睦
所属・役職	龍谷大学・教授
研究期間	2022 年 4 月 1 日 ～ 2025 年 3 月 31 日

1. 日本側の研究実施体制

氏名	所属機関・部局・役職	役割
木村 睦	龍谷大学 先端理工学部 教授	薄膜メモデバイスのデバイス研究・集積化
宮戸 祐治	龍谷大学 先端理工学部 准教授	薄膜メモデバイスの特性解析
新谷 道広	京都工芸繊維大学 電気電子工 学系 准教授	薄膜メモデバイスのモデリング
藤井 茉美	近畿大学 理工学部 准教授	薄膜メモデバイスのプロセス研究
河西 秀典	龍谷大学 革新的材料・プロセス 研究センター 客員研究員	薄膜メモデバイスのプロセス研究
曲 勇作	北海道大学 電子科学研究所 助教	薄膜メモデバイスの特性解析

2. 日本側研究チームの研究目標及び計画概要

薄膜メモデバイスのデバイス研究・集積化としては、半導体材料、デバイス構造および集積技術・特性向上の研究を開始する。集積技術として薄膜トランジスタの試作、データの台湾側への送付および台湾側と協力しての薄膜演算回路の設計を行う。薄膜メモデバイスのモデリングとしては、物理モデル構築、デバイス・回路シミュレータのための定式化・

組込を行い、デバイス構造・回路構成の提案を行う。薄膜メモリデバイスのプロセス研究としては、成膜プロセスの研究開発および比較評価を行う。薄膜メモリデバイスの特性解析としては、材料構造評価および電気特性評価を行う。スパイク計算の原理考案としては、情報収集・文献調査を行う。

3. 日本側研究チームの実施概要

[薄膜メモリデバイスのデバイス研究・集積化]

IGZO の 3 層積層のクロスバー構造のシナプスアレイの作製に成功し、AI・ニューラルネットワーク的なパターン再生機能を確認した（図 1）。いまだ 3 層ではあるが、層状集積化の可能性と、ニューロモーフィックシステムの可能性を示すものである。

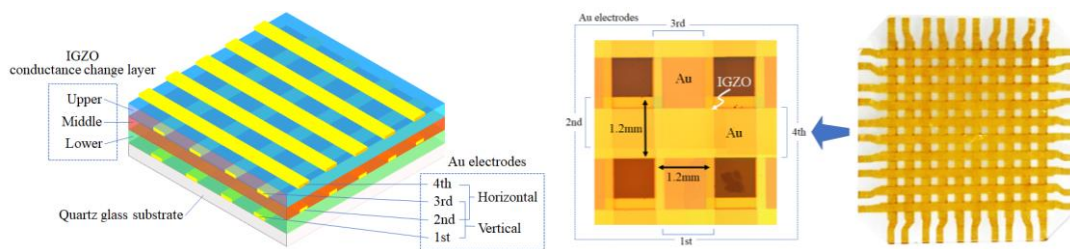


図 1 IGZO の 3 層積層のクロスバー構造のシナプスアレイ

新規薄膜メモリデバイス「動的メモリキャパシタ(仮称)」(アナログメモリストと固定キャパシタを組み合わせたデバイス)の着想を得た。すなわち、メモリストのダイナミックレンジとメモリキャパシタのローパワーのイイトコドリである。連続成膜・一体形成も可能である。

[薄膜メモリデバイスのモデリング]

機械学習として、メモリストをモデル化する手法を提案した。公開されているメモリスト実測値を用いて評価したところ、従来の手法と比べて、高精度・短い学習時間・同程度の推論時間を達成できた。詳細は論文公開前なので省略する。

[薄膜メモリデバイスのプロセス研究]

RF マグネトロンスパッタリング法で作製した GTO 薄膜メモリストで、メモリスト特性のアナログ可塑性を得ることに成功した。詳細は論文公開前なので省略する。

ミス CVD 法で作製した GTO 薄膜メモリストの特性の測定と、RF マグネトロンスパッタリング法とミス CVD 法の比較評価を行ったところ、まず、RF マグネトロンスパッタリング法では、2 層や 3 層の多層膜で良好な特性が得られることがわかった。一方で、ミス CVD 法でも単層膜では遜色のない特性が得られ、超低コストプロセスとして有望である。さらに、多層膜で特性の向上が期待できるが、現状のミス CVD 装置では多層膜の成膜は困難であるので、あらたにファインチャンネル方式のミス CVD 装置を導入中である。

[薄膜メモリデバイスの特性解析]

我々の IGZO および GTO-ReRAM では、フォーミング後において上部電極の形状が部分的に変化することが観察されている。この原因を調べるため、AFM を用いてデバイスの酸化物薄膜に対し局所的なバイアス印加を行い、形状変化と抵抗変化の相関を調べた。その結果、どちらの ReRAM

においても、AFM 探針によるバイアス印加部を中心としてクレーター状の形状変化が生じ、中心部が窪み周囲が盛り上がった。主に周囲の盛り上がった部分で抵抗が低下することがわかった。

[スパイク計算の原理考案]

前述の新規薄膜メモデバイス「動的メモキャパシタ(仮称)」の、クロスバー構造のシナプスアレイにより、スパイク計算の原理を考案した(図 2)。シンプルな構造でスパイク計算を実行できる。RC 回路の過渡的な充放電現象を利用するもので、シナプス強度はアナログメモリスタのコンダクタンスに対応し、コンダクタンスの大小がキャパシタンスの充電チャージの大小を生み、クロスバー構造で積和演算が実行され、アナログ電圧が出力信号として取り出される。回路シミュレーションにより、スパイクパルスの繰返入力に対する加算、スパイクパルスの並列入力に対する加算、コンダクタンスを乗数とする積算、などの正常な動作を確認している。

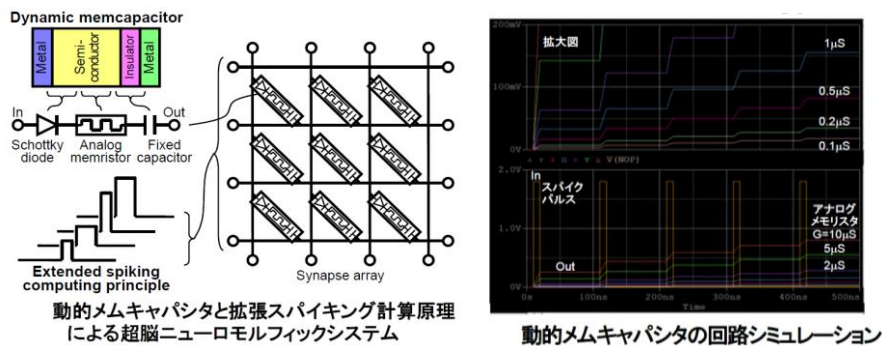


図 2 「動的メモキャパシタ(仮称)」を用いたニューロモーフィックシステム
および回路シミュレーション