

戦略的国際共同研究プログラム(SICORP)
国際共同研究拠点(インド)
フェーズ1 終了報告書 概要

1. 研究課題名:「IoTとモバイルビッグデータ処理のための高信頼高機能サイバーフィジカルシステムの構築」
2. 研究期間:平成 29 年 10 月～令和 4 年 3 月
3. 主な参加研究者名:
日本側チーム

	氏名	役職	所属	研究分担
研究代表者	藤田 昌宏	教授	東京大学工学系研究科	WP1,2,6 全体管理、 CPS用HW/SW 設計・実現技術
主たる 共同研究者	池田 誠	教授	東京大学工学系研究科	WP3 高エネルギー効 率暗号演算処 理
主たる 共同研究者	三田 吉郎	准教授	東京大学工学系研究科	WP4 MEMSデバイス 開発・設計
主たる 共同研究者	河野 崇	教授	東京大学生産技術研究所	WP5 シリコンニューロ ン
研究期間中の全参加研究者数			70名	

相手側チーム

	氏名	役職	所属	研究分担
研究代表者	ビレンドラ・シン	教授	インド工科大学ボンベイ校	全体管理、 CPS用HW/SW 設計・実現技術
主たる 共同研究者	ディネシュ・シャルマ	教授	インド工科大学ボンベイ校	組み込みシステ ム、VLSI技術
主たる 共同研究者	シダルス・デュタグ プタ	准教授	インド工科大学ボン ベイ校	MEMSデバイス
研究参加者	サチン・パトカール	教授	インド工科大学ボン ベイ校	システム・セキュ リティ
研究参加者	アシュウィン・グマ ステ	准教授	インド工科大学ボン ベイ校	ネットワーク技 術
研究参加者	R.K.シャマスンダ ル	教授	インド工科大学ボン ベイ校	形式的解析技 術
研究期間中の全参加研究者数			118名	

4. 日印共同研究の概要

サイバー・フィジカル・システム(CPS)は、デジタルのハードウェアとソフトウェアで構成されるサイバー部とセンサーやアクチュエーターを含む実際の物理的・機械的な物体に対応する物理部からなり、電気自動車とそのネットワーク化されたもの、発電・配電システム、統合ビル、農業などを含むシステムのシステムと考えることができ、産業・社会分野において、キーとなる構成要素とな

っている。本研究では日印が相補的に研究することで、テンプレートベース設計という考え方をを用いて、高信頼性 CPS を迅速に正しく設計する手法を確立し、その技術を MEMS デバイス、シリコンニューロン、AI エッジアクセラレータを活用した地すべり予測システムなどへ応用し、有用性を示した。

人的交流も活発に行い共同研究を活発化させるとともに、MEMS デバイス分野では、日印の設計・製造ネットワーク融合への道筋をつけた。また、日印の学生同士が自発的に連携しながら切磋琢磨する場として、日印のグループとして、いくつかの国際会議のコンテストに応募し、優勝を含め、すべてのコンテストで入賞するなど、欧米の参加者と比べ互角以上の成績を得た。

5. 日印共同研究の成果

5-1 日印共同研究の学術成果および実施内容

我々は、信頼性の高い CPS の設計・開発に必要な技術項目のほとんどをカバーするように考慮しながら、適用可能な ICT 技術の様々な研究項目に取り組んできた。すべての研究において、日本チームとインドチームは、相互訪問を通じた技術的な議論やオンラインでの定期的な議論、共同での設計、プログラムコーディングや実験など、鋭意共同作業を行ってきた。また、MEMS デバイス開発、シリコンニューロンとの統合、地すべり予測システム、各種画像処理問題の処理、AI エッジアクセラレータなどへの応用により、研究した設計手法を用いて様々なアプリケーションに対応した信頼性の高い CPS が開発できることが確認されている。

5-2 日印共同研究による相乗効果

お互いの研究成果は頻繁な議論を相互訪問やオンライン会議により繰り返しており、研究成果全般について日印の協力によるところが大きい。特に、(1) 並列計算機構の自動最適合成、(2) アレイベースの FPGA 技術の確立と最適な画像処理への適用、(3) IoT/Edge をターゲットとして、アレイ・プロセッサ上への畳み込みニューラルネットワーク (CNN) 処理の最適なコンパイル、(4) 多重故障に対するテストパターン自動生成 (ATPG) 技術、および、(5) 近似演算回路解析に関しては、日本側が主導した研究テーマではあるが、インド側のアイデアやフィードバック、実験結果などを幅広く活用し、世界トップの技術レベルへ向上しており、研究結果は日印共同成果であると言える。

5-3 日印共同研究の波及効果および進展内容

ほぼすべての研究項目で、日印共同研究で初めて可能となった成果が数多く生まれている。これらは、コロナ禍前は数多い日印相互訪問により実現され、またコロナ禍以降では相互訪問はできないが、週 1、2 回のオンライン会議を開催するようになり、結果的に相互協力がより強くなり、より一体化した研究体制が実現されている。これにより、学術的な研究成果だけでなく、産業界や社会での活用を日印で協力して進められるとともに、若手人材の育成面で大きな成果をあげている。

6. 国際共同研究拠点への発展性

日本、インド双方には、「研究協力」の仕組みを持つネットワークが存在する。日本では、旧 VDEC の産学連携 VLSI 設計ネットワークやナノテクネットワークをベースに、CPS の実装に関連するあらゆる人的・技術的リソースにアクセスすることができ、インドでは、VLSI 設計分野と情報システム・セキュリティ分野でのネットワークが確立されており、CPS のシステム面に関連するあらゆる人的・技術的リソースにアクセスすることができる。

教育面では、信頼性の高い CPS の開発に豊富な経験を持つ若い研究者やエンジニアが輩出されており、そのうちの何人かは、現在、学術的なキャリアを追求しており、他の者も、習得した知識や研究能力を活かしながら、現在、産業界で活躍している。彼らは、国際共同研究拠点プロジェクトに参加している日印教員の指導だけでなく、日本とインドの学生同士の交流を通じて、大きな刺激を受けており、ICT 分野の日印協力の中心になっていく。

**Strategic International Collaborative Research Program (SICORP)
Collaboration Hubs for International Research Program (Japan-India)
Executive Summary of Phase 1 Final Report**

1. Project title : 「Architecting Intelligent Dependable Cyber Physical System Targeting IoT and Mobile Big Data Analysis」
2. Research period : October 2016 ~ March 2022
3. Main participants :

Japan-side

	Name	Title	Affiliation	Role in the research project
PI	Masahiro Fujita	Professor	The University of Tokyo, School of Engineering	WP1,2,6 Management, HW/SW design/development for CPS
Co-PI	Makoto Ikeda	Professor	The University of Tokyo, School of Engineering	WP3 Energy efficient encryption
Co-PI	Yoshio Mita	Associate Professor	The University of Tokyo, School of Engineering	WP4 MEMS device design and development
Co-PI	Takashi Kohno	Professor	The University of Tokyo, School of Engineering	WP5 Silicon neuron
Total number of participants throughout the research period: 70				

Partner-side

	Name	Title	Affiliation	Role in the research project
PI	Virendra Singh	Professor	IITB, Dept. of EE	Management, CPS HW/SW design
Co-PI	Dinesh Sharma	Professor	IITB, Dept. of EE	Embedded Systems, VLSI Technology
Co-PI	Sidharth Duttagupta	Associate Professor	IITB, Dept. of EE	MEMS device development
Collaborator	Sachin Patkar	Professor	IITB, Dept. of EE	System security
Collaborator	Ashwin Gumaste	Associate Professor	IITB, Dept. of EE	Networking
Collaborator	R.K. Shyamasundar	Professor	IITB, Dept. of EE	Formal Analysis
Total number of participants throughout the research period: 118				

4. Summary of the international joint research

Cyber-physical systems (CPS) consist of a cyber part made of digital hardware and software, and a physical part corresponding to actual physical and mechanical objects including sensors and actuators. It can be considered as a system of systems including electric vehicles and their networked counterparts, power generation and distribution systems, integrated buildings, agriculture, etc., and is a key component in industrial and social fields. Through complementary research by Japan and India, we have established a method for rapid and correct design of highly reliable CPS using the concept of template-based design, applied the technology to MEMS devices, silicon neurons, and a

landslide prediction system using AI edge accelerators, and demonstrated its usefulness.

In the field of MEMS devices, we have paved the way for the integration of the Japan-India design and manufacturing networks. As a place where students from Japan and India can work together spontaneously in friendly rivalry, they entered several international prestigious conference contests as a Japan-India group, and won prizes in all of them, including the first prize, exceeding the participants from Europe and the United States.

5. Outcomes of the international joint research

5-1 Scientific outputs and implemented activities of the joint research

We have been working on various research items on applicable ICT technologies, taking into account that they cover most of the technical items required for the design and development of a reliable CPS. In all the researches, the Japanese and Indian teams have been diligently collaborating on technical discussions through mutual visits, regular online discussions, joint design, program coding and experiments. The applications to MEMS device development, integration with silicon neurons, landslide prediction systems, various image processing problem processing, AI edge accelerators, etc., have confirmed that a reliable CPS can be developed for various applications using the studied design methodology.

5-2 Synergistic effects of the joint research

The results of our researches are frequently discussed with each other through mutual visits and online meetings, and the overall research results are mostly due to the cooperation between Japan and India. In particular, (1) Automatic optimal synthesis of parallel computing mechanisms, (2) Establishment of array-based FPGA technology and its optimal application to image processing, (3) Optimal compilation of convolutional neural network (CNN) processing on array processors targeting IoT/Edge, (4) Automatic Test Pattern Generation (ATPG) technology for multiple failures, and (5) Analysis of approximate arithmetic circuits are research themes initiated by the Japanese side, but the ideas, feedback, and experimental results from the Indian side have been widely used to improve the technology to the world's top level, and the research results can be regarded as a joint achievement.

5-3 Scientific, industrial or societal impacts/effects of the outputs (Spillover effects)

In almost every research category, many results have been produced that were possible only through Japan-India joint research. Before COVID-19, this was achieved through numerous mutual visits between Japan and India. After COVID-19, although mutual visits are not possible, online meetings are held once or twice a week, and as a result, mutual cooperation has become stronger and a more integrated research system has been realized. Consequently, Japan and India have been able to collaborate not only on academic research results, but also on their application in industry and society, and have achieved significant results in the development of young human resources.

6. Potential as international collaborative research hub

In both Japan and India, there are networks with "research cooperation" mechanisms. In Japan, based on the former VDEC's industry-academia VLSI design network and nanotechnology network, it is possible to access all human and technical resources related to the implementation of CPS. While in India, networks have been established in the field of VLSI design and information systems and security, giving access to all human and technical resources related to the systems aspects of CPS. In terms of education, young researchers and engineers with extensive experiences in developing reliable CPS have been produced, some of whom are now pursuing academic careers, while others are now working in industry, using the knowledge and research skills they have acquired. They have been greatly inspired not only by the guidance of the Japan-India faculty participating in the Joint Research Hub project, but also through the interaction between students from Japan and India, and will become the center of Japan-India cooperation in the field of ICT.

国際共同研究における主要な研究成果リスト

1. 論文発表等

* 原著論文(相手側研究チームとの共著論文)発表件数:計 19 件

・査読有り:発表件数:計 19 件(主要な業績について下記に記載)

1. Mayank Palaria, Sai Sanjeet, Bibhu Datta Sahoo, Masahiro Fujita, "Adder-Only Convolutional Neural Network with Binary Input Image", *IEEE 62nd International Midwest Symposium on Circuits and Systems (MWSCAS) 2019*, **2019**, 319-322 DOI: 10.1109/MWSCAS.2019.8885354
2. Binod Kumar, Kanad Basu, Masahiro Fujita, Virendra Singh, "Post-Silicon Gate-Level Error Localization with Effective & Combined Trace Signal Selection", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **2018**, 39(1), 248-261 DOI: 10.1109/TCAD.2018.2883899
3. Toral Shah, Anzhela Yu. Matrosova, Masahiro Fujita, Virendra Singh, "Multiple Stuck-at Fault Testability Analysis of ROBDD Based Combinational Circuit Design", *Journal of Electron Testing*, **2018**, 34(1), 53-65 DOI: 10.1007/s10836-018-5703-3
4. Binod Kumar, Jay Adhaduk, Kanad Basu, Masahiro Fujita, Virendra Singh, "A Methodology to Capture Fine-Grained Internal Visibility During Multisession Silicon Debug", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **2020**, 28(4), 1002-1015 DOI: 10.1109/TVLSI.2019.2958989
5. Vineesh V S, Binod Kumar, Rushikesh Shinde, Neelam Sharma, Masahiro Fujita, Virendra Singh, "Enhanced Design Debugging with Assistance from Guidance-based Model Checking", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **2020**, 40(5), 985-998 DOI: 10.1109/TCAD.2020.3011039
6. Kamal Das, Shubhankar Majumdar, Soumen Moulik, Masahiro Fujita, "Real-Time Threshold-based Landslide Prediction System for Hilly Region using Wireless Sensor Networks", *IEEE International Conference on Consumer Electronics-Taiwan*, **2020**, 1-2 DOI: 10.1109/ICCE-Taiwan49838.2020.9258181
7. Hari Mohan Gaur, Ashutosh Kumar Singh, Anand Mohan, Masahiro Fujita, Dhiraj K. Pradhan, "Design of Single-Bit Fault-Tolerant Reversible Circuits", *IEEE Design and Test*, **2021**, 38(2), 89-96 DOI: 10.1109/MDAT.2020.3006808

・査読無し:発表件数:計 0 件

* 原著論文(相手側研究チームを含まない日本側研究チームの論文):発表件数:計 98 件

・査読有り:発表件数:計 98 件(主要な業績について下記に記載)

1. Masahiro Fujita, Yusuke Kimura, Qin hao Wang, "Template based synthesis for high performance computing", *IEEE International Conference on Very Large Scale Integration (VLSI-SoC)*, **2017**, 1-6 DOI: 10.1109/VLSI-SoC.2017.8203492
2. Amir Masoud Gharehbaghi, Masahiro Fujita, "A new approach for constructing logic functions after ECO", *IEEE International Conference on Very Large Scale Integration (VLSI-SoC)*, **2017**, 1-6 DOI: 10.1109/VLSI-SoC.2017.8203465
3. Mingfei Yu, Ruitao Gao, Masahiro Fujita, "A Decomposition-Based Synthesis Algorithm for Sparse Matrix-Vector Multiplication in Parallel Communication Structure", *The 26th Asia and South Pacific Design Automation Conference (ASP-DAC)*, **2020**, 518-523 DOI: 10.1145/3394885.3431422
4. Akihiro Goda, Yukio Miyasaka, Amir Masoud Gharehbaghi, Masahiro Fujita, "Synthesis and Generalization of Parallel Algorithms Considering Communication Constraints", *International Symposium on Quality Electronic Design (ISQED) 2020*, **2020**, 123-128 DOI: 10.1109/ISQED48828.2020.9137022

5. Yukio Miyasaka, Masahiro Fujita, Alan Mishchenko, John Wawrzynek, "SAT-Based Mapping of Data-Flow Graphs onto Coarse-Grained Reconfigurable Arrays", **2020**, 113-131 DOI: 10.1007/978-3-030-81641-4_6
6. Peikun Wang, Conrad Jinyong Moore, Amir Masoud Gharehbaghi, Masahiro Fujita, "An ATPG Method for Double Stuck-At Faults by Analyzing Propagation Paths of Single Faults", *IEEE Transactions on Circuits and Systems I.*, **2017**, 65(3), 1063-1074 DOI: 10.1109/TCSI.2017.2765721
7. Yusuke KIMURA, Amir Masoud GHAREHBAGHI, Masahiro FUJITA, "Signal Selection Methods for Debugging Gate-Level Sequential Circuits", *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, **2019**, E102-A(12), 1770-1780 DOI: 10.1587/transfun.E102.A.1770
8. Peikun Wang, Amir Masoud Gharehbaghi, Masahiro Fujita, "An Incremental Automatic Test Pattern Generation Method for Multiple Stuck-at Faults", *IEEE 37th VLSI Test Symposium (VTS)*, **2019**, 1-6 DOI: 10.1109/VTS.2019.8758668
9. He-Teng Zhang, Masahiro Fujita, Chung-Kuan Cheng, Jie-Hong R. Jiang, "SAT-Based On-Track Bus Routing", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **2021**, 40(4), 735-747 DOI: 10.1109/TCAD.2020.3007253
10. S. Rai, W. L. Neto, Y. Miyasaka, X. Zhang, M. Yu, Q. Yi, M. Fujit, G. B. Manske, M. F. Pontes, L. S. da Ros, M. S. de Aguiar, P. F. Butzen, P. -C. Chien, Y. -S. Huang, H. -R. Wang, J. -H. R. Jiang, J. Gu, Z. Zhao, Z. Jiang, D. Z. Pan, B. A. de Abreu, I. de Souza Campos, A. Berndt, C. Meinhardt, J. T. Carvalho, M. Grellert, S. Bampi, A. Lohana, A. Kumar, W. Zeng, A. Davoodi, R. O. Topaloglu, Y. Zhou, J. Dotzel, Y. Zhang, H. Wang, Z. Zhang, V. Tenace, P. -E. Gaillardon, A. Mishchenko, S. Chatterjee, "Logic Synthesis Meets Machine Learning: Trading Exactness for Generalization", *2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, **2021**, 1026-1031 DOI: 10.23919/DATE51398.2021.9473972
11. Y. Miyasaka, X. Zhan, M. Yu, Q. Yi, M. Fujita, "Logic Synthesis for Generalization and Learning Addition", *2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, **2021**, 1032-1037 DOI: 10.23919/DATE51398.2021.9474169
12. M. Tamura and M. Ikeda, "Montgomery Multiplier Design for ECDSA Signature Generation Processor," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, **2016**, E99-A(12), 2444-2452 DOI: 10.1587/transfun.E99.A.2444
13. Hiromitsu Awano, Tadayuki Ichihashi, Makoto Ikeda, "An ASIC Crypto Processor for 254-Bit Prime-Field Pairing Featuring Programmable Arithmetic Core Optimized for Quadratic Extension Field", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, **2019**, E102-A(1), 56-64 DOI: doi.org/10.1587/transfun.E102.A.56.
14. Shotaro Sugiyama, Hiromitsu Awano, Makoto Ikeda, "Low Latency 256-bit \mathbb{F}_p ECDSA Signature Generation Crypto Processor," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, **2018**, E101-A(12), 2290-2296 DOI: 10.1587/transfun.E101.A.2290
15. Makoto Ikeda, "Exploring Elliptic Curve based cryptography hardware design," *Asian Hardware Oriented Security and Trust Symposium (AsianHOST 2019)*, **2019**
16. Hiromitsu Awano, Makoto Ikeda, "FourQ on ASIC: Breaking Speed Records for Elliptic Curve Scalar Multiplication," *Design, Automation and Test in Europe (DATE)*, **2019**, 1733-1738 DOI: 10.23919/DATE.2019.8715287
17. H. Awano, T. Iizuka, M. Ikeda, "PUFNet: A Deep Neural Network Based Modeling Attack for Physically Unclonable Function", *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*, **2019**, 1-4 DOI: 10.1109/ISCAS.2019.8702431
18. Y. Ogasahara, Y. Hori, T. Katashita, T. Iizuka, H. Awano, M. Ikeda, H. Koike, "Implementation of pseudo-linear feedback shift register-based physical unclonable functions on silicon and sufficient Challenge–Response pair acquisition using Built-In Self-Test before shipping" , *Integration*, **2020**, 71, 144-153 DOI: 10.1016/j.vlsi.2019.12.002

19. T. Shimada, M. Ikeda, "High-throughput Polynomial Multiplier Architecture for Lattice-based Cryptography," *2021 IEEE International Symposium on Circuits and Systems (ISCAS)*, **2021**, 1-5 DOI: 10.1109/ISCAS51556.2021.9401755
20. Daigo Terutsuki, Hidefumi Mitsuno, Takeshi Sakurai, Yuki Okamoto, Agnes Tixier-Mita, Hiroshi Toshiyoshi, Yoshio Mita and Ryohei Kanzaki, "Increasing cell-device adherence using cultured insect cells for receptor-based biosensors", *Royal Society Open Science*, **2018**, 5(3), 172366 DOI: 10.1098/rsos.172366
21. Yoshio Mita, Naoyuki Sakamoto, Naoto Usami, Antoine Frappe, Akio Higo, Bruno Stefanelli, Hidehisa Shiomi, Julien Bourgeois, and Andreas Kaiser, "Micro-scale ultra high frequency resonant wireless powering for capacitive and resistive MEMS actuators", *Sensors and Actuators A: Physical*, **2018**, 275(1), 75-87 DOI: 10.1016/j.sna.2018.03.020
22. Yuki Okamoto, Hiroaki Takehara, Koji Fujimoto, Takanori Ichiki, Takayuki Ohba, and Yoshio Mita, "On-Chip High-Voltage Charge Pump with MEMS Post-Processed Standard 5-V CMOS on SOI for Electroosmotic Flow Micropumps", *IEEE Electron Device Letters*, **2018**, 39(6), 851-854 DOI: 10.1109/LED.2018.2829925
23. Akio Higo, Yoshio Mita, Haibin Wang, Takaya Kubo, Hiroshi Segawa, Naoto Usami, Yuki Okamoto, Kentaro Yamada, Yudai Takeshiro, and Masakazu Sugiyama, "Fabrication of PbS QD/Silicon Hybrid Infrared Photodiode for LSI Platform", *IEEJ Transactions on Sensors and Micromachines*, 2018 (2018.07) doi: 10.1541/ieejsmas.138.307
24. Yuki Okamoto, Yoshio Mita, "A Review on Increasing of Breakdown Voltage of Standard CMOS LSI Circuits by MEMS Post-Process", *IEEJ Transactions on Sensors and Micromachines*, **2018**, 138(7), 307-311 DOI: 10.1541/ieejsmas.138.319
25. D. Terutsuki, H. Mitsuno, T. Sakurai, Y. Okamoto, A. Tixier-Mita, H. Toshiyoshi, Y. Mita, and R. Kanzaki, "Cell-sensor interface analysis of a bio-hybrid electric odorant sensor," *28th Anniversary World Congress on Biosensors (Biosensors 2018)*, **2018**
26. R Ranga Reddy, Keisuke Komeda, Yuki Okamoto, Eric Lebrasseur, Akio Higo, and Yoshio Mita, "A zero-power sensing MEMS shock sensor with a latch-reset mechanism for multi-threshold events monitoring", *Sensors and Actuators A: Physical*, **2019**, 295, 1-10 DOI: 10.1016/j.sna.2019.05.036
27. Y. Mita, E. Lebrasseur, M. Ezaw, K. Tsuj, M. Kawamura, A. Higo, "TopoMEMS Circuit: Step-Variable-Resettable MEMS Capacitor for Topological Electrical Circuit", *2021 21st International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers)*, **2021**, 377-380 DOI: 10.1109/Transducers50396.2021.9495418
28. Naoki Toyoshima, Takashi Kohno, "Decoding spike patterns of auto-associative memory on spiking neuronal networks", *ICAROB2019*, **2019**, 24, 66-69 DOI: 10.5954/ICAROB.2019.OS2-1
29. Naruaki Takano and Takashi Kohno, "Towards Modeling Cholinergic Modulation for Neuromorphic Computing," *The 2020 International Conference on Artificial Life and Robotics*, **2020**, 159-162 DOI: 10.5954/ICAROB.2020.OS6-3
30. Ashish Gautam, Takashi Kohno, "An Adaptive STDP Learning Rule for Neuromorphic Systems"; *Frontiers Neuroscience*, **2021**, 15, 741116 DOI: 10.3389/fnins.2021.741116
31. Takahiko Ishizu, Shuhei Nagatsuka, Momoyo Yamaguchi, Atsuo Isobe, Yoshinori Ando, Daisuke Matsubayashi, Kiyoshi Kato, Hai Biao Yao, Chi Chang Shuai, Hung Chan Lin, J Y Wu, Masahiro Fujita, Shunpei Yamazaki, "A 140 MHz 1 Mbit 2T1C Gain-Cell Memory with 60-nm Indium-Gallium-Zinc Oxide Transistor Embedded into 65-nm CMOS Logic Process Technology", *IEEE Symposium on VLSI Circuits*, **2017**, 162-163 DOI: 10.23919/VLSIC.2017.8008466
32. Takahiko Ishizu, Kazuma Furutani, Yuto Yakubo, Atsuo Isobe, Masashi Fujita, Tomoaki Atsumi, Yoshinori Ando, Tsutomu Murakawa, Kiyoshi Kato, Masahiro Fujita, Shunpei Yamazaki, "An Energy-Efficient Normally Off Microcontroller With 880-nW Standby Power, 1 Clock System Backup, and 4.69- μ s Wakeup Featuring 60-nm CAAC-IGZO FETs", *IEEE Solid-State Circuits Letters*, **2019**, 2(12), 293-296 DOI: 10.1109/LSSC.2019.2952895

33. Ryogo Koike, Masahiro Fujita, "Efficient Reachability Analysis Based on Inductive Invariant Using X-value Based Flipflop Selection", *International Symposium on Quality Electronic Design (ISQED)*, **2021**, 34-40 DOI: 10.1109/ISQED51717.2021.9424357
34. Qi Lu, Amir Masoud Gharehbaghi, Masahiro Fujita, "Approximate Arithmetic Circuit Design Using a Fast and Scalable Method", *IFIP/IEEE 27th International Conference on Very Large Scale Integration (VLSI-SoC)*, **2019**, 65-70 DOI: 10.1109/VLSI-SoC.2019.8920365
35. Takahiko Ishizu, Yuto Yakubo, Kazuma Furutan, Atsuo Isobe, Masashi Fujita, Tomoaki Atsumi, Yoshinori Ando, Tsutomu Murakawa, Kiyoshi Kato, Masahiro Fujita, Shunpei Yamazaki, "A 48 MHz 880-nW Standby Power Normally-Off MCU with 1 Clock Full Backup and 4.69- μ s Wakeup Featuring 60-nm Crystalline In-Ga-Zn Oxide BEOL-FETs", *IEEE Symposium on VLSI Circuits 2019*, **2019**, 48-49 DOI: 10.23919/VLSIC.2019.8778076
36. Satyadev Ahlawat, Jaynarayan Tudu, Manoj Singh Gaur, Masahiro Fujita, Virendra Singh, "Preventing Scan Attack through Test Response Encryption", *IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT) 2019*, **2019**, 1-6 DOI: 10.1109/DFT.2019.8875355

・査読無し: 発表件数: 計 0 件

* その他の著作物(相手側研究チームとの共著総説、書籍など): 発表件数: 計 1 件

1. Ashutosh Kumar Singh, Masahiro Fujita, Anand Mohan: Design and Testing of Reversible Logic, Lecture Notes in Electrical Engineering book series (LNEE, volume 577), Springer, **2020** ISBN: 978-981-13-8821-7

* その他の著作物(相手側研究チームを含まない日本側研究チームの総説、書籍など): 発表件数: 計 1 件

1. 三田吉郎、「MEMS デバイス徹底入門」、日刊工業出版社、**2018**、ISBN978-4-526-07871-2 C3054

2. 学会発表

* 口頭発表(相手側研究チームとの連名発表)

発表件数: 計 14 件(うち招待講演: 0 件)

* 口頭発表(相手側研究チームを含まない日本側研究チームの発表)

発表件数: 計 121 件(うち招待講演: 10 件)

* ポスター発表(相手側研究チームとの連名発表)

発表件数: 計 0 件

* ポスター発表(相手側研究チームを含まない日本側研究チームの発表)

発表件数: 計 23 件

3. 主催したワークショップ・セミナー・シンポジウム等の開催

1. スタートアップワークショップ日本 2016 年、主催: 藤田昌宏(東大・教授) 東京大学、東京、日本、2016 年 11 月 21 日、参加人数 17 名
2. スタートアップワークショップインド 2016 年、主催: ビレンドラ・シン(IITB・教授)、IITB、ムンバイ、インド、2016 年 12 月 12 日、参加人数 12 名
3. 年次ワークショップ東京 2017 年、主催: 藤田昌宏(東大・教授)、東京大学、東京、日本、2017 年 9 月 29 日、参加人数: 11 名
4. 年次ワークショップインド 2017 年、主催: ビレンドラ・シン(IITB・教授)、ムンバイ、インド、2018

年 1 月 14 日、参加人数 11 名

5. 日本—インド年次アカデミックワークショップ 2017 年、主催:DST(インド)、ムンバイ、インド、2018 年 1 月 16 日、参加人数 30 名

6. 研究グループ交流ミーティング 2018 年、主催:藤田昌宏(東大・教授)、東京、日本、2018 年 11 月 30 日、参加人数 14 名

7. 年次ワークショップインド 2018 年、主催:ビレンドラ・シン(IITB・教授)、IITB、ムンバイ、インド、2018 年 2 月 2 日~3 日

8. 研究ミーティング 2018 年、主催:藤田昌宏(東大・教授)、東京、日本、2019 年 3 月 2 日~3 日、参加人数 4 名

9. 日本—インド年次アカデミックワークショップ 2019 年、主催:DST(インド)JST(日本)、ハイデラバード、インド、2019 年 5 月 29 日、参加人数 30 名

10. インド—日本サイバーフィジカルシステム共同研究 2019 年、主催:ビレンドラ・シン(IITB・教授)、ムンバイ、インド、2019 年 11 月 28 日、参加人数 17 名

11. 年次ワークショップオンライン 2020 年、主催:藤田昌宏(東大・教授)、東京/ムンバイ、日本/インド、2020 年 12 月 12 日~13 日、参加人数 32 名

4. 研究交流の実績(主要な実績)

【合同ミーティング】

・年に 1 回は、年次ワークショップを開催した。

・コロナ渦期間中においては、週に一度は、PI とのオンラインミーティングを行った。

【学生の受け入れ】

・2018 年と 2019 年に学部学生を 1 名ずつ、2 か月間、インターンとして受け入れた。

・2019 年度に MEMS 技術習得のため、3 名の大学院生を 2 週間~2 か月間受け入れた。

5. 特許出願

研究期間累積出願件数:1 件

6. 受賞・新聞報道等

・ The IEEE CEDA AJJC Academic Research Award 2017、Conrad JinYong Moore、2017 年 11 月 9 日

・ CAD Contest, Third Place of Problem A, IEEE/ACM International Conference on Computer-Aided Design (ICCAD)、Yusuke Kimura, Peikun Wang, Yukio Miyasaka, Kentaro Iwata, Xingming Le, Xiaoran Han、2017 年 11 月 12 日

・ Name matching method for design managements in 2018 ICCAD CAD contest, Honorable mention (4th)、IITB and Japan combined team、2018 年 11 月 18 日

・ Logic Regression on High Dimensional Boolean Space in 2019 ICCAD CAD contest, Honorable mention (4th)、Yukio Miyasaka, Xinpei Zhang, Ryogo Koike、2019 年 11 月 4 日

・ LEF/DEF Based Open-Source Global Router in 2019 ICCAD CAD contest, Second Place of Problem C、Advisor: Prof. Masahiro Fujita、2019 年 11 月 4 日

・ The 2020 International Conference on Artificial Life and Robotics, Young Author Award、Naruaki Takano, Takashi Kohno、2020 年 1 月 20 日

・ The IEEE CEDA AJJC Academic Research Award 2019、Wang Peikun、2020 年 2 月

・ 第 37 回センサ・マイクロマシンとシステムのシンポジウム、最優秀ポスター発表受賞、岡本 有貴、江澤 智也、肥後 昭男、三田 吉郎、2020 年 10 月 28 日

・ 国際ワークショップ IWLS プログラミングコンテスト 優勝、Yukio Miyasaka, Xinpei

Zhang, Mingfei Yu, Qingyang Yi, Masahiro Fujita、2020年7月27日

・国際会議 ICCAD CAD コンテスト Honorable mention (4位)、Yukio Miyasaka, Xinpei

Zhang, Mingfei Yu, Qingyang Yi, Masahiro Fujita、2020年11月2日

・VLD Excellent Student Author Award for ASP-DAC 2021 受賞、Mingfei Yu、2021年1月21日

・情報処理学会 SLDM Excellent presentation award と SLDM Session Special Award 受賞、Ding Yi、2021年1月26日

7. その他

特になし