



ムーンショット目標 6

2050年までに、経済・産業・安全保障を飛躍的に発展させる
誤り耐性型汎用量子コンピュータを実現

実施状況報告書

2023年度版

大規模集積シリコン量子コンピュータの

研究開発

水野 弘之

株式会社日立製作所 研究開発グループ



1. 当該年度における研究開発プロジェクトの実施概要

(1) 研究開発プロジェクトの概要

本研究開発プロジェクトでは、シリコン電子スピン量子ビットを用いた量子コンピュータの開発、特にシリコン半導体の回路集積化技術を活かした大規模集積シリコン量子コンピュータの開発を行う。研究開発項目1“量子コンピューティングシステム”では、量子ビットアレイ、制御回路の構造設計、回路仕様の策定を行うとともに、試作に着手して電気特性評価を開始する。研究開発項目2“極低温複数チップ実装システム”では、量子ビットの読み出し機構の構築に不可欠な高分解能アナログ・デジタル変換回路の設計・評価、および、極低温環境モニタリングシステム構成とシミュレーション評価を行う。研究開発項目3“ホットシリコン量子ビット”では、ホットシリコン評価に向け、提案する量子ビットアレイ構造の一部を用いた「小規模な実験回路」の先行開発を行い、課題の早期抽出を通じ評価環境の立上げを行う。また、研究開発項目4“小規模回路による量子演算”では「小規模な実験回路」を用いた基本量子ビット操作の先行評価を行い、検討結果を本開発プロジェクトで進めるシリコン2次元量子ビット構造設計に反映させることで、開発の高効率化を図る。

当該年度は、前年度に開発した各要素技術を用い、量子ビットアレイ動作の実現に必要な技術開発を、各研究開発項目にて実施する。研究開発項目1“量子コンピューティングシステム”では、2次元量子ドットアレイの基本特性の評価に加え、提案する量子ビットアレイ構造の一部を用いた「小規模な実験回路」を用い、希釈冷凍機を用いた極低温環境下にて、量子ドット形成、および、量子ビット動作検証を実施するとともに、量子ビット高精度制御・高感度読み出しに必要な機能チップを試作し、その基本性能の評価を実施する。加えて、コンピュータとして動作させるためのシステムアーキテクチャの開発を実施し、多数の量子ビットを集積した量子ビットアレイの評価を行うためのシステムを構築する。研究開発項目2“極低温複数チップ実装システム”では、極低温マルチチップパッケージングにより、シリコン量子ドットチップと極低温制御・インタフェースチップをアクティブインタポーザに実装したマルチチップ構造評価デバイスを構築し、冷却過程および極低温下における温度特性、電気特性、機械特性を実験評価するとともに、環境モニタリングシステムを構築し、シリコン量子ドット・マルチチップ実装デバイスをマウントした希釈冷凍機の温度ステージにおける環境モニタリングデータを収集する。研究開発項目3“ホットシリコン量子ビット”では、これまでに構築した無冷媒希釈冷凍機と量子ビット制御エレクトロニクスからなる極低温量子デバイス測定系を利用して、量子ビットアレイ構造の一部を用いた「小規模な実験回路」の評価測定を実施する。量子ビットの高温動作に必要な量子デバイスの高周波応答、高速制御信号の透過特性、ノイズレベルの評価を行い、フィデリティ向上に関する課題を抽出する。研究開発項目4“小規模回路による量子演算”では、昨年度実施した2ビットゲート操作と読み出し精度のさらなる向上を図ると共に、これらを組み合わせることで3ビットの量子誤り訂正回路の実装を試みる。検証実験の結果を元に、誤り訂正を実行可能な量子ビットアレイ構造の設計指針を明らかにし、シリコン2次元量子ビット構造設計に反映させる。

(2) 研究開発プロジェクトの実施状況

当該年度は、昨年度までに実施した大規模量子ビットアレイ、制御回路の設計・試作、および、希釈冷凍機の導入、量子ビット制御・測定エレクトロニクスを用いて各課題推進者

による試作素子の評価・解析を実施した。

研究開発項目1では、2次元量子ビットアレイについて、アレイ構造の試作・評価を通じ、64量子ドット以上を集積した2次元量子ドットアレイの開発を行った。大規模集積システムでは、 $16 \times 8 = 128$ 量子ドットの2次元量子ドットアレイでは、シュムプロット・フェイルビットマップ測定に成功し、特性ばらつきの取得・解析を実施した。「小規模な実験回路」を用いて、100MHzの動作速度で、任意のアレイ位置に単電子を輸送できることを実証した。また、ラビ振動を取得し、1量子ビット操作の実証に成功した。また、量子ビットを動的に再配置しながら利用する「シャトリング量子ビット方式」を提案した。

研究開発項目2では、極低温CMOSアナログ回路の機能・性能を拡張するとともに、テストチップを設計開発した。また、100mK～4.2Kおよび室温の温度領域を跨ぐ機能分割・分散配置系を構築して動作実験を行った。加えて、環境モニタリングシステムを拡張し、シリコン量子ビット・マルチチップ実装デバイスをマウントした希釈冷凍機の温度ステージにおける環境モニタリングデータを収集した。

研究開発項目3では、300mKにおけるスピン操作の実証を達成した。さらに、小規模量子系における量子ビット操作・読み出しのフィデリティ向上に関する課題の抽出を行った。加えて、集積・高速操作・発熱の観点で有利となり得るシリコンホールスピン量子ビット研究開発を追加で実施し、電子スピン系とホールスピン系のベンチマークの準備を整えた。

研究開発項目4では、量子ビット誤りの空間相関に着目し、シリコン量子ビットの位相誤りを誘起する歳差周波数のゆらぎを、相互相関スペクトルに基づいて評価した。これにより、隣接サイトにおいて誤り相関が強くなりうることを見出したのに加えて、量子ビット間隔に依存した量子ビット間の誤り相関や、量子もつれ状態に依存したコヒーレンス時間、ハバード模型の記述パラメータのゆらぎなどを実験的に明らかにした。

本プロジェクトでは、トップダウンアプローチによる大規模システム開発と、ボトムアップアプローチによるシリコン量子ビット性能向上技術2つのアプローチで研究開発を進め、目標達成をめざしている。当該年度も、両アプローチ共に順調に研究開発が推移し、各研究開発機関におけるマイルストーンを達成した。各課題推進者が密接に連携した研究開発体制も構築済みであり、今後も継続して密接に連携した研究開発を推進することでマイルストーン達成は問題ない見込みである。

(3) プロジェクトマネジメントの実施状況

本プロジェクトでのマネジメント体制、各種マネジメントに係る会議運営、国際連携、および、アウトリーチ活動は、代表機関主導により体制を構築、実運用を実施しており、プロジェクトマネジメントも順調に推進している。昨年度に引き続き、代表機関の産学連携部門、広報部門、知財担当部門等の本プロジェクトの運営に必要なアシスタントスタッフも含むPM支援体制チームでプロジェクト推進を行った。

また、当該年度は、広報活動の一環として、米メタ社のInstagramおよび新たに開設した当プロジェクトのホームページを活用した情報発信を推進した。また、量子コンピュータ本体とシリコン量子ビットチップの展示模型および量子コンピュータの動作原理解説用の動画を作製し、当該技術のアウトリーチ活動に供した。

2. 当該年度の研究開発プロジェクトの実施内容

(1) 研究開発項目1:量子コンピューティングシステム

研究開発課題1:2次元量子ビットアレイ

当該年度実施内容:2次元量子ビットアレイについて、アレイ構造の試作・評価を通じ、64量子ドット以上を集積した2次元量子ドットアレイの開発を行った。大規模集積システムでは、量子ビットアレイと直接周辺回路を用いて選択制御する必要がある。そこで、量子ドットアレイと直接 CMOS 周辺回路を混載したチップ(QCMOS)の設計を完了させ、実チップの試作を行った。チップ試作には、日立製作所所有の試作ファブを活用した。「小規模な実験回路」の評価・解析を通じて課題の早期抽出を行い、得られた知見を大規模集積量子ドットアレイ設計にフィードバックすることで開発を高効率化させることが目的である。

試作した QCMOS の極低温領域での動作確認を行った。周辺回路に搭載する CMOS 仕様の詳細設計を行った結果、QCMOS に混載した CMOS 周辺回路は、設計通りの適正な閾値電圧で動作することを確認し、CMOS に搭載した CMOS 周辺回路は量子ドットを選択制御するために必要となるセレクター回路として機能することを確認した。

大規模化に必須となる量子ドットの直接周辺回路による動作制御を実現したことで、これまで困難であった多量子ドット特性マップの取得が可能となった。試作した QCMOS を用いて、 $16 \times 8 = 128$ 量子ドットの2次元量子ドットアレイのシュムプロット・フェイルビットマップ測定に成功した。取得したシュムプロット・フェイルビットマップを用いて、量子ドット特性の詳細解析を行った。量子ドット形成に用いるトランジスタの閾値電圧(V_{on} :トランジスタに0.1nAの電流が流れる際のゲート電圧と定義)のヒストグラムを取得したところ、シュムプロット・フェイルビットマップでドット形成が確認されなかった(Fail)量子ドットは、トランジスタの高閾値電圧と相関があることが判明した。このトランジスタの高閾値電圧は、チャンネルの不純物濃度に起因するものと考えられ、室温で動作させる通常の CMOS トランジスタに比べ、極低温で動作させる量子ドットは、より高精度にチャンネル不純物を制御する必要があることを明らかにした。これらの解析により得られた知見は、大規模量子ビットアレイ構造・製造プロセスにフィードバックを行った。

大規模集積化した量子ビットの制御に必要な量子ドット特性ばらつき取得・解析に加え、試作した「小規模な実験回路」を用いて、量子ビットの“初期化”、“スピン操作”の各動作の検証を実施した。

初期化では、これまで高速高精度に電子を輸送する単電子ポンピングを実証してきた(令和4年度成果)。当該年度は、これまでの1次元電子輸送技術をさらに発展させ、電子を2次元に輸送するルーター技術の検討を実施した。本技術では、アレイ状に配置されたゲート電極に同期位相制御された信号を入力することによりポンピングした単電子を、2

次元量子ドットアレイの分岐点において経路選択を行い、所望の量子ドット位置に電子を輸送することで2次元輸送を実現する。「小規模な実験回路」を用い、100MHzの動作速度で、任意のアレイ位置に単電子を輸送できることを実証した。

スピン操作では、まず「小規模な実験回路」のアレイ状に配置した量子ドットを用いてスピン操作に必要となる単電子トンネル制御について検討を進めた。ゲート電圧を制御することで、量子ドット内に捕獲された単電子を制御できることを確認した。量子ドットに捕獲された電子の存在確率(N+1, N)を印加するゲート電圧で制御し、“N+1”状態から、“N”まで遷移する様子が明瞭に観測され、その存在確率はFermi-Di-rac分布に従うことを確認した。加えて、単電子トンネルの実時間計測により、単電子のトンネル時間を量子ドット間に形成したポテンシャルバリア高さを制御することで制御できることを確認した。続いて、スピン操作を検討した。マイクロ波をチャープ(周波数掃引)して量子ドットアレイに印加することで、スピン共鳴信号が取得できることを確認した。さらに共鳴周波数の磁場依存性からg因子を算出し、信号がシリコン中の電子によるものであることを確認した。マイクロ波の印加時間を変えてスピン反転確率を測定することで、ラビ振動の取得に成功した。得られたラビ周波数は、808KHzであることを確認した。以上の結果により、2次元量子ビットアレイ構造の一部を用いた「小規模な実験回路」において、1量子ビット操作の実証に成功した。

課題推進者:水野 弘之(日立製作所)

研究開発課題2:量子ビット高精度制御・高感度読み出し回路

当該年度実施内容:(A)極低温制御チップ(CAC)の開発

令和4年度に設計した第2世代のCAC(CAC-2)に関して評価を推進した。まず、CAC-2の基本特性としては、室温にて、実行シーケンスの制御拡張機能、および、チップ内計測機能について設計通りであることを確認した後、極低温条件(4K)での評価を完了した。さらに、昨年度実施した、チップ内発熱解析結果に対して、現状の希釈冷凍機(Bluefors社製XLD1000sl、超電導マグネット9T、DC line 240本、RF line75本)の冷却システムにおいてCAC-2の消費電力を変化させて温度計測を実施した結果、4Kから大きく逸脱する温度上昇は見られず(最大で5K)、CAC-2システムを希釈冷凍機内にて動作させることに関して問題ないことを確認した。

ついで、CAC-2の主要機能の一つであるマイクロ波発生回路について述べる。マイクロ波発生回路についての主な改良点は、極低温下で支配的となるフリッカーノイズの対策を徹底的に実施すること、主要アナログ回路の基本回路性能の向上と第一世代チップ評価結果から極低温(4K)での回路設計最適化、神戸大学(研究開発項目2)が開発

したAD変換器を追加し、DCオフセット、および、IQミスマッチキャリブレーション機能を搭載することであった。これらの技術により、20GHzにおける位相誤差217fs(RMS) (うち、ジッタ分は137fs(RMS))に低減したことを確認した。これは、Fidelity(F) に換算すると、 $F > 99.93\%$ に相当する。これにより、当初の設計目標を満たすことが確認できた。4K環境でのオンチップDCオフセット・IQミスマッチキャリブレーション機能を極低温(4K)状態にて一部が実現できたことを確認できた。本機能は、当社現時点の調べでは、世界初の技術となる。マイクロ波発生回路のさらなる位相誤差の低減に向けて、IQ変調方式からPolar変調方式に回路方式の変更を検討し、主要要素回路であるPLL回路を設計し評価した。開発したサンプリング方式PLLは、ジッタが88fsであることが確認された。次年度以降にPolar変調型のマイクロ波発生回路として集積試作予定である。

最後に、神戸大学との共同開発であるバイアス発生回路について述べる。バイアス発生回路については、CAC-2にて高性能化のためのキャリブレーション機能を導入し、オンチップ搭載の容量ミスマッチに対する自動対応回路の開発を実施しており、本技術の動作を極低温下で確認した。これにより、CAC-1の世代では、DAC出力信号の出力値が線形から外れる現象がみられたが、今回の改良により線形性が回復されたことを確認した。本技術も当社と神戸大学の調査では、世界初の技術であると考えている。

本年度は、以前開発した第一世代の制御チップ CAC-1と、研究開発課題1で開発した量子ビットチップ(SiQA)とを接続して、量子ドットのクーロンダイヤモンドの取得を試みた。この評価に当たっては、計測器(Zurich_UHFLI)を活用して、量子ドットゲート(プランジャーゲート)並びにポテンシャルゲート(バリアゲート)へ電圧を印加して量子化電流を読み出す。この計測器からのバイアス信号の一部を、室温に搭載したCAC-1のバイアス発生回路の出力に置き換えて、極低温下(100mK)に搭載した量子ビットチップのクーロンダイヤモンド取得を試行した。CAC-1からCAC-2への置き換えによる高性能化、測定環境の改善、および、パラメータ設定等の微調整など、システム搭載上の課題については来年度以降に実施し、最終目標のシステム検証に向ける。

(B) 量子ビットアレイチップ(QBA)の開発

本研究開発課題は、希釈冷凍機内の100mK 温度領域へ搭載する量子ビットアレイチップ(QBA)に関するものである。令和4年度に検討開始した量子ビットブリッジチップ(QBG)の詳細設計を実施した。本ブリッジチップQBGは、量子ビットチップとモノリシックに一体化する予定であった当初 QBA チップの代替方式である。このため、チップの要件として、クーロンダイヤモンドやチャージスタビリティダイアグラムといった量子ドット電流測定や、所望の量子ビットに対し、X軸やY軸方向へ回転操

作できることが機能仕様として必須となる。そこで、1) CAC チップからの量子ビット制御コマンドを受けられるシリアルパラレルインターフェース(SPI)通信機能、2) 量子ビット素子に印加するバイアス電圧選択・切り替え機能、3) 量子ビット素子からの出力電流やチップ内の温度を計測する機能、4) 複数の計測回路を制御するためのトリガ信号生成機能の主に4つの機能を持つ仕様とした。QBGチップ内の機能ブロックは、前述の 1)、2)に対しSPI IF部、コントロールレジスタ部、スイッチマトリックス部を構成し、3)、4)に対しては電流電圧変換回路部、アナログデジタル変換ADC部、ダイオード温度センサ部からなる構成とした。TSMC社の180nmプロセスを活用して設計し、制御信号用のPADを外周配置することで、QBGチップと量子ビットチップの2チップを平面実装できる構成とした。チップサイズは $5.6 \times 5.6 \text{mm}^2$ である。また、神戸大学との連携開発である2チップ積層型への対応も可能なように、チップ中央部に量子ビットチップを積層出来る専用PADを配置する構成とした。またスイッチマトリックス部のトグル回数を最小限となるような方式を検討し、X/Y 軸方向への回転操作に要する動作電流(設計値)を、100mKステージの許容電力である1mW 以下の $412 \mu\text{W}$ に抑える回路方式とした。

QBGチップ設計と並行し、量子ビットチップとQBGチップを希釈冷凍機内の100mK雰囲気へ配置し評価するための実装基板開発を実施した。開発設計した実装基板は、20GHzマイクロ波供給用として、高速伝送線路に対応するコプレーナウェーブガイド CPW パターンを表層と内層に適用し、挿入損失-6dB以下となるような配線構造を適用した。50MHz程度の制御配線用にはマイクロストリップラインMSLパターン、 50Ω の特性インピーダンスとなるようパターン設計した。本基板は市販のQdevil社の親基板に子基板として積層実装する。Qdevil社から購入できる子基板は、2チップを搭載できないため、本子基板とのピンコンパチの構造とすることで、希釈冷凍機への放熱や物理実装の実績のある親基板と組合せた評価が可能である。次年度において、製作したQBGチップを本子基板に実装し、CAC チップと連結したシステム評価を予定している。

課題推進者:水野 弘之(日立製作所)

研究開発課題3:システムアーキテクチャ

当該年度実施内容:本研究開発課題では、昨年度までに具体化したシステムアーキテクチャ、及び、開発を進めた量子オペレーティングシステム(プロトタイプ)の検証と、それに基づいた開発項目へのフィードバックを進めた。この検証の中で当該年度マイルストーンである「2次元量子ドットアレイのシミュレーション、フェイルビットマップの取得」を行った。また、システムアーキテクチャと量子オペレーティングシステムと量子ビットアレイの連携で、

量子ビットを動的に再配置しながら利用する「シャトリング量子ビット方式」を開発した。

以下に本年度の進捗状況の詳細を(A)希釈冷凍機へのシステムアーキテクチャの実装と評価、(B)量子オペレーティングシステムの開発と評価、(C)シャトリング量子ビット方式の開発、の3項目に分けて説明する。

(A) 希釈冷凍機へのシステムアーキテクチャの実装と評価

昨年度に導入した希釈冷凍機(Bluefors社製XLD1000sl、超電導マグネット9T、DC line 240本、RF line 75本)へのシステムアーキテクチャの実装と評価を進めた。我々のシステムアーキテクチャは、希釈冷凍機内の異なる温度域(100mKステージ、4Kステージ)と室温域の3領域に対して、3種類のユニットQU(Quantum Unit)、AU(Analog Unit)、DU(Digital Unit)を配置する3層構成で定義している。QUは100mKステージに設置し、量子ビットアレイチップ(QBA)や量子ビットブリッジチップ(QBG)などを搭載する。AUは4Kステージに設置し、制御チップ(CAC)や電源ユニットなどを搭載する。DUは希釈冷凍機上部に設置し、ホストコンピュータとの接続やリセット制御を担う。この実装に必要となる、20GHzマイクロ波信号の低損失基盤設計を完了した。このような極低温環境下での高信頼性実装に向けた解析・検証も実施した。

本システムアーキテクチャの最終形では、量子ビットとCMOSによる制御回路を混載した、QCMOSプロセスによるQBAをQUに搭載するが、現時点ではQBAが無い場合、QBAの代替品としてTEGを用いてシステムの検証を進めた。一方で、AUに搭載されるCACは、QBAの仕様を前提としているため、様々な種類のTEGを検証する上では、CACの仕様で不足する部分が生じる。また、CACそれ自体の検証も並行して進めていくため、不足機能の補充と、動作の模範の2つ側面で、信号発生器や測定器などと併用する必要性が生じた。これに対応するために、昨年度までに策定したシステムアーキテクチャを拡張し、その中に測定器類を取り込んだ測定器ハイブリッドアーキテクチャを策定した。

この測定器ハイブリッドアーキテクチャでは、CACが担うバイアス電圧生成やマイクロ波生成の役割を、一部もしくは全部、外部の信号発生器に代替させることが出来る。そのため、検証の初期の段階では外部の信号発生器を使用し、マイクロ波やバイアスを順次CACから供給するように段階的にCACの比重を高めていくことが出来る。また、QBAを使用したアーキテクチャでは、QBA内に設ける観測用の回路で量子ビットを測定し、QBAからCACへは観測済みの値(0/1)が転送される。そのため、そのような観測用回路を経由しない素の量子ドットの特性を計測し、シュムプロットやファイルビットマップの作成を実現するた

めにも、測定器を併用する構成とした。

このような測定器を中心とした環境において、研究開発課題1で試作した $16 \times 8 = 128$ 量子ドットの2次元量子ドットアレイのシュムプロット・フェイルビットマップを取得した。今後、デバイス毎のこうした特性情報を蓄積し、アーキテクチャやシミュレータの開発にフィードバックしていく。また、今回測定した結果を解析して得られた知見は、大規模量子ビットアレイ構造・製造プロセスにフィードバックを進めた。

また、本年度は将来的にエラー訂正を本システムアーキテクチャで実現していくための基礎検討として、エラー訂正に必要な測定フィードフォワード機構の実現を中心としたアーキテクチャ面での検討を実験を含めて行った。エラー訂正では一部の量子ビットを測定し、その測定結果に応じて次に行うゲート操作を変更する即答的な制御が必要となる。我々のアーキテクチャでは最終的にはQBAが出力する観測済みの値を用いて、CACが生成する信号を変更することになるため、単純にはCACにそのような条件分岐を行う機構を入れれば良く、その基本仕様を策定した。一方で、この問題がCACだけで完結しない可能性もある。大規模化に伴い、エラー訂正のための条件判断が複雑化すると、そのための古典情報処理を4Kステージで許される発熱に収めることは難しくなることが予期される。そのために、そうした条件判断は希釈冷凍機外に設置するDUで行い、DUとCACで連携することでエラー訂正を実現するアーキテクチャを考案し、FPGAで構成したCAC相当のプロトタイプ(シミュレータ)、QBA相当のプロトタイプ(シミュレータ)とDUを組み合わせて実証した。この結果は国際学会で発表し、現在、査読付き論文誌に投稿して査読を受けている。また、併せてCACでも即応性が不足する場合に備えて、QBAにより近いQBGとCACを連携させて即応性の高い制御を行うアーキテクチャも検討した。

(B) 量子オペレーティングシステムの開発と評価

昨年度に定義した量子オペレーティングシステムの構成を元に、その開発を進め、開発が完了した機能毎に順次評価を進めている。量子オペレーティングシステムの主要コンポーネントの一つであり、CACを経由してQBAを制御するために開発したモニタについては、次期CACの開発において、論理回路の検証に必要な期待値データを生成することにも利用し、ハードウェアとソフトウェアの協調設計による開発効率化を実現した。また、(A)で説明した測定器ハイブリッドアーキテクチャへの対応を進め、CACと測定器をモニタから一元的に制御することを可能とした。これにより、ユーザに対してはCACのみの構成と、測定器ハイブリッド構成の差異を抽象化した、単一のシステムイメージを提供することができる。

さらに、モニタよりもより抽象度が高い、量子プログラマ向けの開発環境についても、量子オペレーティングシステムの一部として開発を進め

た。昨年度までに、任意のゲートで記述された量子回路を、ハードウェアが直接サポートするネイティブゲートで記述された量子回路に変換するトランスパイル機能を中心としたSDK (Software Development Kit)を開発してきたが、その成果を踏まえて、量子コンピュータを操作するという観点で開発を進めた。

次節で詳細を説明する「シャトリング量子ビット方式」を踏まえると、量子回路を実機で動作させていくための変換は、

- ・量子回路(任意ゲート)
- ・量子回路(ネイティブゲート)
- ・量子回路(ネイティブゲート+シャトリング)

というように、抽象化された回路表現(シーケンス)から、ハードウェア固有の情報を含んだ表現に具体化されていく。このように抽象度の異なるシーケンスが複数並行して存在することになる。そこで、抽象度の異なるシーケンスをシミュレーション/可視化する機能を量子オペレーティングシステムに実装した。この環境では、異なる抽象度のシーケンスにおいて、時系列的に着目している箇所を連動して確認することを実現している。これにより、ユーザにシステム全体の振舞を理解させたり、量子プログラムのデバッグを容易化させる。

(C) シャトリング量子ビット方式の開発

量子ドットアレイ上の電子を移動させることによって、量子ビットを動的に移動させて利用する、シャトリング量子ビット方式を、量子ドットアレイと量子オペレーティングシステムの協調設計により開発した。量子ビットを移動させることにより、隣接する量子ビット間でのクロストークの影響を軽減したり、任意の量子ビット間でゲート操作を行うための量子ビットの再配置が実現できる。

量子ドットアレイ上での電子の動かし方は、量子オペレーティングシステムでスケジューリングを行う。ところが、量子ドットアレイの制約を加味すると、場合によってはこれ以上動かさなくなってしまうという、手詰まりの状態が発生することが、スケジューリングのアルゴリズムの検討から判明した。そこで、量子ドットアレイ上に、Bus/Aisle/Seatという役割毎の領域を仮想的に設定し、その設定の元でスケジューリングを行う、Electron Bus方式を開発して対処した。

クロストークの影響とシャトリングそれ自体での劣化の影響はトレードオフの関係にあり、それぞれの影響度の違いが全体の忠実度に影響する。さらに、それぞれの影響の度合いはまだデバイスの進歩が続いている中で、確定的な一点を定めて議論することが難しい。そこで、これまでのポンピング実験の知見や発表から、妥当と思われる範囲を定めて、シミュレーションで感度を評価している。なお、この評価ではQAOAを量子アルゴリズムの題材としており、このアルゴリズムを実行するために挿入されるシャトリングの影響を評価している。比較対象として、

SWAPで行った場合も評価した。大規模化した際のスケーラビリティに鑑みて、数千量子ビットまで規模を大きくした場合も検討した。これにより、個々の操作の忠実度をどの程度まで上げていけば本方式で全体として有用な忠実度が得られるかの設計指針をデバイスに対して示していく。本検討に関しては査読付き論文誌に投稿し、査読を受けている途中にある。

課題推進者:水野 弘之(日立製作所)

(2) 研究開発項目2:極低温複数チップ実装システム

研究開発課題4:極低温複数チップ実装

当該年度実施内容:令和5年度は、極低温複数チップ実装システムにおける量子ビットアレイチップの制御と環境モニタリングから成る極低温インタフェース機構に向けて、極低温CMOSアナログ回路の機能・性能を拡張するとともに、テストチップを設計開発した。令和4年度に試作した極低温AD/DA変換回路の評価結果に基づき、量子ビットの制御フィデリティをさらに向上する制御回路仕様を策定し、第二世代の極低温量子制御集積回路チップを開発した。さらに、極低温マルチチップパッケージングを進展させ、シリコン量子ビットチップと研究開発課題4-1で開発する極低温制御・インタフェースチップおよび環境モニタリングチップを実装したマルチチップ構造評価デバイスを構築し、冷却過程および極低温下における電気特性、温度特性および機械特性を実験評価した。

特に、極低温アナログ回路の開発では、量子ビットの制御に係るバイアス電圧を生成する極低温DA変換回路において、容量素子のミスマッチに起因する線形性の劣化を改善する新たな補正手法を考案し、回路設計を実施した。希釈冷凍機を用いた極低温評価の結果、容量ミスマッチによる非線形誤差が本補正手法によって抑制されることを確認した。また、本補正手法は回路面積のオーバーヘッドが極めて少ないため、DA変換回路全体の面積を抑制することができ、その結果、59チャンネルのバイアス電圧生成を1チップに集積することが可能となった。

極低温マルチチップパッケージング技術の開発では、マルチチップ構造の極低温評価を加速するために、断熱消磁型の極低温冷凍機を導入し、本格稼働させている。また、令和5年度に新たなアクティブシリコンインターポーザを開発した。このアクティブシリコンインターポーザは、配線上の寄生成分を削減するだけでなく、制御信号の切り替え等の機能をインターポーザ上に備える。次年度は、本アクティブシリコンインターポーザを用いて、量子ビットの特性評価を実施する。

さらに、貫通シリコンビアを活用した構造を提案している。貫通シリコンビアは信号配線を短縮し信号品質を向上するだけでなく、基板上のヒートシンクまでの熱経路としても活用可能である。令和5年度は貫通シリコンビアのプロセスを立ち上げるとともに、極低温耐性の評価を実施し

た。断熱消磁型冷凍機を用いて熱サイクルを実行した後に断面を観察した結果、貫通シリコンビアを介して回路と基板が正常に接合できていることを確認した。

課題推進者:永田 真(神戸大学)

研究開発課題5:環境モニタリング手法

当該年度実施内容:令和5年度は、環境モニタリングシステムを拡張し、シリコン量子ビット・マルチチップ実装デバイスをマウントした希釈冷凍機の温度ステージにおける環境モニタリングデータを収集した。

また、量子ビット近傍の温度、電気ノイズ、制御信号等の周辺環境を取得する環境モニタリング機構を搭載したアクティブシリコンインターポータを開発した。本インターポータには環境信号を観察するための極低温AD変換器が含まれており、本年度は量子ビットが動作する温度と同じ100mKでの動作評価を実施した。極低温AD変換器では、発熱を抑制するために超低消費電力で動作することが求められているため、定常電流を消費しないAD変換アーキテクチャの検討を行った。さらに制御信号をモニタリングするため入力容量を極力削減する構造を開発し、AD変換回路を設計した。本インターポータチップを希釈冷凍機内のプレートに搭載し、100mKで動作確認した結果、正常にAD変換動作を実現することを確認した。

さらに、制御信号波形などの広帯域信号を取得するための等価サンプリング手法を実装し、約100MHzの信号を取得可能であることを実験的に確認した。

課題推進者:永田 真(神戸大学)

(3) 研究開発項目3:ホットシリコン量子ビット

研究開発課題6:シリコン量子ビットの高温動作

当該年度実施内容:本課題では、令和3年度から令和7年度にかけて、希釈冷凍機温度から温度制御を行って動作温度を徐々に高温化していくことで、量子ビット操作のフィデリティ向上に関する課題抽出、高温動作の評価・検証を行う計画である。当該年度は、希釈冷凍機と量子ビット制御エレクトロニクスからなる極低温量子デバイス測定系を利用して、シリコン量子ビットの300mKでの動作を行った。

高温動作に向けて、300mK動作でのコヒーレントなスピン操作の実証を行い、11MHz程度のラビ振動を観測した。この結果を受けて、すでに高温(~1K)動作に向けた予備実験が進行中である。また、スピン共鳴測定時に観測された、マルチレベルランダウ・ツェナー干渉(MLLZ)の影響の解析を行った。MLLZによって、パウリスピン閉塞(PSB)による電流閉塞の増強が引き起こされていることが分かった。スピン共鳴操作へのスピン軌道結

合の非自明な効果が明らかになり、さらなる操作忠実度の向上に貢献する可能性が示された。

高温化に適した読み出し方法として、PSBを使用した読み出しプロトコルと高周波反射位相測定を採用し、「小規模な実験回路」においてスピン緩和時間測定を行った。読み出し点での緩和時間(T_{1M})と待機点における緩和時間(T_1)を測定した。読み出し点におけるスピンの緩和は、PSBが解除されることで量子ドット間のトンネリングが可能となり、その結果生じる量子キャパシタンスにより高周波反射波の位相が変化し、スピン情報が高周波位相情報に変換される。 T_{1M} は $4.3\mu\text{s}$ 、 T_1 は 0.91ms と、少数正孔における先行研究に比べて長い緩和時間が観測された。これは、多数電荷状態における電荷ノイズの影響低減を示唆している。

極低温回路と量子ビットチップのインターポーザ接続について、神戸大学(研究開発項目2)との連携のもと研究を推進した。量子ビットと周辺回路の接続問題を解決するための第一歩として、シリコンインターポーザ基板上に量子ドットチップと静電気放電保護用チップを集積し、極低温下での電気特性を評価した。DC電流測定と高周波反射測定を行い、期待通りの量子ドット特性を観測することができた。これにより、極低温インターポーザを介したシリコン量子ドットの動作が実証された。一方で反射測定により、典型値よりも大きな寄生容量が観測された。この寄生容量は、インターポーザのパッド下メタルプレートに由来する可能性が高いと考えられたため、メタルプレートの有無による比較実験を行った。その結果、メタルプレートが今回のインターポーザ基板における寄生容量の主要因であることが明らかとなった。

また、シリコンホールスピン量子ビット研究開発のために、高速操作に対応した制御計測システムの構築を行い、パルス管冷凍能力 2.2W 、 100mK における冷凍能力 0.4mW の希釈冷凍機と磁場の3軸ベクトル制御が可能な超電導マグネット、高周波同軸配線、低雑音DC配線などを組み合わせたシステムの構築も完了し、電子スピン系とホールスピン系のベンチマークのための測定を開始した。

課題推進者:小寺 哲夫(東京工業大学)

(4) 研究開発項目4:小規模回路による量子演算

研究開発課題7:アレイ化と量子ビット基本演算の両立

当該年度実施内容:小規模な量子ビット系で確立されたシリコン量子ビットの基本演算を、将来的に集積化された量子ビット系に対して適用する際に予想される、各種の課題の抽出に取り組んだ。とりわけ、アレイ化時に顕現する重要な課題の一つである量子ビット誤りの空間相関に着目し、シリコ

ン量子ビットの誤り相互相関の定量化に成功した。隣接サイト同士において、シリコン量子ビットの誤り相関が強くなりうることを報告、さらに量子もつれのコヒーレンス時間が、パリティに依存して70%もの差が生じうることを見出した。このような空間相関の強さは、電荷雑音の空間分布と素子中における遮蔽効果によって決まると結論づけた。これらの実験結果と、研究開発課題1“2次元量子ビットアレイ”などとの密な連携を通じて、初期化、読み出し、量子状態制御における制約を踏まえ、アレイ化時に顕現する課題を解決する方式として、適切な量子ビット間隔を設けるためにシャトリングなどの機能を活用する指針が有力であることを示した。さらに、シャトリングの性能を検討するうえで極めて有益な情報となる、ハバード模型の記述パラメータのゆらぎを実験的に評価することに成功した。

上記に加えて、ハミルトニアンのパラメータ同士のゆらぎの相互相関に着目することで、量子ビット雑音源の同定が可能な場合があることを示した。従来の自己相関スペクトル形状に基づく手法では雑音源に関する結論が得られないような素子に対して、同手法は典型的なスペクトル形状を仮定しないことから、極めて有用で強力である。この同定法が確立したことにより、シリコン量子ビットにおいて従来想定よりも広い範囲で、電荷雑音がコヒーレンスを支配していることが明らかになりつつある。

さらに、交差相関の位相から、支配的な電荷雑音源の空間配置に関する情報が得られることが、詳細な解析と量子ビット素子のモデル化によって明らかになった。この手法は今後、シリコン量子ビット素子の品質向上に資する情報を得る有益なツールとなるものと見込まれる。

また、アレイ化時に顕現する基本演算実行に関する課題の解決策となりうる方式を、「小規模な実験回路」を活用し、シリコン量子ビットおよびアレイ構造の特徴、特性、制約等を踏まえながら具体的に検証するための測定を可能とする系の構築に取り組んだ。希釈冷凍機温度から1 K程度までの温度範囲において、シリコン量子ビットの様々な制御方式を試行可能な測定系の構築を完了した。

課題推進者: 米田 淳(東京工業大学)

研究開発課題8: 量子ビットの量子制御性の検証

当該年度実施内容: 研究開発課題7と連携し、小規模な量子ビット系で確立されたシリコン量子ビットの基本演算を、将来的に集積化された量子ビット系に対して適用する際に予想される、各種の課題の抽出に取り組んだ。アレイ化時に顕現する重要な課題の一つである量子ビット誤りの空間相関に着目し、シリコン量子ビットの誤り相互相関の定量化を報告した。詳細については上記研究開発課題7を参照のこと。

また、研究開発課題1“2次元量子ビットアレイ”と協力し、大規模化に適した産業用半導体プロセスに近い方法で製造した量子ビット試料を

用いて、単一電子スピンをコヒーレントに駆動し制御できることを確認した。

さらに研究開発課題4“極低温複数チップ実装”と協力し、フリップチップ実装技術と量子制御性の適合性を検証した。Si/SiGe型量子ドット試料をSiインターポーザに実装し、極低温環境での電気接続の信頼性の確認や、量子ビットの制御および測定に用いるRF信号の伝送特性の検証を実施し、量子ビット制御に支障がないことを確認した。一方で、量子ビット測定に際してインターポーザ上の配線による浮遊容量が影響を与え得ることを見出し、今後の大規模化に向けたインターポーザ設計に着手する上で重要な知見を与えることができた。

課題推進者: 中島 峻(理化学研究所)

3. 当該年度のプロジェクトマネジメント実施内容

(1) 研究開発プロジェクトのガバナンス

進捗状況の把握

昨年度に引き続き、代表機関に構築したPM支援体制チームでプロジェクト推進を行った。PM支援体制チームには、日立製作所の産学連携部門、広報部門、知財担当部門等の本プロジェクトの運営に必要となるアシスタントスタッフが含まれる。研究開発プロジェクトのマネジメント業務、JSTとの連絡(PD等への報告、研究開発機関、JSTとの実施規約他実施管理上の各種調整業務)を産学連携部門が、研究開発成果の広報アウトリーチ活動を広報部門が、知財戦略、および、知財の取り扱い方針の策定を知財担当部門が担当している。加えて、各担当部門が密接に連携して本研究開発プロジェクトの推進・管理・支援を円滑に行うため仕組みについても、令和3年度から継続して運用している。

昨年度と同様に、プロジェクト全体定例会議を原則として、1か月に一度開催する会議体を中心にしてプロジェクト運営を行った。本定例会議では、重要事項の連絡・調整、各課題推進者の進捗状況・課題の把握、および共有等を行っており、各課題推進者一体となった研究開発体制の構築に大きく貢献している。また、コロナ状況を見ながらではあるが、積極的にサイトビジットの機会を増やしており、課題推進者のアセットなどの正確な状況把握を行うとともに、研究開発課題の詳細議論・深耕、および、具体的な対策案の詳細議論も実施した。

研究開発プロジェクトの展開

本プロジェクトでは、目標である大規模集積シリコン量子コンピュータの開発に向け、トップダウン、および、ボトムアップの2つのアプローチを採用している。トップダウン的なアプローチに必要な半導体プロセス技術や CMOS 回路・システム技術、さらにはマイクロプロセッサおよびコンピュータ技術に関して広範な技術開発の経験を有する学术界・産業界からの課題推進者(トップダウン的アプローチ)と、量子物理に精通しシリコン量子ビット操作の高精度化に関して世界最先端の位置にある学术界からの課題推進者(ボトムアップ的アプローチ)からなる研究開発体制を構築している。2つのアプローチに長けた各課題推進者が密接に連携することで、産業化と互換性のある大規模量子コンピュータの開発を強力に

推進できると考える。とくに、プロジェクト内において日立製作所の研究者を理化学研究所や東京工業大学に派遣して共同実験を行ったり、神戸大学の研究者が日立製作所にて共同実験するなど頻りに交流や共同実験・研究を行っている。また、山本 俊PM、小芦 PM(大阪大学藤井教授)のムーンショット目標6内プロジェクト間連携体制を構築している。

(2) 研究成果の展開

学会・論文投稿、招待講演、および、学術誌への総説の寄稿を通じ、研究成果の情報公開を行った。これまでの活動に加え、展示会での成果発表による積極的なプレゼンス向上に努めるとともに、各課題推進者の所属する学生、および、関係者に向けた講義活動等を通じ、若手の人材育成に向けた取り組みを継続的に行った。

各課題推進者のグループからの成果発表の多くは国際会議や国際的論文誌にて発表しており、これらの投稿などを通じグローバルな連携体制の構築を進めている。また、日立ケンブリッジ研究所は、ケンブリッジ大学のキャベンディッシュ研究所内に設置された研究所で、量子基礎物理に強みを持つ。当該年度には日立ケンブリッジ研究所の研究者数名に来日してもらい、日立製作所および東京工業大学の研究者と意見交換の機会を設けた。更にサイトビジットを含め日立ケンブリッジ研究所との連携を本格化させた。

(3) 広報、アウトリーチ

課題推進者の所属している組織での研究成果に関する広報活動は、それぞれの機関にて活発に進めてもらっている。また、プロジェクト全体としては、米メタ社のInstagram(アカウント名:ms6siliconqantum)および当該年度新たに開設した当プロジェクトのホームページ(<https://ms6siliconquantum.jp>)を活用して情報発信を推進した。また、量子コンピュータ本体のカット模型と組み立て式のシリコン量子ビットチップ模型および量子コンピュータの動作原理解説用の動画を作製し、アウトリーチ活動に活用した。

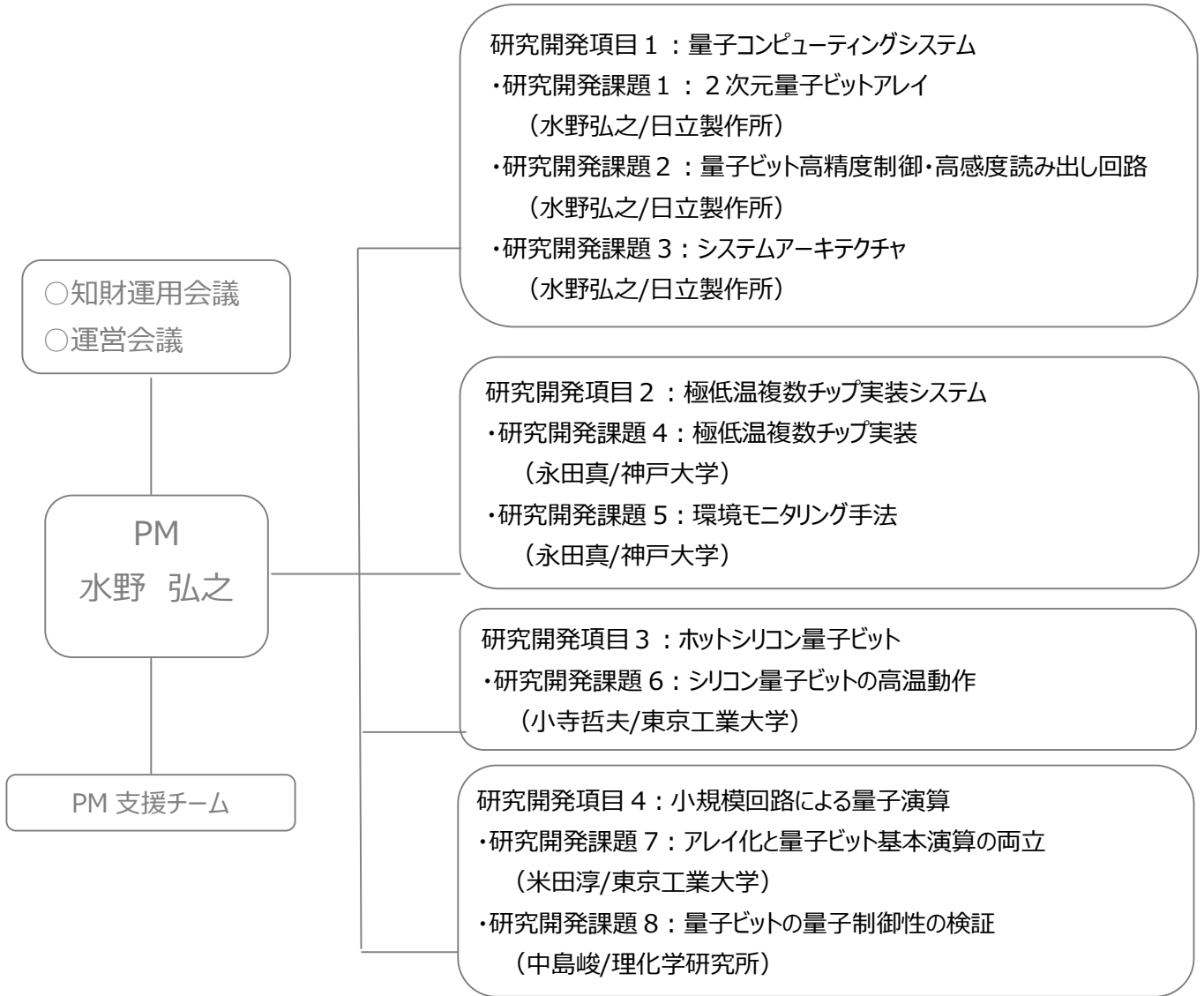
*Instagramの QR コード



(4) データマネジメントに関する取り組み

データマネジメントの一環として、BOX、および、Slack の運用を継続した。セキュリティ保護の必要となるファイル共有には、高度なセキュリティ対策が施された BOX を活用する一方で、Slack は、研究課題推進者間での議論、情報共有を行う場として利用している。アクセス権に関しても制限を適正化することで、セキュアな情報管理と、課題推進者間での円滑な情報共有とを両立するデータマネジメント環境を構築した(BOX:各研究課題機関の取り纏め層のみにアクセス権を付与、Slack:各研究課題を行う参加者全員にアクセス権を付与)。

4. 当該年度の研究開発プロジェクト推進体制図



知財運用会議 構成機関と実施内容

構成機関について、議長は PM、参加者は PM、課題推進者、同機関の知財部門、JST など関係部門が考えられるが、案件ごとに PM が機構と協議のうえ決定する。また、必要に応じて、本規約の遵守に同意した外部有識者を加える。実施内容は、本研究開発プロジェクトに関連する知的財産権の実施許諾条件等の運用に関し必要な事項について協議する。実施方法は、PM の判断により書面等による協議で代替できるものとする。

当該年度実施回数：該当なし

運営会議 実施内容

構成機関について、議長は PM、参加者は PM、課題推進者、PM が必要と認めた外部有識者、JST 等から構成する。実施内容については、実施規約に記載された以下の内容を中心に協議する場とする。PM による新たな研究開発機関の参加、参加機関等以外からの本研究開発プロジェクトへの新たな関与者、実施規約の改正、課題推進者間の情報交換・助言等も協議の上行えるようにする。

当該年度実施回数：5回

5. 当該年度の成果データ集計

知的財産権件数				
	特許		その他産業財産権	
	国内	国際(PCT含む)	国内	国際
未登録件数	10	10	0	0
登録件数	0	0	0	0
合計(出願件数)	10	10	0	0

会議発表数			
	国内	国際	総数
招待講演	16	9	25
口頭発表	12	10	22
ポスター発表	7	10	17
合計	35	29	64

原著論文数(※proceedingsを含む)			
	国内	国際	総数
件数	1	3	4
(うち、査読有)	0	3	3

その他著作物数(総説、書籍など)			
	国内	国際	総数
総説	10	1	11
書籍	0	0	0
その他	0	0	0
合計	10	1	11

受賞件数		
国内	国際	総数
6	0	6

プレスリリース件数
2

報道件数
23

ワークショップ等、アウトリーチ件数
2