

数理・情報のフロンティア  
2020 年度採択研究者

2021 年度 年次報告書
------------------

門本 淳一郎

東京大学 大学院情報理工学系研究科  
助教

微小チップ群を埋め込んだ形状自在情報デバイスの研究

## § 1. 研究成果の概要

本研究では自律分散的に計算処理や移動をおこなう複数のチップ小片から成る情報デバイスを開発する。その実現に向けて、本年度は、(1) 低消費電力プロセッサの開発、(2) オンチップ低消費電力無線通信手法の開発、(3) デバイス間ネットワークプロトコルスタックの開発 (4) デモシステムの開発に取り組んだ。

(1) プロセッサの開発に関して、RISC-VISA に基づく複数の小型プロセッサコアを開発し、適切なマイクロアーキテクチャを策定した。Verilog HDL を用いてインオーダーの 3 段/5 段パイプラインスカラプロセッサや 6 段パイプラインスーパースカラプロセッサを記述し、FPGA 上に実装した。それぞれの性能は標準ベンチマークソフトウェアの実行により評価し、消費電力や面積については商用 CMOS プロセスの利用を想定した論理合成作業を通して評価した。

(2) オンチップ無線通信手法に関しては、前年度に試作した複数のテストチップに向けた評価基板をそれぞれ設計・開発した。また、無線通信テストチップの評価内容を論文としてまとめ、国際会議で発表をおこなった。

(3) ネットワークプロトコルスタックの開発に向けては、提案する無線通信手法に対応したデータリンク層やネットワーク層の仕様について検討し、その一部をソフトウェア実装した。本研究で開発を進める誘導結合無線バス通信手法にはデータ衝突検知手法やイレギュラーなネットワークトポロジ向けのルーティング手法が求められる。そこでデータリンク層、ネットワーク層の要件について改めて整理し、誘導結合無線バス通信手法に向けた独自の衝突検知手法やネットワーク構築手法を考案した。こうしたプロトコルをプロトタイプハードウェア上で実行可能なソフトウェアとして実装中である。

(4) デモシステムの開発に向けては、前年度から引き続き、複数のプロトタイプの試作をおこなった。加えて、前述したプロセッサコアや周辺回路を混載したプロトタイプテストチップを設計開発した。また、本研究提案における無線通信手法、無線電力伝送手法、実現可能となるインタラクションの展望についてまとめた論文が学術雑誌に掲載された。

### 【代表的な原著論文情報】

- 1) “Toward Wirelessly Cooperated Shape-Changing Computing Particles”, IEEE Pervasive Computing, vol. 20, No. 3, pp. 9-17, 2021.
- 2) “Deformable Chiplet-Based Computer Using Inductively Coupled Wireless Communication,” Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 98-99, 2022.