

研究報告書

「新しい半導体固相界面による新規グリーンデバイスの開発」

研究タイプ: 通常型

研究期間: 平成 24 年 10 月～平成 28 年 3 月

研究者: 富岡 克広

1. 研究のねらい

科学技術の進歩と人口増加にともなうエネルギー需要の高まりは、化石燃料を主体とした社会・経済に大きな影響を及ぼし、単純な科学技術の進歩がエネルギー高効率利用に大きく貢献できる機会を極端に少なくなっている。このような背景の中で、エネルギーの高効率化には、革新的な材料・素子の開発とエネルギーを効率良く“創る・貯める・使う”デバイスについて、相補的な技術革新が必要と考えられる。

半導体トランジスタやその集積回路に代表されるエネルギーを使うデバイスでは、シリコン電界効果トランジスタ(FET)の微細化・集積技術の限界が指摘され始めている。特に、集積回路のチップ当たりの電力消費量の急増は深刻な課題となり、これを克服できるような新材料・デバイス構造の導入・開発が急務になっている。新材料・デバイス構造に期待される性能は、FET やその集積回路と同等かそれ以上であり、且つ劇的な省エネルギー性が期待できることの 2 点を同時に満たさなければならない。特に省エネルギー性については、従来の金属-酸化物-半導体(MOS)FET のサブスレッショルド特性(SS)に理論限界(60 mV/桁)があるため、この特性を下回り、低消費電力で動作するトンネルFETの研究・開発が急務である。現在の集積回路の駆動電圧(0.8V)以下、特に 0.3 V 以下で動作させるためには、SS が 30 mV/桁以下になるスイッチ特性を実現しなければならないためである。これを実現できるスイッチ素子の候補がトンネルFETですが、この素子は、トンネル障壁を介して電子の輸送しているため、スイッチングで得られる電流が従来のFETよりも小さくなる欠点がある。

本研究では、Si と III-V 族化合物半導体一次元ナノ構造からなる新しい固相界面で生じるトンネル輸送機構を応用することで、従来の FET のキャリア輸送とは異なる原理をもつスイッチ素子を作製する。さらに、キャリア生成技術を工夫することで、トンネルFETの欠点を克服しつつ劇的に電流値を増大する技術を確立する。本技術、素子構造は、既存の集積回路の性能よりも高性能な機能を有したまま、チップ当たりの電力密度を 10^3 W/cm² から 10 W/cm² 以下に削減し、さらに、エレクトロニクス機器・車載機器で普及しているあらゆる分野の電子機器の消費電力を 1/100 にする要素技術を確立することが期待でき、本研究のねらいは、あらゆる電子機器の省エネルギー化に広く寄与する基本素子を創成することである。

2. 研究成果

(1) 概要

本研究のねらいの電子機器の消費電力を 90%以上削減するためには、低消費電力・高性能型スイッチ素子を実現する必要がある。具体的には、電荷の熱拡散機構以外でスイッチングする電子素子を創出し、MOSFET のサブスレッショルド係数の理論限界(60 mV/桁)を突破しなければならない。本研究では、ナノメートルスケールの半導体選択成長技術によって、Si/III-V ヘテロ接合からなる新しい固相界面を形成し、この界面で生じるトンネル輸送を応用したトンネル FET で、理論限界の突破(サブスレッショルド係数の急峻化)を図った。トンネルFETのサブスレッショルド係数の急峻化を実現するには、以下の課題を克服する必要がある。(i) 半導体ナノワイヤの微細化、(ii) ナノワイヤ縦型 FET の高性能化、(iii) 半導体ナノワイヤの真性層形成技術の確立。(i)では、エッチング技術を工夫することで、微細直径を有した半

導体ナノワイヤを集積できる技術を確立し、(ii)では、縦型トンネル FET 構造の作製について、3 次元的にソース・ゲート・ドレイン構造からなる縦型 3 端子電極構造の先端プロセス技術を確立するとともに、MOS 界面の平坦化を新しい切り口で確立するとともにゲート酸化膜のスケーリングを評価した。(iii)では、微細ナノワイヤに対して、パルスドーピング技術を考案し、擬似真性層形成技術を確立し、縦型 FET 素子やトンネル FET 素子の作製に導入した。

これらの課題を通して、従来の MOSFET のサブスレッショルド係数の物理限界(60 mV/桁)を突破する縦型トンネル FET を実現し、室温で 60 mV/桁以下の急峻なサブスレッショルド係数をもつトンネル FET を作製した。これらの研究を通して、InAs や InGaAs ナノワイヤからなる多様な III-V ナノワイヤと Si の固相界面が、高性能トンネル FET のトンネル接合として理想的な界面であることを明らかにした。さらに、従来の MOSFET 技術と同様にトンネル FET 素子の閾値制御技術を検討した。さらに、これらの新しい半導体固相界面とトンネル FET を実用化するため、トンネル FET の欠点である微小なスイッチ電流の解決を図った。具体的には、半導体ナノワイヤヘテロ接合界面による変調ドーピング構造と Si/III-V 固相界面で、新しい切り口によってトンネル電流を増大する素子構造を提案し、これらの素子を作製することで、急峻なサブスレッショルド係数を維持したまま、電流値が大幅に増大されることを実証した。さらに、p チャネル型トンネル FET を作製、次世代 CMOS 回路応用を見据えた素子の開発を行なった。

(2) 詳細

研究テーマ A: 結晶成長～半導体ナノワイヤの微細化技術

Si/III-V 固相界面のトンネル FET 素子で急峻なサブスレッショルド係数を実現するためには、固相界面で純粋なバンド間トンネル輸送を誘起する必要がある。通常、Si/III-V 固相界面は、ヘテロエピタキシャル系であるため、格子不整合に起因したミスフィット転位が、固相界面に形成され、Si/III-V 固相界面のバンド構造で欠陥準位を生じる。この欠陥準位の寄与が大きい場合、欠陥準位を介したトラップアシストトンネル輸送を生じるため、フォノンを介した輸送機構となるため、サブスレッショルド係数は急峻にならない。そこで、半導体ナノワイヤ選択成長におけるマスク開口部を微細化することで、結晶成長由来のミスフィット転位の発生の抑制を図った。本研究では、エッチング工程でドライエッチングとウェットエッチングを組み合わせることで、直径 20 nm 以下の微細半導体ナノワイヤを Si 基板上に集積する技術を確立した。さらに、本技術によって、15 nm の直径の有した InGaAs ナノワイヤについて、InP/InAlAs/InGaAs コアマルチシェル層からなる変調ドーピング構造を形成し、変調ドーピング型ナノワイヤ構造の微細化を実現した【図 1(a), (b)】。これらの微細化によって、Si/III-V 固相界面で生じるミスフィット転位の数と直径の関係を明らかにした。

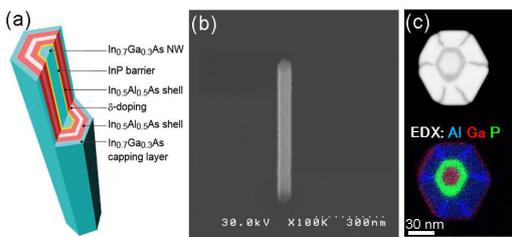


図 1. (a) 変調ドーピング型ナノワイヤ模式図、(b) 作製結果 SEM 像、(c) HAADF-STEM (上) と EDX 元素マッピング(下)コア直径: 15 nm

研究テーマ B: ナノワイヤ縦型 FET の微細化と MOS 界面の平坦化技術

Si/III-V 固相界面を用いた縦型トンネル FET の高性能化には、半導体ナノワイヤ縦型 FET 素子構造作製技術の最適化や微細化にともなう素子特性を評価し、金属-酸化膜-半導体 (MOS) 界面の高性能化することが重要になる。そこで、まず、MOS 界面の高性能化の観点から、原子層堆積法について、オゾン原料を導入することでゲート酸化膜の高性能化を図った。ゲート酸化膜は HfAlO とした。Si 基板上に異種集積した InGaAs ナノワイヤからなる縦型 FET 構造のゲート酸化膜厚のスケーリングを評価した。ゲート酸化膜は、等価酸化膜厚(EOT)が 0.70 - 2.76 nm の範囲で変化させた。図 2 に直径 70 nm の InGaAs ナノワイヤからなる縦型 FET 素子構造【図 2(a)】と代表的な伝達特性を示す【図 2(b)】。オゾン原料の導入により、伝達特性のサブスレッショルド係数が 68 mV/桁となり、Si-MOSFET に匹敵するスイッチング特性を得る事に成功した。さらに、EOT スケーリング評価では、これらのスイッチ性能(サブスレッショルド係数、DIBL)はゲート酸化膜厚に依存しないことを明らかにした【図 2(c)】。サブスレッショ

ルド係数から界面欠陥準位密度(D_{it})を求めると、 $2 \sim 4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ であり【図 2(b)], 従来の III-V MOSFET の D_{it} よりも低くなることを明らかにした。これは、半導体ナノワイヤの結晶構造に回転双晶が導入されることで、巨視的な[-110]ファセット面(キャリアが走行する面)が、回転双晶を境界に化学的に安定な(111)Aと(111)B面の微小ファセット面で置き換わるためであり、このようなナノワイヤ構造特異の表面構造を利用すると、原子レベルで極めて平坦かつ安定な MOS 界面を得られることを見出した。また、ここで得られた知見を基に、高性能 MOS 形成技術を考案した。

次に、図 3(a)に示すような変調ドープ型ナノワイヤを用いた縦型 FET 素子性能のチャンネル長(L_{ch}), コア直径(D_{NW})依存性を、InGaAs コアナノワイヤの直径 30 - 120 nm で評価した【図 3(a), (b)】。サブスレッショルド係数では、ナノワイヤ変調ドープ構造は、InAs ナノワイヤ材料と比較すると、コアの直径依存性、チャンネル長依存性があることが分かり、コア直径の微細化とチャンネル長の最適化によって、スイッチ性能を高性能化できることを明らかにした。これは、コア直径が小さくなればなるほど、ゲート変調しやすい素子構造になることを示しており、サブスレッショルド係数の急峻化の観点から、トンネル FET 素子応用に重要な知見となる。また、ゲート酸化膜厚みのスケールリング評価も、変調ドープ型ナノワイヤ縦型 FET について実施し、EOT 依存はなく、結晶構造に由来した MOS 界面特性が維持できることを明らかにした。

研究テーマ C: III-V/Si 界面縦型トンネル FET ~ パルスドーピングと表面パッシベーション

トンネル FET 素子共通の課題として、真性層の形成が挙げられる。トンネル FET では小さな電圧で、より高い内部電界を誘起することがサブスレッショルド係数の急峻化に有効であり、トンネル接合に接するチャンネル領域は真性層であることが望ましい。しかしながら、ナノメートルスケールの半導体結晶で真性層を形成することは極めて困難であった。これは、結晶成長由来の不純物が混在するためである。通常、このような半導体結晶に対して、真性層を形成する場合には、補償ドーピング効果を応用するが、ナノワイヤのような微小体積からなる構造では、一つの原子が持つ密度が高くなるため、従来の補償ドーピング技術では真性層を形成することはできない。

本研究では、新たにパルスドーピング法を考案することで、微細な半導体ナノワイヤに対して、真性層を形成する技術を確認した【図 4(a), (b)】。本手法では、ノンドーパで選択成長した InGaAs, InAs ナノワイヤの不純物密度が $10^{16} \sim 10^{17} \text{ cm}^{-3}$ になるのに対して、本手法でナノワイヤを形成することで、直径 30 nm の InAs, InGaAs ナノワイヤについて不純物密度が $1 \sim 2 \times 10^{15} \text{ cm}^{-3}$ まで低減し、パルスドーピング法で擬似的な真性層を形成できることを明らかにした。また、本手法を用いると、半導体ナノワイヤ

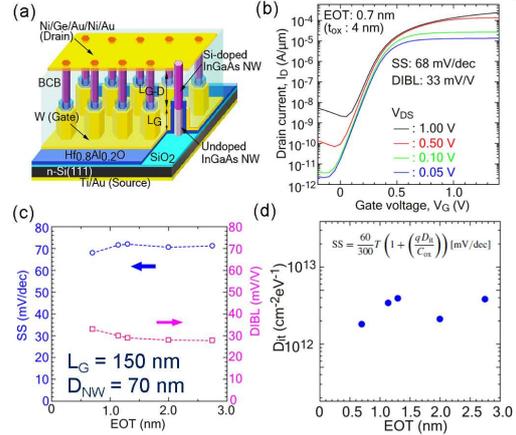


図 2. (a) InGaAs ナノワイヤ縦型 FET 構造模式図、(b) 伝達特性、(c) EOT に対する SS, DIBL、(d) D_{it} と EOT の関係

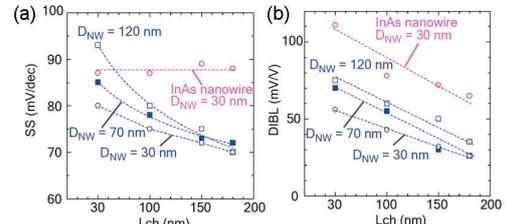


図 3. (a) InGaAs/InP/InAlAs/InGaAs コアマルチシェルナノワイヤの縦型 FET のサブスレッショルド係数と L_{ch} の関係、(b) DIBL と L_{ch} の関係

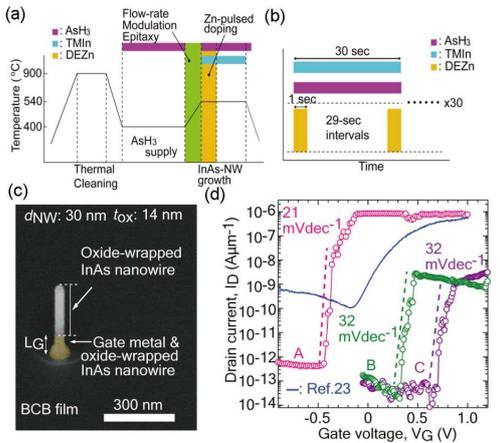


図 4. (a) ナノワイヤ成長シーケンス、(b) パルスドーピング模式図、(c) Si 上の InAs ナノワイヤ(直径 30 nm)、(d) InAs/Si 固相界面トンネル FET のスイッチング特性

成長機構を維持しながら、高濃度ドーピングも可能になることを見出した。トンネル FET の素子特性では、パルスドーピング技術によって、真性層が形成されると、急峻なサブスレッショルド係数を達成できるだけでなく、トンネル FET の閾値シフトが可能になることを明らかにした【図 4(c), (d)】。パルスドーピングでチャンネル部分の不純物密度を 10^{15} cm^{-3} 程度にすると、ノンドープの InAs ナノワイヤ/Si 固相界面トンネル FET と比べて、駆動電圧が半減し、サブスレッショルド係数は 31 mV/桁、閾値電圧は正側になることが分かる。以上から、真性層を形成することで、より小さな電圧で駆動するトンネル FET 素子を実現できることを明らかにした。

次に、コアシェルナノワイヤ構造による表面パッシベーションと歪効果によるトンネル FET 素子の高性能化を図った。Si 基板上に集積した InGaAs ナノワイヤに対して、InP シェル層を選択成長技術で形成し、パルスドーピング技術を導入することで、InGaAs/Si 固相界面によるトンネル FET で、室温で急峻なサブスレッショルド係数 (41 mV/桁) を実現した【図 5(b), (d)】。TEM 像の歪解析によって、トンネル接合界面に、格子不整合による大きな歪が誘起されていることが分かり、これらが表面パッシベーションとの相乗効果で、性能が向上したと考えられる。

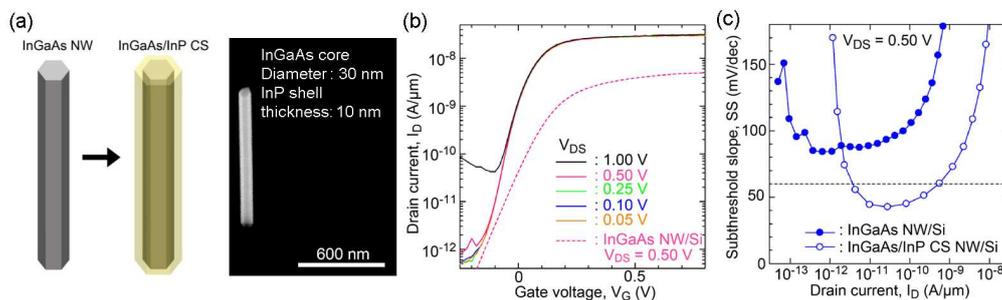


図 5. (a) InGaAs/InP コアシェル成長模式図と作製結果、(b) InGaAs/InP コアシェルナノワイヤ/Si 固相界面縦型トンネル FET のスイッチ特性、破線は InGaAs/Si 界面トンネル FET、(c) ドレイン電圧 0.50 V の時の、サブスレッショルド係数とドレイン電流の関係。破線が MOSFET の物理限界

研究テーマ D: トンネル HEMT の作製と動作実証

研究テーマ A-C までで確立した技術を応用し、InGaAs/Si 固相界面と InGaAs コアマルチシェル構造による変調ドーピング構造による二次元電子ガスの生成を、一つのゲート電極で実現できる素子構造を作製した【図 6(a)】。この素子構造によって、InGaAs チャンネルのゲート電界で、InGaAs/Si 固相界面のトンネル輸送と、ナノワイヤの二次元電子ガスを同時に生成し、急峻なサブスレッショルド係数を達成しつつ、二次元電子ガスによるキャリア輸送による、高いスイッチング電流の実現を図った【図 6(b)】。この素子は、トンネル輸送と二次元電子ガスからなるデュアルモード型のスイッチ素子になり、トンネル接合に変調ドーピング構造を利用する新しいトンネル FET 素子構造になる。作製した素子は、室温で急峻なサブスレッショルド係数を示し【サブスレッショルド係数 41 mV/桁、図 6(c)】、且つ、駆動電圧 50 mV で動作し、単純な InGaAs/Si 固相界面トンネル FET と比較すると、電流値はおよそ 1000 倍に増大する【図 6(d)】。本研究により、トンネル FET の課題であった微小なトンネル電流を、新しい素子構造の提案で解決し、世界に先駆けて、トンネル FET 素子のサブスレッショルド係数の急峻化と電流値の大幅な向上を実現した。

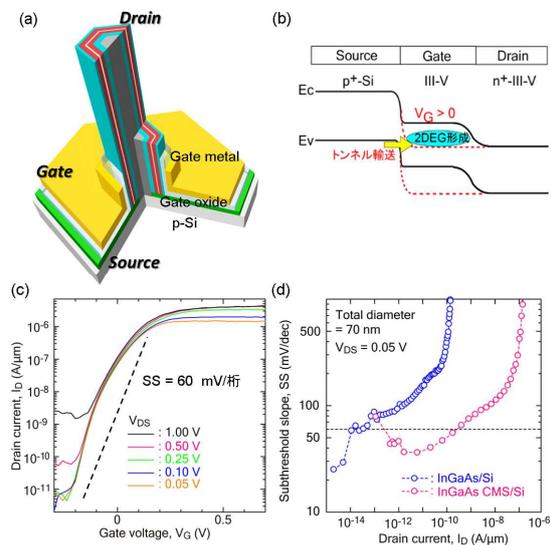


図 6. (a) 縦型トンネル HEMT 素子の模式図、(b) トンネル HEMT のバンドアライメントと動作の概略、(c) トンネル HEMT のスイッチング特性、破線は 60 mV/桁 (MOSFET の理論限界)、(d) サブスレッショルド係数とドレイン電流の関係、ドレイン電圧: 50 mV。破線が MOSFET の理論限界

3. 今後の展開

本研究では、ナノメートルスケールの結晶成長技術で Si/III-V 固相界面を形成し、低電力スイッチ素子である縦型トンネル FET 素子を作製し、新しい切り口でトンネル FET の課題を解決する素子を実現した。さらに、トンネル FET の作製や高性能化を図る上で欠かせない基本的な技術として、III-V ナノワイヤ MOS 界面の平坦化技術やナノ構造に対する真性層形成技術を確立してきた。今後は、Si-CMOS 分野におけるこれらの新しい固相界面の実用化への可能性を検討する予定である。具体的には、Si/III-V 固相界面にとらわれず、Ge/III-V 固相界面や新しい IV/III-V 固相界面を積極的に応用し、(i) CMOS/基本論理回路の試作、(ii) Si(100)上における Si/III-V ヘテロ接合界面型トンネル FET の集積の研究を実施することで、実用化を目指す。

4. 評価

(1) 自己評価

(研究者)

一次元ナノ構造選択成長技術で、新しい Si/III-V 族半導体ヘテロ接合界面を形成することで、Si/III-V 半導体接合のバンド不連続性を利用したトンネル FET を開発することができた。当該研究分野では、世界で 34 の研究機関があるが、これらの中で突出した研究成果を報告することができ、トンネル FET 分野においても、新しい概念・素子を創出することができた。また、Si-CMOS 技術と整合性の高い次世代 3 次元集積プロセス技術確立し、これらの研究成果から、当初の目標であったトンネル HEMT 素子の実現へ向けて、概ね予定通り研究項目を進めることができたと考えられる。また、次世代 LSI 回路の低消費電力化を実現する基本素子として Si/III-V 固相界面が極めて有効であることを広く提案・実証することができた。これらの研究成果が実用化した場合、集積回路の消費電力が 90%以上削減できるだけでなく、縦型 FET 素子集積構造による高密度集積化や、Ge/III-V ナノワイヤチャネルの混載集積技術への展開が期待される。さらには、家電や車載用マイコン、ヘルスケア・センシング素子の消費電力の大幅な削減を見込み、最終的に、スリープ回路など極小電力で起動する回路構成が実現でき、これら新しい固相界面とそのスイッチ素子応用は、端末で発電した微小電力で動作するようなセルフパワー型のマイコン・LSI の実現へと繋がる高い波及効果を有している。対外発表についても、招待講演数も比較的多く、毎年一定数の招待講演や受賞があり、当該研究分野では、飛躍的な活躍ができたと考えている。

(2) 研究総括評価(本研究課題について、研究期間中に実施された、年 2 回の領域会議での評価フィードバックを踏まえつつ、以下の通り、事後評価を行った)。

(研究総括)

本さがけ研究は、シリコン基板上の III/V 族半導体ナノワイヤのデバイスへの応用を目指すもので、当初提案の水素生成素子及び新規トランジスタへの適用のうち、新規トランジスタの開発に集中したものです。本研究では、結晶成長技術、デバイス作成技術を駆使し、実デバイスを実現しました。III/V 族半導体をベースとして、ナノワイヤを用いたトンネル型 HEMT を作製しデバイス特性を実証しており、科学技術への貢献は大きく、また、さがけ研究の課題は十二分に達成されたものと非常に高く評価します。また、これは多

くの外部発表(原著論文, 特許3件, 招待講演45件, 受賞)にも現れています。

一方、エネルギー高効率利用への寄与という当領域の目標への貢献という観点からは、社会実装の実現に資することが必要であり、それに向けた集積化、量産化等に関しては、産業界との本格的な連携を期待します。

5. 主な研究成果リスト

(1)論文(原著論文)発表

| |
|---|
| 1. <u>Katsuhiko Tomioka</u> , “Flat transistor defies limit” <i>Nature</i> , Vol. 526, pp.51-52 (2015). |
| 2. <u>K. Tomioka</u> , F. Ishizaka, T. Fukui, “Selective-area growth of InAs nanowires on Ge and vertical transistor application” <i>Nano Letters</i> , ASAP (2015). |
| 3. <u>K. Tomioka</u> , T. Fukui, “Recent progress in integration of III-V nanowire transistors on Si substrate by selective-area growth” <i>J. Phys. D</i> , Vol. 47, pp. 394001-1 – 13 (2014). |
| 4. K. Tomioka, M. Yoshimura, T. Fukui, “Sub 60 mV/decade Switch Using an InAs Nanowire-Si Heterojunction and Turn-on Voltage Shift with a Pulsed Doping Technique” <i>Nano Letters</i> , Vol. 13, pp. 5822 – 5826 (2013). |
| 5. K. Tomioka and T. Fukui, “Current increment of tunnel field-effect transistor using InGaAs nanowire/Si heterojunction by scaling of channel length” <i>Appl. Phys. Lett.</i> Vol. 104, pp. 073507-1 – 4 (2014). |

(2)特許出願

研究期間累積件数: 5件

1.

発明者: 富岡克広, 福井孝志

発明の名称: III-V 族化合物半導体ナノワイヤ、電界効果トランジスタおよびスイッチ素子

出願人: 北海道大学、科学技術振興機構

出願日: 2014/12/25

出願番号: PCT および台湾出願、K10102US(PCT), K10102TW

2.

発明者: 富岡 克広、福井 孝志

発明の名称: III-V 族化合物半導体ナノワイヤ、電界効果トランジスタおよびスイッチ素子

出願人: 北海道大学、科学技術振興機構

出願日: 2013年10月13日

出願番号: 特願 2013-226675

3.

発明者: 富岡 克広、福井 孝志

発明の名称: トンネル電界効果トランジスタ、その製造方法およびスイッチ素子

出願人: 北海道大学、科学技術振興機構

出願日: 2013年8月13日

出願番号: 特願 2013-168048

(3) その他の成果(主要な学会発表、受賞、著作物、プレスリリース等)

【主要な学会発表】

本研究に関連した招待講演:計45件、内第一発表者33件

- [1]. Katsuhiro Tomioka, Masatoshi Yoshimura, Fumiya Ishizaka, Eiji Nakai, and Takashi Fukui: “Integration of III-V nanowires on Si: From high-performance vertical FET to steep-slope switch” 2013 International Electron Devices Meeting (IEDM 2013), Washington DC, USA, Dec. 9-11 (2013).
- [2]. K. Tomioka, J. Motohisa, T. Fukui, “Vertical Tunnel FETs Using III-V Nanowire/Si Heterojunctions”, 228th ECS Meeting, phoenix, Arizona, USA, Oct. 11 - 15 (2015).
- [3]. Katsuhiro Tomioka and Takashi Fukui, “III-V nanowire channel and III-V/Si heterojunction for low-power switches”, IEEE EUROSOI-ULIS 2015, Aula Prodi Piazza San Gionvanni in Monte, Bologna, Italy, January 26-28 (2015).
- [4]. Katsuhiro Tomioka, Fumiya Ishizaka, Eiji Nakai, Muyi Chen, Takashi Fukui: “Selective-Area Growth of III-V Nanowires and Their Devices” MRS fall meeting 2014, Hynes Convention Center, Boston, Nov. 30th - Dec. 5th (2014)
- [5]. Katsuhiro Tomioka, Takashi Fukui, “Integration of III-V nanowires on Si and their applications”, The 40th International Symposium on Compound Semiconductors (iscs 2013), Kobe May (2013)

【受賞】

- 【1】平成27年4月15日 平成 27 年度科学技術分野の文部科学大臣表彰・若手科学者賞(文部科学省)
- 【2】平成26年3月5日 第 17 回丸文研究奨励賞(一般財団法人丸文財団)
- 【3】平成26年6月28日 第 27 回安藤研究所研究奨励賞(一般財団法人安藤研究所)
- 【4】平成27年10月22日 第 4 回エヌエフ基金研究開発奨励賞(一般財団法人エヌエフ基金)
- 【5】平成26年2月21日 電子情報通信学会エレクトロニクスソサイエティ招待論文賞

【著作物】

- [1]. ナノワイヤ最新技術の基礎と応用展開、分担執筆、範囲: 第 III 編第 3 章—ナノワイヤのトランジスタ応用、株式会社シーエムシー出版、2013 年3月 (ISBN: 978-4-7813-0760-2)
- [2]. Handbook of Crystal Growth, Second Edition, Tomioka K, Fukui T. “Growth of Semiconductor Nanocrystals “Handbook of Crystal Growth, Vol. I. Nishinaga T, editor. Elsevier, 2015. p. 749-93. (ISBN: 9780444563699)

6.. その他関連の情報

なし