

# 研究報告書

## 「ナノ格子制御による薄膜キャパシタ構造の作製と剥離・転写・接合によるナノ電子部品用実装技術の確立」

研究タイプ: 通常型

研究期間: 平成21年10月～平成25年3月

研究者: 一木 正聡

### 1. 研究のねらい

本研究では、次世代エレクトロニクスにおける主要構成要素の一つである基本構造をナノ構造制御として確立すると共に、ナノ実装技術としてシステム化することを目標とする。提案者らは他のグループに先駆けて従来比20倍程度の高容量密度キャパシタをプリント基板上に形成する剥離・転写の基本プロセス技術を確認してきた。しかし、剥離性の基板上に高容量密度の薄膜キャパシタを作製するための、制御要因や機構などは明らかになっておらず、本技術の実用化のために技術基盤としては科学的知見及び主要技術が十分に蓄積されているとは言い難い状況である。そこで、本研究では、ナノ格子の結晶整合/不整合性を活用して、金属電極と薄膜キャパシタによる基本構造の結晶成長を実現すること、またナノ表面機構を明らかにすることで、ナノ実装プロセス技術としてのシステム化を図り、従来は不可能であった高性能ナノ電子部品の内蔵実装を実現するための、次世代の電子回路基板のための製造基盤技術として確立することを目標として研究を行う。

本技術の実用化や技術の普及に当たっては、実装技術を含めたファシリティの利活用方策が重要であるとの認識を持った。また、近年センサネットワークに関する研究開発に従事したことで、キャパシタに関する技術課題が多く、国際技術競争力のある本分野の技術基盤の強化はユビキタスネットワーク社会において重要であるとの認識を持つに至った。電子回路基板には主に樹脂材料が使用されており、シリコン等の耐熱性基板とは異なり、高温プロセス技術への適用は困難である。そのため、従来は表面実装や低誘電率の薄膜キャパシタのみが使用されてきた。しかしながら、高密度実装への要求は非常に大きく、現状の方式には限界が見え始めている。

そこで本研究では、ナノ格子の制御による高性能薄膜キャパシタの基本素材を金属電極と薄膜キャパシタによる構造で実現することで、部品性能の向上を行う。また、実装技術としては、速やかな実用化の技術基盤の強化に貢献したい。高性能な薄膜キャパシタを現行の電子回路基板上に展開することができれば、表面の約50%を占める電子部品の内蔵化が可能となり、これまで表面実装に頼ってきた実装方式に大きなブレークスルーが期待される。これにより、電子機器の小型・薄型・軽量化に加えて、性能・信頼性の向上に寄与するシステム化技術の新機軸としての普及が期待できる。

### 2. 研究成果

#### (1) 概要

本研究における成果としては、剥離性基板上における薄膜キャパシタ構造体の作製、剥離プロセスに於いて見いだされた以下の3点が挙げられる。1) 構造体に作製時においては引張応力状態が必要であること、2) 密着性の要因が鉛の原子拡散にあることと拡散により密着力

が制御できること、3)プロセスパラメータを実験計画法によって定量的に評価し熱処理温度が主要なパラメータであることを明らかにしたことである。1)においては、サンプルを安定的に作製するために必要なプロセス条件であり、この知見を得てから研究が加速的に進展できるようになった。2)密着性の要因が明らかになると共に、拡散の制御により密着性が調整できることが明らかになった。また、拡散は積層構造体の厚みなどの構造設計により異なることも明らかとなり、実用化に於いて重要な知見を得ることができた。3)は化学溶液法における課題の一つであった多くのプロセスパラメータをシステム化した条件最適化手法を確立できたこととなる。以上の知見から、従来明らかになっていなかった現象機構が明らかになると共に、システム設計に対して有用な技術的基盤を明らかにすることができた。

## (2) 詳細

### 研究テーマA「積層構造体の作製」

薄膜キャパシタとしてはチタン酸ジルコ酸鉛(PZT)膜を用いて、その作製時の安定性を調べるため、下部電極であるPt膜を成膜条件(成膜温度)を変えて基板を準備し、PZT膜を作製した。Pt膜厚1 $\mu\text{m}$ 、高温(200 $^{\circ}\text{C}$ )の条件で成膜した基板はPZTを安定して10層積層できたのに対し、Pt膜厚1 $\mu\text{m}$ 、室温で成膜の基板では、PZTを2層積層したところで破壊され、安定してPZTの成膜が行えなかった。

図2にPZT成膜前に計測したPt膜の応力分布を示す。成膜条件が高温のPt膜と室温のPt膜では引張と圧縮で応力が反転することが分かった。

このことから、Pt膜応力が成膜条件によって反転したため、PZT薄膜を安定して成膜できたといえる。PZT薄膜は一般的に引張であるので、Ptの成膜条件が高温の場合、同じ引張応力であるために応力が緩和し、PZT成膜時の不安定性が解消されたと考えられる[3]。

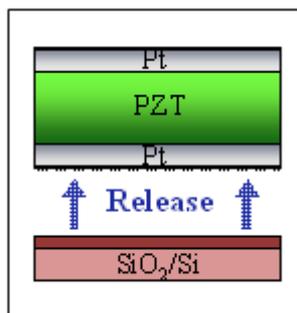


図1 積層構造体の断面図

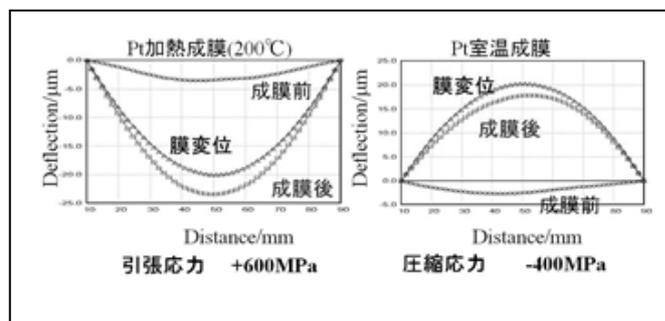


図2 PZT成膜前のPt膜応力

また、XRDの結果により、作製されたPZT薄膜はペロブスカイト構造で(110)に配向していることが確認されている。剥離前の誘電率を測定した結果、すべてのキャパシタにおいて二桁後半の比誘電率であり、Pt膜の成膜条件との依存はみられなかった。また、ヒステリシスカーブについてもキャパシタによる大きな違いは見られなかった。このことから電気的特性はPt膜の成膜条件に依存せず、PZT膜の成膜条件や結晶性に依存することが予想される。

### 研究テーマB 「密着性の要因に関する機構」

ナノトランスファー法にはPZT薄膜とSi基板の剥離過程がある。この界面の密着力は、下部電極層であるPt層と強誘電体層であるPZT層の厚さに依存して変化することがテープ剥離試験によって判明しているが(4)(図2参照)、特性要因の機構は解明されていない。そこで本研究では、凝着力変化の要因を解明するために、要因の一つと考えられる成分元素拡散の調査と、凝着力の定量的測定を行い、成分元素拡散の有無と凝着力への影響を明らかにすることを目的とした。

図3はPt膜厚が150nmのサンプルの断面写真である。PtとSiO<sub>2</sub>の間にSiO<sub>2</sub>方向に物質浸透に基づく想定される厚さ約10nmの層があることが認められる。この層をEDS(エネルギー分散型X線分析装置、Energy Dispersive X-ray Spectrometer)によって分析したところ、主にSi、Oが検出され、Pbも微量に検出された。この層は、PZT成分元素がPtを通じて拡散し、SiO<sub>2</sub>と固溶体を形成してできた層だと考えられる。この拡散と固溶体形成は、PZT成膜時の700°Cという高温プロセスに起因していると思われる。

図4に凝着力測定の結果を示す。これらの結果より、Pt・Si基板界面の凝着力はPZT薄膜作製後に上昇することが判明した。この現象は、PZT薄膜作製時に、PZT成分元素が拡散し、Pt・Si基板界面において固着層を形成するためであると考えられる。今回の結果により、Si基板方向へのPb、Tiといった、Zrを除くPZT成分元素の拡散が発生しており、Si基板表面に拡散層が形成されていることが判明した。この拡散は、Pt膜厚増加に伴い減少し、拡散層の厚さも減少した。また、この拡散層はPt・Si基板界面の凝着力を強化していることが判明した。特にPt150nmのサンプルにおいては凝着力が約2.4倍と大きく上昇した。これらのことから、PZT成分元素の拡散現象が凝着力変化の主要な要因であることが確認された[5]。

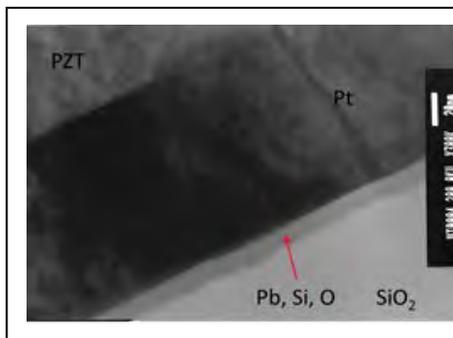


図3 PZT/Pt/SiO<sub>2</sub>/Si 断面 TEM

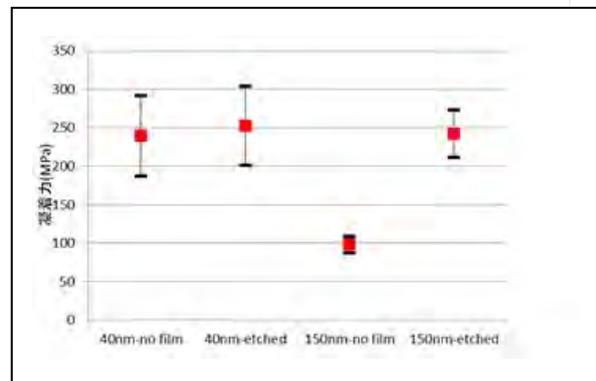


図4 密着力の評価試験の結果

### 研究テーマC 「薄膜特性の最適化」

本研究では、薄膜製造方法としてMOD法を用いており、PZT薄膜の特性向上や均質化のために、プロセスパラメータの最適化が課題となる。MOD法には数多くのパラメータが存在するが、統計的手法である実験計画法を用いて検討を行った。実験計画法とは、各パラメータの水準を組み合わせることで、実験回数の低減を行うことが可能である。これと分散分析を組み合わせることで、最適化を行うだけでなく重要なパラメータの特定も行った。

実験においては 20mm角のPt/Ti/SiO<sub>2</sub>/Si基板を用意した。SiO<sub>2</sub>, Ti, Ptの膜厚はそれぞれ 300nm, 5nm, 150nm程度である。この基板の上にPZT溶液を塗布し、加熱によって結晶化させるというプロセスを繰り返し、PZT薄膜を作製した。このプロセスにおいて成膜温度、昇温速度、溶液濃度等をパラメータとするとともに、各パラメータ水準の組み合わせを検討した。本研究では、化学溶液塗布法を用いた誘電体薄膜の作製において、温度に関連するパラメータを中心に重要因子の特定と最適化を行った。その結果、温度に関連するパラメータの中でも、特に前駆体形成温度と結晶化温度が重要であることが判明した。また、前駆体形成温度は結晶性、電気特性両方に対して特性温度がやや異なるという結果が得られた。この結果を用いて4インチウエハに均質膜を形成することを試みた。その結果を図5に示す。膜厚及び誘電率については7%程度となった。強誘電特性については3.5倍程度あり、まだ改善の余地があると思われる。この点で、薄膜の均質性はやや低かったため、今後より均質性を高める工夫が必要である[4]。

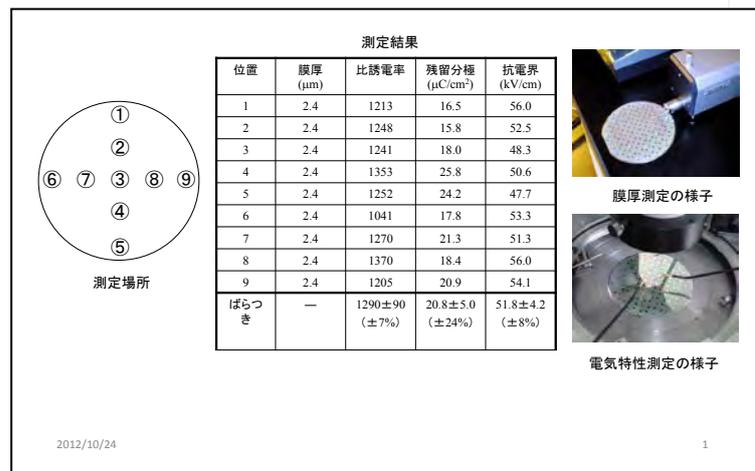


図5 均質化膜の作製の検討結果

### 3. 今後の展開

本研究を通じて、剥離性の基板における薄膜キャパシタの科学的及び技術的な知見が明らかになってきた。安定した薄膜キャパシタの作製に必要な要因が内部応力にあることを明らかにするとともに、膜特性や密着性の特性要因の機構を元素拡散の観点から調べた。また、多数のパラメータの最適化の定量的な評価のために統計的な手法が有効であることを示した。

本研究の実用化を今後進めるに当たっては、大面積化とシステム化が課題になるとおもわれる。大面積化には均質膜の大面積化を実現することが必要となるが、その方法論をおおよそ確立できていると思われる。一方、システム化については元素拡散による密着性の制御が可能であるという機構を用いて具体的な手法の提案を今後進めていきたい。

### 4. 自己評価

本研究においては、実用化を推進するために技術的基板となり得る科学的な知見の集積を目指した。薄膜構造体の作製、剥離性基板上での密着性の機構、特性パラメータの最適化のための方法論について一定の結果を得ることができ、これらの新しい知見を元にした科学的あるいは技術的な展開を行うことができると考えている。とくに、剥離性基板状へのキャパシタの作製には、膜応力を引っ張り状態にすること、凝着力は鉛原子の拡散に由来していること、温度パラメータの定量的な評価法を確立できたことは大きな前進と考えている。一方、当初の

研究スコープに入っていたうちシステム設計に関しては、明確な開発結果を現時点では示せていない。今後できるだけ速やかな対応をするように尽力したい。また、上記の科学的な知見は自分としてはそれらよりも価値的には有用性が高く今後の展開を図る上での貴重な知見であることを付記したい。

本研究の開始時点においても、本技術手法のおおよその利活用可能範囲を簡易的なテープ試験などにより明らかにしていたが、それらの根拠を明確化することは実現できていなかった。上記の科学的な知見と実験結果により、剥離性基板を用いた薄膜キャパシタに適した膜厚領域についても一定の知見が集積できた。このことは、高容量密度の薄膜キャパシタを用いた機能の「創発」を行うために非常に重要な知見となり得るものと考えている。

## 5. 研究総括の見解

金属電極と薄膜キャパシタの結晶成長を実現し、同時にナノ表面機構を明らかにすることにより、次世代の電子回路基板のためのナノ実装プロセス技術を確立することを目標としている。

成果として、1)構造体作製時には引張応力状態が必要であること、2)密着性の要因が鉛の原子拡散にあること、また拡散により密着力が制御できること、3)プロセスパラメータとして、熱処理温度が主要であること、等を明らかにした。

本研究成果は個別的・要素的データとしての性格が強く、全体として、提案内容にどの程度アプローチできたのか捕えがたいが、特許内容にみられるように実装という極めて具体的課題の解決を目指した研究であり、電子機器の小型・薄型・軽量化につながる成果をおさめたと判断される。

## 6. 主な研究成果リスト

### (1)論文(原著論文)発表

- |  |
|--|
| 1. K.Imura, T.Hosono, M.Ichiki, T.Itoh and T.Sugah, “A release property of High-permittivity thin film manufactured with nano-transfer method” Trans.Jpn.Inst. Electronics and Packaging 2011, 4, 37-40.                   |
| 2. T.Hosono, K.Imura, M.Ichiki, T.Itho and T.Suga, “An Electrode Structure for Ferroelectric Thin Films and Its Application to the Nanotransfer Method”, Trans.Jpn.Inst. Electronics and Packaging 2011, 4, 41-45.         |
| 3. E.Komine, M.Ozaki, T.Suga, M.Ichiki and T.Itoh, “Fabrication and Characterization of Ferroelectric PZT and BaTiO3 Thin Films on Releasable Electrode Structures”, Trans.Jpn.Inst. Electronics and Packaging (in press). |
| 4. K.Sueshige,K.Imura, T.Suga, M.Ichiki and T.Itoh, “ Homogenizing and Applying Dielectric Film to Wafer Level Film Preparation”, Trans.Jpn.Inst. Electronics and Packaging (in press).                                    |
| 5. F.Honda, K.Sueshige, T.Hosono, T.Suga, M.Ichiki and T.Itoh, 電気学会誌(投稿中)  |

### (2)特許出願

研究期間累積件数:3件



1

発明者： 一木正聡、須賀唯知、飯村慶太、細野智史、伊藤寿浩、前田龍太郎  
発明の名称： 誘電体構造体、及びその製造法  
出願人： 独立行政法人科学技術振興機構、独立行政法人産業技術総合研究所  
出願日： 2010/5/8  
出願番号： 特開2011-238766

2

発明者： 一木正聡、黒木啓介、須賀唯知、鈴木章夫、伊藤寿浩、前田龍太郎  
発明の名称： 非接触信号伝送システム及び方法  
出願人： 独立行政法人科学技術振興機構、独立行政法人産業技術総合研究所  
出願日： 2010/8/8  
出願番号： 特願 2010-200735

発明者： 一木正聡、黒木啓介、須賀唯知、鈴木章夫、伊藤寿浩、前田龍太郎  
発明の名称： 非接触信号伝送システム及び方法(優先権出願)  
出願人： 独立行政法人科学技術振興機構、独立行政法人産業技術総合研究所  
出願日： 2011/8/8(非公開希望)  
出願番号： 特願 2011-195674

3.

発明者： 一木正聡、鈴木堅吉、伊藤寿浩、前田龍太郎  
発明の名称： 有機 EL 表示装置及びそれに用いるテープ構造体  
出願人： 独立行政法人産業技術総合研究所  
出願日： 2013/1/28(非公開希望)  
出願番号： 特願 2013-013597

(2) その他の成果(主要な学会発表、受賞、著作物、プレスリリース等)

・受賞 ICEP ヤングアワード(受賞者:小峰えりか) 対象発表:2012年4月 ICEP2012