

研究課題別評価

1 研究課題名: 超ヘテロ・ナノ結晶の創製と光・電子新機能

2 研究者氏名: 渡辺正裕

3 研究の狙い:

情報処理・通信システムのさらなる高度化を推進し、革新的な新機能創出を実現するためには、既存の材料/デバイス技術の改良のみならず、異種材料を原子レベルで集積化することによって、素子あるいは集積回路自体に新機能を付与することが必要不可欠である。絶縁体、半導体および金属をも包含する異種材料同士をナノメートル層厚でエピタキシャル積層した人工ヘテロ構造(超ヘテロ・ナノ結晶)は、その接合界面における際立って大きな物性の相違により、ナノメートル領域における超高速かつ非線形な共鳴トンネル輸送現象や、サブバンド間遷移光吸収・増幅などの光-電子相互作用を量子閉じ込め等により人工的に制御するための基本構造として有望である。本研究では、この超ヘテロ構造を実現するための材料構成として、シリコン基板上にエピタキシャル成長可能な弗化物系絶縁物、半導体シリコン、およびシリサイド系金属を採用した。基板材料にシリコンを採用しているため、シリコン LSI 技術との融合に適しており、本研究では、弗化物系超ヘテロ構造を用いたシリコンベース量子効果デバイスの原理実証と、応用可能性の探索を目的とした。特に本さきがけ研究では、これらの超ヘテロ結晶成長の精密化手法としてナノサイズの微細加工技術と表面制御技術を組み合わせることにより、量子効果素子の特性制御に不可欠な原子レベルの結晶成長制御法を提案した。その手法をフッ化物系共鳴トンネルダイオード(RTD)、フッ化物(絶縁体)-シリサイド(金属)RTD 等に適用することにより、超ヘテロ結晶中の量子物性に関する基礎を確立するとともに、超ヘテロナノ構造を用いた共鳴トンネル素子の集積メモリ素子への応用や、光と電子の相互作用に基づく光増幅・発振/受光デバイスへの応用に関する基礎的研究を行った。

本報告書は、平成13年12月～平成16年11月に及ぶ3年間のさきがけ研究の成果の概要、および今後の展望について報告するものである。

4 研究成果の概要:

4-1 本研究で採用する材料構成と結晶成長法

本論に入る前に、本研究で用いた材料構成、および結晶成長法について述べる。本研究で用いた材料のバンドプロファイルを Fig.1 に、材料定数を Table 1 に示す。エネルギー障壁として用いる CaF_2 は立方晶螢石構造で Si との格子定数差は室温で +0.6% であり、Si 基板上にエピタキシャル成長が可能である。室温における CaF_2 と CdF_2 との格子不整合は約 1.4% あるが、結晶構造(立方晶螢石構造)および結合様式(イオン結合)が同様であることから、 CaF_2 と良質なヘテロ接合形成が可能である。また、 CaF_2 は 12eV、 CdF_2 は 8eV の禁制帯幅をもつ絶縁体であるため、高耐圧を要求される共鳴トンネルデバイスの材料として有利であると考えられる。ヘテロ接合界面における伝導帯バンド不連続(E_c)は、Si- CaF_2 間で約 2.3eV、 CdF_2 - CaF_2 間で約 2.9eV である。

| | CdF_2 | CaF_2 | CoSi_2 | Si |
|----------------------|----------------|----------------|-----------------|----------|
| Lattice constant (Å) | 5.388 | 5.463 | 5.365 | 5.431 |
| Mismatch with Si @RT | -0.8% | +0.6% | -1.2% | - |
| Dielectric constant | 8.83 | 6.76 | - | 11.8 |
| Crystal Structure | Fluorite | Fluorite | Fluorite | Diamond |
| Bonding | Ionic | Ionic | Covalent | Covalent |

Table 1. Material constants of CdF_2 , CaF_2 , CoSi_2 and Si

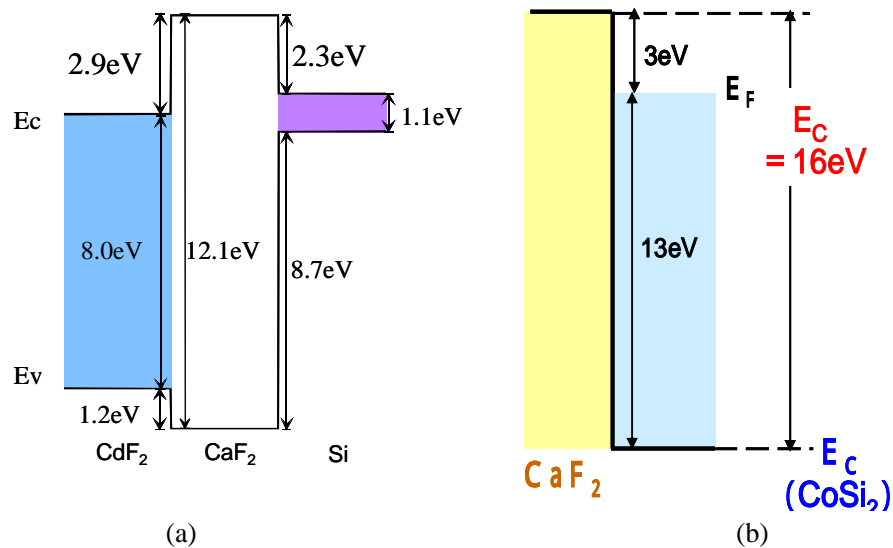


Fig.1 本研究で用いたヘテロ構造のバンドプロファイル(a)CdF₂-CaF₂-Si, (b) CaF₂-CoSi₂

CoSi₂(金属)とCaF₂の間の伝導帯バンド不連続量(E_C)は、約 15eV であるが、CoSi₂のフェルミレベルからCaF₂の伝導帯下端までのエネルギー差は約 3eVとなる。この大きな E_C により、室温においても顕著な量子効果を期待することが可能となる。

CaF₂とCdF₂の結晶成長は、分子線エピタキシー(MBE)法とCaF₂のイオン化ビーム支援エピタキシーを組み合わせて行う。成長装置の概略図を Fig.2 に示す。各材料の分子線は固体ソースのつぼ加熱溶解/昇華により供給される。CdF₂に関しては、昇華により生成した CdF₂ 分子ビームのみを供給し、CaF₂に関しては、適時必要に応じてイオン化・加速を行っている。Si 基板表面第 1 層に形成する CaF₂ 層については、Si-CaF₂ 界面の結合を促進してピンホール密度を低減するため CaF₂ 分子線を電子衝撃により数%イオン化して供給する。一方、最上層の CaF₂ は CdF₂ 量子井戸上に形成されるが、この場合は成長基板温度が 50-100 程度と CaF₂ の適正なエピタキシャル成長温度よりもかなり低いため、マイグレーションエネルギーの支援と平坦性向上のため、イオン化した CaF₂ を 500V で加速して供給する。基板は抵抗率 4m \cdot cm の低抵抗シリコン基板を用いた。成長速度は水晶振動子式の膜厚センサーでモニターし、CaF₂, CdF₂ ともにほぼ 0.1nm/min の成長速度で成長した。

4-2 ローカルエピタキシー法の提案

ローカルエピタキシー法は、本研究で中心的に用いるフッ化物系超ヘテロ構造の有効な結晶成長技術として本研究で初めて提案され、さきがけ研究の中でその有効性が実験的に実証された。これに関連する特許申請も行われている。本節ではローカルエピタキシー法の基本概念と実際成長法について概要を述べる。

本研究で用いるフッ化物系材料 CaF₂, CdF₂ は、Si 基板の(111)面方位上に特に良好なエピタキシャル特性を示す。その際、注意しなければならないポイントとして、CaF₂ エピタキシャル膜が得られる成長温度(>550)において、CaF₂ はシリコン表面に対して 180 $^\circ$ 回転したいわゆる Type B で成長する点が挙げられる。この Type B 成長モードでは、原子ステップにおいて結晶構造の周期性

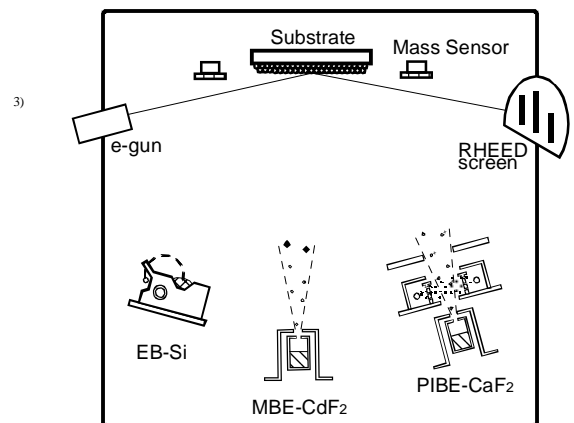


Fig.2 超高真空結晶成長装置の概略図

が破れるので、ステップ近傍にはアンチフェーズ境界に起因する欠陥が多く発生すると考えられる。実際、原子間力顕微鏡(AFM)による表面モフォロジー観察を行うと、ステップ近傍には多数のピンホールや、ボイドがステップに沿って多数形成されていることが確認される。そこで、本研究では、共鳴トンネルダイオード(RTD)のリーク電流や耐電圧特性に致命的な影響を与えるこれらのピンホールやアンチフェーズ境界欠陥を最小限に抑えるため、低 off 角(0.1° off, テラス幅約 180nm)のシリコン基板を用いた上で、さらに、RTD 素子サイズをテラス幅以下に微細化することにより、確率的にステップ境界における欠陥の影響を排除するという着想を得た。そこで RTD の素子サイズをテラス幅(約 200nm)より小さい 100nm 以下に微細化するナノ領域成長を試みた。

実験では Si(111)基板の熱酸化により形成した SiO₂ をマスクとしてナノメートルサイズの微小孔を形成し、その穴底の Si(111)表面にウェット保護酸化膜を形成して超高真空成膜チャンバに搬入し、結晶成長を行う。まず、500nm 程度の微小孔を用いて、孔中の CaF₂ 結晶成長の平坦性と、SiO₂ 境界における異常成長の有無をチェックした。微小孔中に 1nm の CaF₂ を結晶成長した後の表面 AFM 像を Fig.4 に示す。SiO₂ 境界周辺には特に異常な成長は観察されず、微小孔中には原子レベルで平坦な CaF₂ 膜が成長していることが確認された。ただし、孔径 500nm ではテラス幅 200nm よりも広いので、平均的に 1 つの微小孔中にステップが少なくとも 2 本は含まれていると考えなければならない。実際の素子形成では、従って、テラス幅よりも狭い孔径を採用する必要がある。

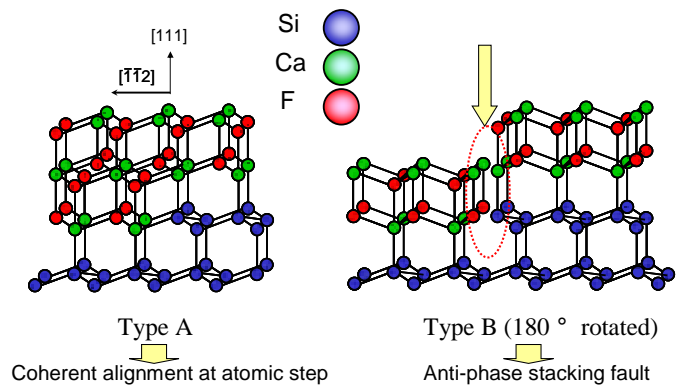


Fig. 3 Si(111)上にエピタキシャル成長したCaF₂格子の模式図。(a) 同位相整合(低温成長時) (b) 逆位相整合(>550)

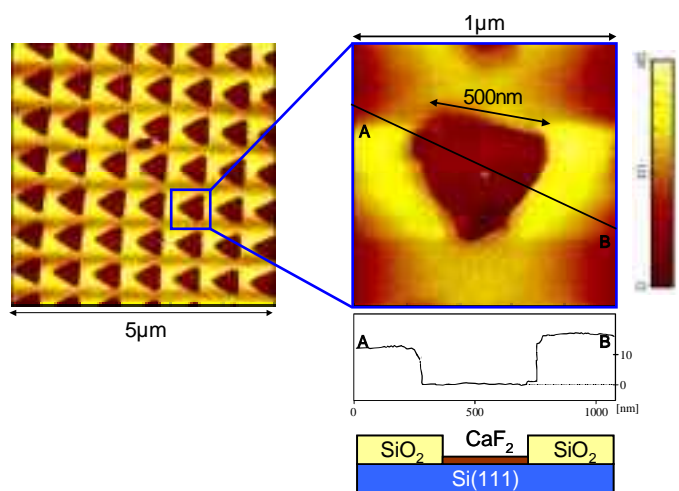


Fig. 4 微小孔アレー(500nmサイズ)中に層厚1nmのCaF₂をエピタキシャル成長した後の表面AFM像

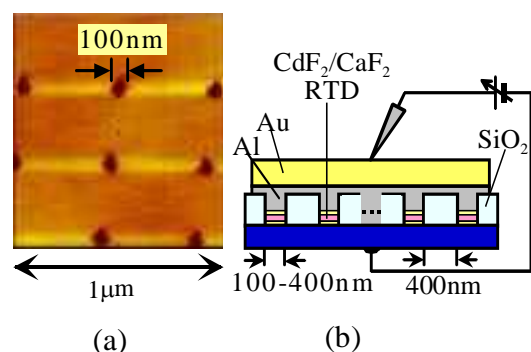


Fig. 5 (a) SiO₂でパターニングされた100nm 微小孔にRTDを結晶成長した試料の表面AFM像 (b) 電極形成後の断面模式図

4-3 CdF₂/CaF₂ 2重障壁および3重障壁共鳴トンネルダイオード構造の特性制御

前節で述べたローカルエピタキシー法を適用して、100nm 微小孔中に RTD 構造を形成した。Fig.5 に素子構造を示す。Si(111)基板表面を 15nm 熱酸化し、電子ビーム露光により 100nm の微小孔アレーを 500nm 周期で形成し、その孔中に 1nm-CaF₂/CdF₂/1nm-CaF₂ 2重障壁 RTD 構造を結晶成長した。成長基板温度はそれぞれ下から 750 ,80 ,80 である。微小 RTD を形成した領域に 100 μ m の電極を蒸着することにより、約 40000 個の微小 RTD に並列に電極コンタクトを取り、その総和としての I-V 特性を評価した。Fig.6(a),(b)に室温における微分負性抵抗特性の一例を示す。図中の電流 1 mA は、微小孔面積の総和を用いて電流密度に換算すると約 320A/cm² に相当する。異なる素子間の特性の均一性や耐電圧は、パターンニングしない場合に比べて著しく向上した。また、CdF₂ 量子井戸厚(a)W=6ML(1.9nm), (b)12ML に依存した、ピーク位置の変化が観測された。これは CdF₂ 量子井戸中

のサブバンドが、井戸厚により変化していることを示唆するものと考えられる。

Fig. 7 には単一微小孔 RTD の I-V 特性の一例を示す。複数 RTD の総和特性に比べて鋭いピークを有する I-V 特性が得られており、単一微小孔 RTD の層厚均一性の高さを示唆しているものと思われる。ただし、複数 RTD の総和特性とピーク位置が必ずしも一致しているわけではないことから、単一 RTD 間では特性ばらつきがあるが、多数個の平均をとることで複数 RTD の特性の均一化が実現しているものと考えている。

CdF₂ 量子井戸厚を変化させて作製した RTD のピーク電圧の平均値およびエラーバーを Fig.8 中にプロットした。この依存性を、Esaki-Tsu 式を用いてシミュレーションした結果を実線で表示している。有効質量の値としては $m^*_{\text{CdF}_2} = 0.16$, $m^*_{\text{CaF}_2} = 1.0$ 、また、CdF₂-CaF₂ 接合界面における伝導帯バンド不連続量は $E_c = 2.9\text{eV}$ を用いた。シミュレーション結果は、1 原子層程度の層厚揺らぎを仮定すると実験結果をよく説明する。CdF₂/CaF₂ 共鳴トンネルダイオードにおいて、明瞭な量子井戸厚依存性が実験的に示されたのは我々の知る限りこれが初めてである。これは、ローカルエピタキシー法の採用により、結晶品質、および層厚コントロールの精度が格段に向上したことによるものと考えている。

Fig.9 には、三重障壁構造 RTD における室温微分負性抵抗特性の一例を示す(2つの CdF₂ 量子井戸層厚=10ML=3.1nm の素子)。複数の微小孔 RTD の総和としての特性を測定しているにもかかわらず、極めてシャープな電流ピークが得られていることがわかる。また、Fig.10 には、量子

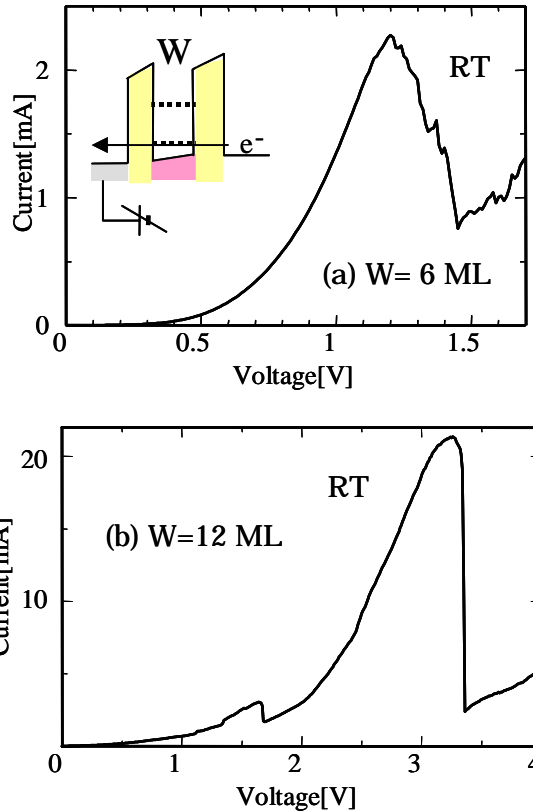


Fig.6 2重障壁共鳴トンネルダイオードの室温微分負性抵抗特性: CdF₂ 量子井戸厚 (a) W = 6 ML (1.9 nm-thick), (b) 12 ML (3.7 nm-thick).

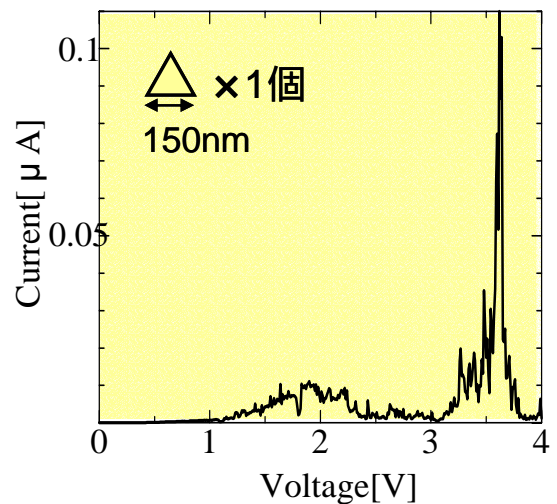


Fig.7 単一微小孔に形成した2重障壁共鳴トンネルダイオードの室温微分負性抵抗特性: CdF₂ 量子井戸厚12 ML (3.7 nm).

井戸圧依存性をプロットした。2つのCdF₂量子井戸層厚を同じ厚さWに設計した試料に関する実験および計算結果である。2重障壁の場合に比べてばらつきが多少大きくなるものの、この場合においても、計算結果は実験結果の傾向をよく再現している。第1ピークが観測されていないのは、エミッタ金属の仕事関数がバルク文献値よりもわずかに大きく、第1ピーク電流量が極端に小さくなっているためと考えている。

以上を要するに、ローカルエピタキシー法を用いて結晶成長したCdF₂/CaF₂ 2重および3重障壁共鳴トンネルダイオード構造の微分負性抵抗特性を再現性・均一性よく観測することに成功し、さらに、特性の量子井戸厚依存性から、CdF₂量子井戸厚1.8nm~

4nm程度の範囲で、微分負性抵抗のピーク電圧をほぼ理論予測に従う形でコントロールすることにはじめて成功した。また、三重障壁共鳴トンネルダイオードにおいては、障壁の多重化により期待されるシャープな電流特性を実際に観測することにはじめて成功した。この材料系で2重および3重障壁トンネルダイオード構造の電流電圧特性の人為的な制御技術を、この水準にまで到達させたのは本研究が世界で初めてである。

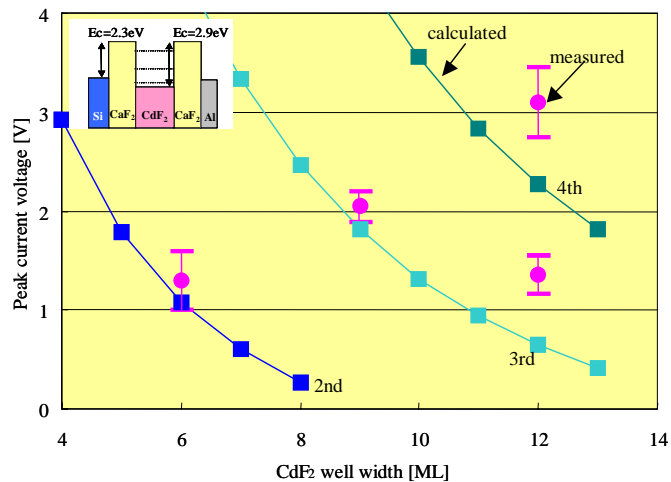


Fig.8 Relation between CdF₂ QW width and NDR peak current voltage. Circles with error bar indicate measurement results and solid line derived from theoretical analysis using Esaki-Tsu formula.

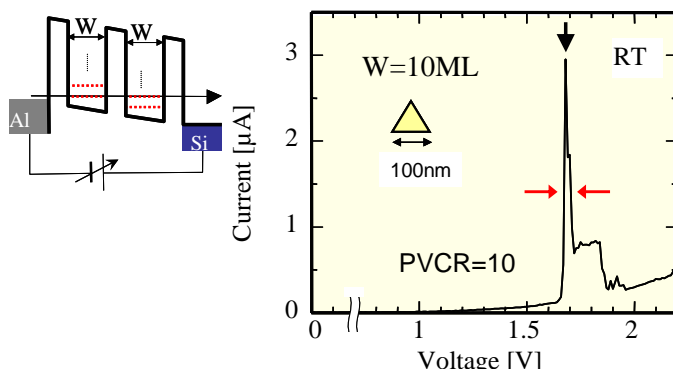


Fig.9 CdF₂/CaF₂ 3重障壁共鳴トンネルダイオード(W=10ML)の室温微分負性抵抗特性..

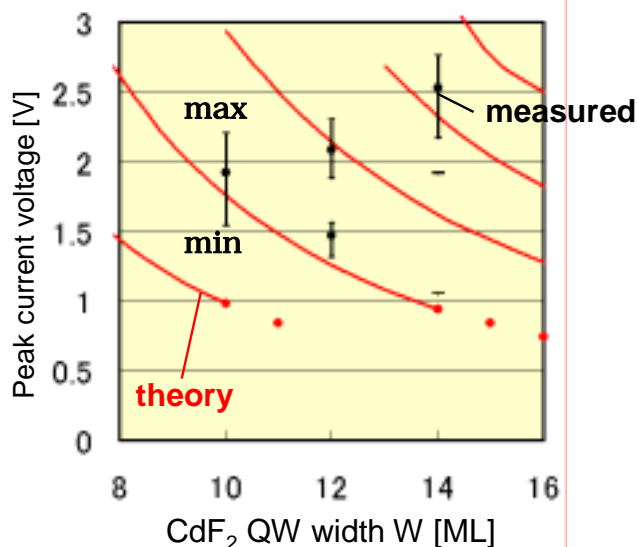


Fig.10 Structure dependence of triple barrier resonant tunneling diode with double CdF₂ QWs of the same layer thickness.

4-4 三端子素子化への布石 ~ 高品質 (金属)CoSi₂/(絶縁体)CaF₂ 共鳴トンネルダイオードの実現

本節では、将来的な三端子素子化の際のキーテクノロジーとなる金属コバルトシリサイド(CoSi₂)/絶縁体(CaF₂)超ヘテロ構造に対して、本研究で提案するナノエリア・ローカルエピタキシー法を適用した結果について述べる。量子井戸が金属であることの利点として、将来的な三端子素子における量子井戸層の電位制御電極や、低抵抗な導線、外部電極とのコンタクトなどを、不純物ドーピングを必要としない純粋な単結晶で実現可能であり、量子ナノ・デバイスに不可欠のキーコンポーネントとなる可能性を有している。

Fig.11 に、本研究で作製した CoSi₂/CaF₂ 三重障壁共鳴トンネルダイオード構造の層構成ならびにバンドダイアグラムを示す。Al 電極側に負バイアスを印加した場合、2つの金属量子井戸層がそれぞれ共鳴によりエネルギーフィルターとしてはたらくことにより、ある特定のバイアス電圧において Al 電極中の電子が共鳴トンネルによりシリコン基板側へ通過して電流が流れるが、さらにバイアス電圧を増加させると共鳴トンネル条件からはずれるため電流がカットオフする微分負性抵抗特性が期待される。ピーク電圧は主に、2つの金属量子井戸の層厚により設計され、バリア膜厚は、ピーク電圧を若干変動させるものの、主にピーク電流密度を決定する要因となっている。

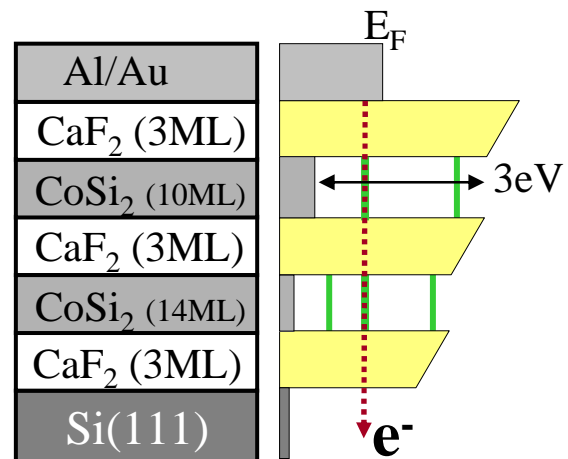
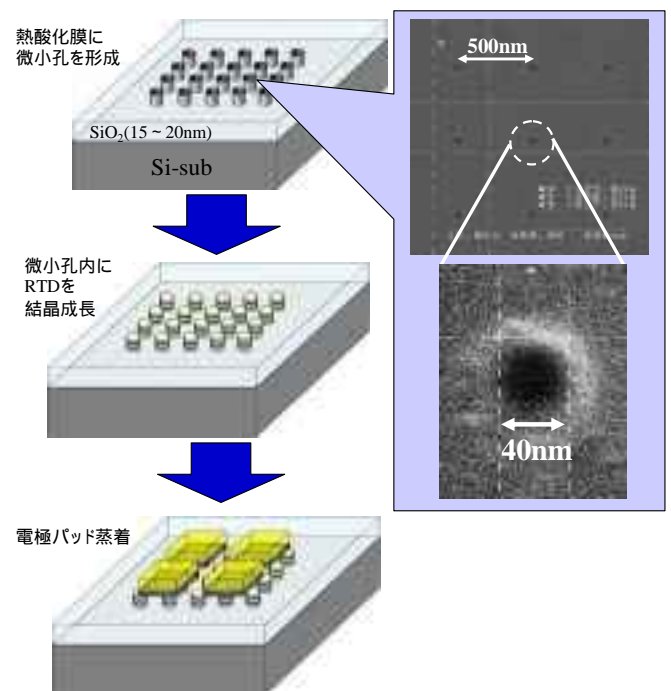


Fig.11 CoSi₂/CaF₂ 三重障壁共鳴トンネルダイオード構造の層構成とバンドプロファイル

Si(111)基板上的 CoSi₂/CaF₂ 三重障壁共鳴トンネルダイオード構造はこれまでもローカルエピタキシー法を用いない方法で作製され、室温微分負性抵抗も観測されてきたが、ピンホールなどの結晶欠陥が多かったため、特に室温ではリーク電流が大きくなり、典型的なピーク対バレー電流比(PVCR)は室温で3程度であった。近年我々は、ピンホールを抑制し、より均一なフッ化物積層構造をエピタキシャル成長する手法としてローカルエピタキシー法を提案し、その効果を実証してきた。Fig.12 に、本手法を CoSi₂/CaF₂ 成長へ適用したプロセスの概略を示す。まず、Si(111)基板に熱酸化により 17nm の SiO₂ 膜を形成する。この SiO₂ 膜に、電子ビームリソグラフィとウェットケミカルエッチング(HF)により直径約 40nm の微小孔を形成すると、その底の部分にシリコン清浄表面が露出する。その後、ウェット酸化(HCl:H₂O₂:H₂O = 1:1:5, 80 °C, 10min)によりシリコン表面に保護酸化膜を形成し超高真空結晶成長装置へと搬入する。次に保護酸化膜



を除去する工程を経て微小孔中への CaF₂, CoSi₂ の結晶成長を順次行う。微小孔への結

Fig.12 ローカルエピタキシー法による CoSi₂/CaF₂ 3重障壁RTDの作製プロセスと微小孔のSEM像

晶成長に期待する効果としては、まず、シリコン基板上に存在する原子ステップ近傍で原理的に発生が避けられない CaF₂ エピ膜のアンチフェーズ・パウンダリの抑制が挙げられる。ただし、この観点では、原子ステ

ップを避ければよい。今回用いた off 角 0.1° の基板の場合、ステップ間隔が 200nm 程度なので、微小孔直径が 200nm よりも小さければ、成長した CaF_2 膜の高品質化が顕著に現れてくる。この原子ステップを回避する効果に加えて、本ケースでは、 CaF_2 上に結晶成長する Si および CoSi_2 の凝集の抑制をも同時に期待するため、微小孔径を 40nm まで微小化した。すなわち、 CoSi_2 を堆積する際に第 1 段階として Si 膜を形成するが、 CaF_2 との表面エネルギー差のため Si が CaF_2 上で凝集しやすい傾向があり、結晶欠陥やピンホール形成の主要因となっている。結晶成長領域 (= 微小孔) の境界に SiO_2 の壁を置くことにより、 SiO_2 との境界面(側面)の表面エネルギーが緩和されるため凝集が抑制される効果が期待できる。この効果は、孔径を小さくするほど相対的に側面の寄与が大きくなるので定性的には孔径が小さいほどよいが、この凝集抑制効果が期待できる微小孔の直径の上限は現状では明らかになっていない。そこで今回の実験では、現状における我々の微細加工技術の限界に近い微小孔直径 40nm をターゲットとした。

測定用素子は、孔径が 40nm になっている点を除いて、Fig.5 と同様の構造を採用した。室温における電流電圧特性の結果を Fig.13(a)に示す。バイアス電圧 2V 付近で明瞭な微分負性抵抗が観測され、PVCR として 33.5 を得た。一方、Fig.13(b)は、(a)の試料と同一ウェハ上に微小孔を形成せずに、これまでの MBE 成長を用いて形成した RTD の室温における I-V 特性である。測定素子あたりの RTD 面積がほぼ等しくなるよう

作製した。この試料では、PVCR として 1.6 の値が得られた。微小孔成長の効果はバレー電流量に歴然と現れている。微小孔成長により CaF_2 のピンホールや Si, CoSi_2 の凝集が抑制され、リーク電流の原因となる欠陥が大幅に抑制された結果、室温における PVCR の大幅な改善につながったのではないかと考える。NDR 特性が、三重障壁 RTD 構造に期待されるよりも鋭くなく、緩やかなカーブを描いている理由は現在のところ特定できていない。今後単一の微小孔 RTD の特性と比較することにより、詳細が明らかになることが期待される。

以上を要するに、本研究で提案するローカルエピタキシー法を $\text{CoSi}_2/\text{CaF}_2$ 結晶成長に適用して、3重障壁共鳴トンネルダイオード構造を形成したところ、その電流電圧特性において室温で微分負性抵抗を観測し、そのピーク電流対バレー電流比は、ローカルエピタキシー法を適用しなかった場合に 1.6 程度であったものが、適用後に 30 を超える値を得た。用いた微小孔直径は 40nm であり、この微細領域形成により、蒸着原子(シリコン、及びコバルト)の凝集と 3次元成長が抑制され、薄膜形成が促進された結果、微分負性抵抗特性の高性能化(PVCR=33)が達成されたものと考えられる。

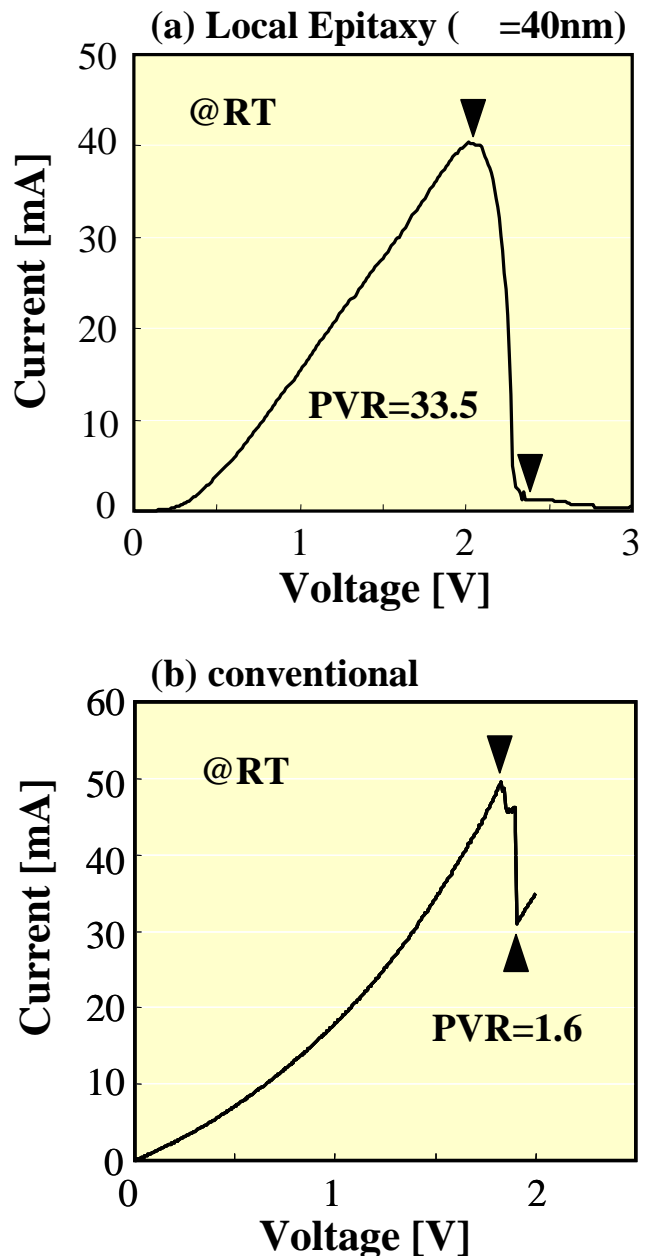


Fig.13 室温におけるI-V測定結果。(a)ローカルエピタキシー法によるTBRTD. PVCR=33 (b)微小孔を用いずに作製したTBRTD. PVCR=1.6

4-5 シリコン(100)基板上超ヘテロ量子構造形成への挑戦

応用上および学術上重要な Si(100)上へのフッ化物薄膜の積層構造の実現にはじめて成功した。これまで Si(100)基板上へのフッ化物系ヘテロ構造の形成は極めて困難とされてきたが、表面制御手法を駆使することで量子構造の形成と制御に関する初期的な成果を得ることができた。

これまでフッ化物系超ヘテロ結晶を成長する基板面方位としては、(111)面を用いることが一般的であった。これはフッ化物 CaF_2 が(111)面上で良好なエピタキシャル薄膜成長が得られ、一方、(100)面上における薄膜形成は極めて困難であることが主な理由となっている。この困難さの一因として、 CaF_2 の表面エネルギーの差が挙げられる。 CaF_2 (111)面に比べて(100)面の表面エネルギーは 2.5 倍程度と大きく、(111)面が安定なため、Si(100)上の CaF_2 結晶成長では、(111)ファセットを出してピラミッド型の3次元島状構造をとりやすい。さらに、Si(100)面上の CaF_2 結晶成長を致命的に困難にしている要因として、原子ステップの構造が挙げられる。すなわち、Si(100)の低オフ角基板($<1^\circ$)では、表面の原子ステップが Si 単原子ステップ、すなわち 1/2 周期のステップを形成し、しかも、そのステップを整列させる有効な方法はこれまでに知られていない。1/2 周期ステップ端においては、 CaF_2 結晶構造の周期性が破れるため(Fig.14)、結果として、ランダムに Antiphase boundary が形成され、均一な平坦膜のエピタキシャル成長が困難となる。この 1/2 周期ステップの問題を解決するには、1/2 周期ステップではなく、1 周期ステップ、すなわち 2 原子層ステップを形成する必要がある。Si(100)基板上に 2 原子層ステップを形成する有効な方法として、 2° off 程度の微傾斜基板上に数 nm 程度のバッファ層を堆積する手法、または、超高真空中における 1000 以上の高温アニールによる方法が報告されている。超高真空中アニールの手法を用いてテラスを平行化制御した Si(100)基板上に基板温度 500 で CaF_2 をエピタキシャル成長した表面の表面モフォロジーを Fig.15 に示す。(a)の低 off 基板上では直行するワイヤー状島構造がランダムに形成されているのがわかる。このワイヤーの伸びる方向は、1/2 周期テラス上の表面再配列によるダイマー列の向きと一致することがわかっており、これは、基板上に 1/2 周期テラスがランダムに存在していることを示唆している。一方、(b)の 2° off 基板上では島が板状となり、その方向がそろっていることがわかる。これは 2 原子層ステップが支配的となったためダイマー列の方向がそろっていることを示唆している。これにより、2 原子層ステップを平行化して整列させること、及びその上への CaF_2 成長が効果的に制御可能であるとの見通しを得た。この平行化されたステップ & テラスの長さは有限であるため、この平行化ステップ長さの上限以下に結晶成長領域を限定すれば、その領域内で理想的な結晶成長が実現可能となるはずである。

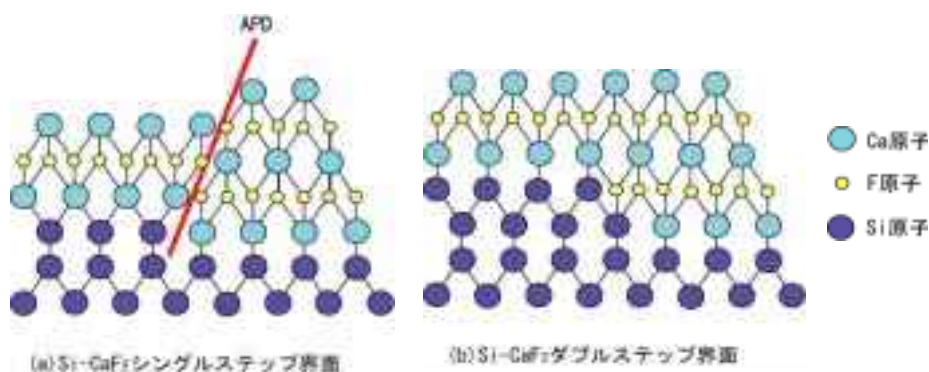


Fig.14 CaF_2 structure at step edge of Si(100)

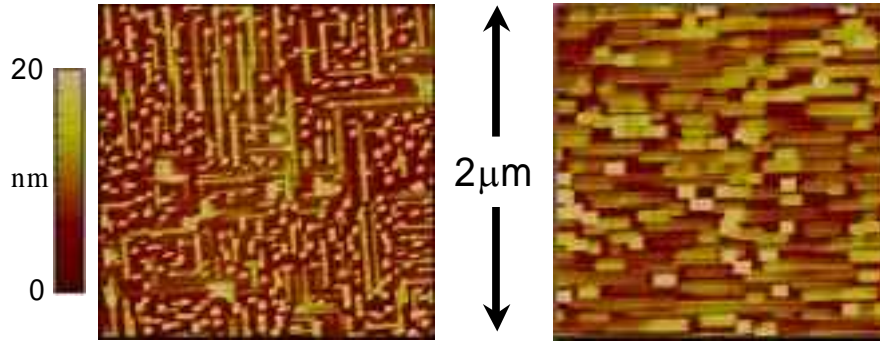


Fig.15 Surface morphology of CaF₂ on Si(100) (a)0.1° off (b) 2°off

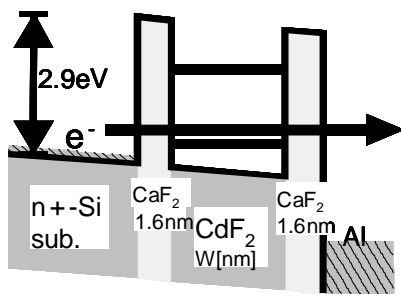


Fig.16 Si(100)基板上に形成した CdF₂/CaF₂ 2重障壁共鳴トンネルダイオードのバンド構造

本手法を用いて CdF₂/CaF₂ 2重障壁共鳴トンネルダイオード構造を形成した。層構造は Fig.4 に示すように、2つの CaF₂ 障壁層厚を 1.6nm とし、その間に挟まれた CdF₂ 量子井戸の層厚を W とする。電子は n-Si 基板側から注入され、CdF₂ 量子井戸中に形成されたサブバンドを共鳴トンネルによって通過するとき電流ピークを得る。また、さらに印加電圧を増加させると、シリコンの伝導帯下端が上昇して透過率が小さくなるため電流が減少する微分負性抵抗を得る。逆方向のバイアスでは金属側からの電子注入となり、この場合は微分負性抵抗は得られない構造となっている。測定用試料は、結晶成長後、直径 100μm の Al/Au 電極をマスク蒸着により形成した。

量子井戸層厚 W=5ML(1.1nm), 7ML(1.6nm)の2種類の試料について、室温における電流電圧特性の測定結果を Fig.17 (a)W=5ML, (b)W=7ML に示す。これらの試料は室温において明瞭な微分負性抵抗(NDR)を示し、(b)の特性については、ピーク対バレー電流比(PVCR)は7,ピーク電圧は2V, ピーク電流密度は約 80A/cm²であった。これまでシリコン単原子ステップ(=1/2周期ステップ)を残したまま水素終端処理によりマイグレーションを抑制することで平坦薄膜を得る手法を用いて微分負性抵抗を観測した例を報告したが、今回の2原子層ステップ化の導入により素子特性の均一性、再現性が格段に向上している。2原子層ステップの導入による欠陥低減効果が顕著に現れたものと考えている。

次に、観測された NDR のピーク電流を与えるバイアス電圧(ピーク電圧)が理論的に妥当かどうかを考察する。Fig.18 の黒丸()と実線は、Esaki-Tsu 式を用いて見積もったピーク電圧のプロットである。ここに、文献値を元に、CaF₂の有効質量を m₀, CdF₂の有効質量を 0.4m₀と仮定した。計算結果によると、実測によ

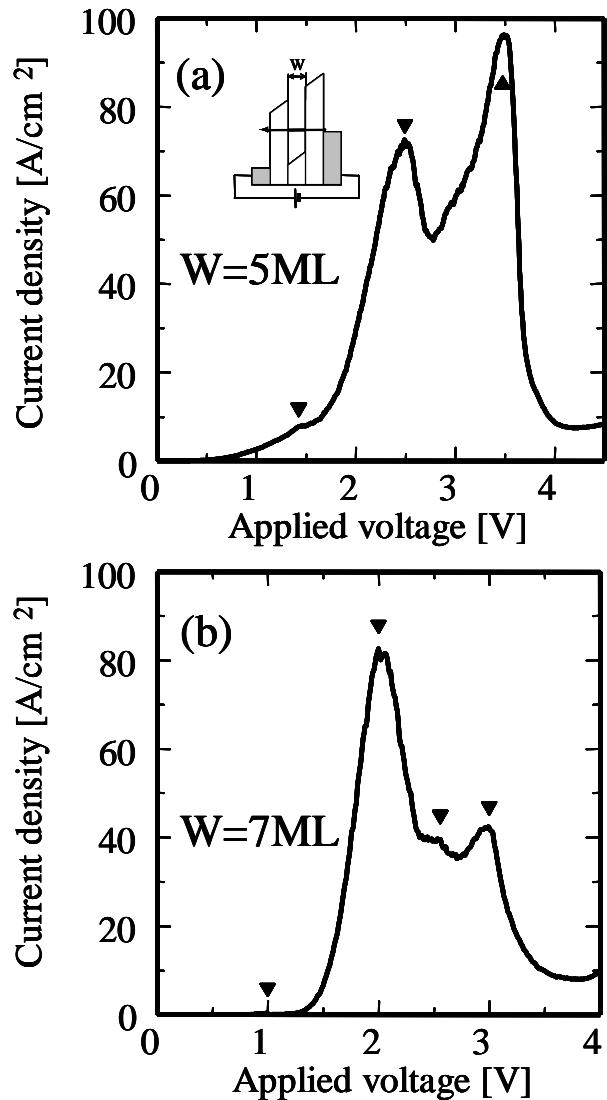


Fig.17 Room temperature I-V curve for CdF₂/CaF₂ DBRTD; (a) W=5ML, (b) W=7ML

って得られた Fig.17 のような NDR を単一の RTD 構造から説明することは困難である。一方、例えば、 $W=7\text{ML}$ の場合、測定に用いた RTD が、 CdF_2 井戸層厚として $W=6\text{ML}$, 7ML , 8ML の3種類の RTD の並列接続であると考えることにより、ピーク電圧位置をリーズナブルに説明できる。 $W=5\text{ML}$ の場合も同様に $4,5,6\text{ML}$ の井戸が並列に存在するモデルでよく再現できる。この考え方に従うと、ピーク電流の比は、寄与する RTD の面積比をほぼ反映するものとも考えられる。Fig.17 の結果からは、ほぼ $\pm 1\text{ML}$ の層厚のばらつきが示唆されるが、ピーク電流値の比から、 $+1\text{ML}$ の RTD の面積比が -1ML の面積比よりも大きいことが推測される。今後、成長領域を小さく絞るローカルエピタキシー法の適用により、層厚のばらつきを抑えるとともに、結晶成長温度を高温化が可能となれば、ピーク対バレー電流比の向上も見込める。本手法の適用により、今後 $\text{Si}(100)$ 基板をプラットフォームとする弗化物系超ヘテロ量子構造デバイスへの展開が期待できる。

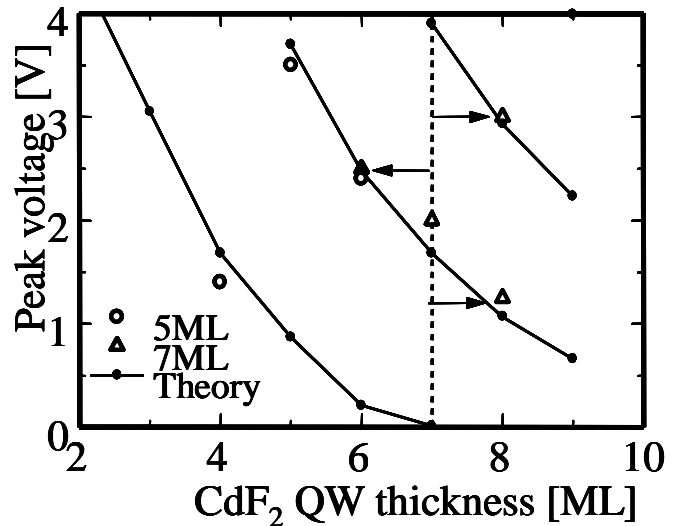


Fig.18 Quantum-well layer thickness dependence of peak voltage.

5. 今後の展望

21世紀におけるICT社会の発展と成熟は、ICT技術を支える情報・信号処理集積デバイスの高性能化に大きく依存している。現在の集積回路技術は、この半世紀ほどの間に驚異的な進展を遂げたシリコンをベースとした集積回路技術に多くを負っており、その研究開発、製造技術、さらには最終製品に関わる技術革新は、世界経済に対する国家規模のインパクトを有しているという過言ではない。これまでに構築され、今後も継続的に増強されていくシリコン・マイクロエレクトロニクスのインフラ・ストラクチャとシームレスに融合可能な、革新的なデバイステクノロジーの創出が待ち望まれている。本研究で提案するシリコンベースの超ヘテロ・ナノ結晶を用いた共鳴トンネルダイオードを2段に縦続接続した回路は、SRAM (static random access memory)として動作し、高速動作及び高集積化が期待できるアーキテクチャのひとつである。従来のCMOSスケールングによる集積度向上の恩恵をそのまま生かしつつ、CMOSアーキテクチャのみでは実現され得ない、ロジックとメモリの高速・高密度の結合を実現するブレークスルー・テクノロジーの創出につながると期待される。また、金属配線による情報伝達遅延はシリコンチップの中でも今や深刻なボトルネックとなってきたが、本研究で提案する超ヘテロ・ナノ結晶レーザは、伝送ロスが少なく、大容量通信に最も適した光通信波長($1.5\mu\text{m}$)帯をカバーすることができるため、チップ内インターコネクトを実現していく上でのキーデバイスとなりうる。このように、マイクロエレクトロニクス分野への直接的インパクトに加えて、異種材料同士を結晶格子レベルで接合し、ナノ構造制御により新しい電子的・光学的機能を引き出す量子デバイスを実現するテクノロジーは“未来技術”といってよい未踏の工学分野であり、技術分野のみならず、ひいては社会経済へ与える波及効果は計り知れない。また、科学技術分野における日本の国際競争力の観点からみても、日本の半導体技術を真に復権させるためには、日本の強みである材料・デバイス開発分野における研究戦略の構築が必要不可欠である。特に未来志向型の革新的基礎研究に関しては、大学が中心となって研究を推進し、産業界に技術シーズとインスピレーションを供給する役割を担うことが期待されている。本研究で採用する弗化物系材料は、かつて日本でマイクロエレクトロニクスへの応用が真剣に検討され、技術的蓄積は世界を一步リードしており、さらに、その量子デバイス応用は本研究がその端緒を開いた、日本生まれといってよい技術体系である。国際競争力を底上げするためには、日本発の技術で世界をリードする必要があり、その重点戦略ターゲットとして本研究課題の一層の推進が必要不可欠である。下記に現在進行中の研究課題を示す。

ローカルエピタキシー法の高精密化

本研究で提案し、その有効性を実証したローカルエピタキシー法にはまだ改善の余地がある。本研究で

研究課題別評価

1 研究課題名: 超ヘテロ・ナノ結晶の創製と光・電子新機能

2 研究者氏名: 渡辺正裕

3 研究の狙い:

情報処理・通信システムのさらなる高度化を推進し、革新的な新機能創出を実現するためには、既存の材料/デバイス技術の改良のみならず、異種材料を原子レベルで集積化することによって、素子あるいは集積回路自体に新機能を付与することが必要不可欠である。絶縁体、半導体および金属をも包含する異種材料同士をナノメートル層厚でエピタキシャル積層した人工ヘテロ構造(超ヘテロ・ナノ結晶)は、その接合界面における際立って大きな物性の相違により、ナノメートル領域における超高速かつ非線形な共鳴トンネル輸送現象や、サブバンド間遷移光吸収・増幅などの光-電子相互作用を量子閉じ込め等により人工的に制御するための基本構造として有望である。本研究では、この超ヘテロ構造を実現するための材料構成として、シリコン基板上にエピタキシャル成長可能な弗化物系絶縁物、半導体シリコン、およびシリサイド系金属を採用した。基板材料にシリコンを採用しているため、シリコン LSI 技術との融合に適しており、本研究では、弗化物系超ヘテロ構造を用いたシリコンベース量子効果デバイスの原理実証と、応用可能性の探索を目的とした。特に本さきがけ研究では、これらの超ヘテロ結晶成長の精密化手法としてナノサイズの微細加工技術と表面制御技術を組み合わせることにより、量子効果素子の特性制御に不可欠な原子レベルの結晶成長制御法を提案した。その手法をフッ化物系共鳴トンネルダイオード(RTD)、フッ化物(絶縁体)-シリサイド(金属)RTD 等に適用することにより、超ヘテロ結晶中の量子物性に関する基礎を確立するとともに、超ヘテロナノ構造を用いた共鳴トンネル素子の集積メモリ素子への応用や、光と電子の相互作用に基づく光増幅・発振/受光デバイスへの応用に関する基礎的研究を行った。

本報告書は、平成13年12月～平成16年11月に及ぶ3年間のさきがけ研究の成果の概要、および今後の展望について報告するものである。

4 研究成果の概要:

4-1 本研究で採用する材料構成と結晶成長法

本論に入る前に、本研究で用いた材料構成、および結晶成長法について述べる。本研究で用いた材料のバンドプロファイルを Fig.1 に、材料定数を Table 1 に示す。エネルギー障壁として用いる CaF_2 は立方晶螢石構造で Si との格子定数差は室温で +0.6% であり、Si 基板上にエピタキシャル成長が可能である。室温における CaF_2 と CdF_2 との格子不整合は約 1.4% あるが、結晶構造(立方晶螢石構造)および結合様式(イオン結合)が同様であることから、 CaF_2 と良質なヘテロ接合形成が可能である。また、 CaF_2 は 12eV、 CdF_2 は 8eV の禁制帯幅をもつ絶縁体であるため、高耐圧を要求される共鳴トンネルデバイスの材料として有利であると考えられる。ヘテロ接合界面における伝導帯バンド不連続(E_c)は、Si- CaF_2 間で約 2.3eV、 CdF_2 - CaF_2 間で約 2.9eV である。

| | CdF_2 | CaF_2 | CoSi_2 | Si |
|----------------------|----------------|----------------|-----------------|----------|
| Lattice constant (Å) | 5.388 | 5.463 | 5.365 | 5.431 |
| Mismatch with Si @RT | -0.8% | +0.6% | -1.2% | - |
| Dielectric constant | 8.83 | 6.76 | - | 11.8 |
| Crystal Structure | Fluorite | Fluorite | Fluorite | Diamond |
| Bonding | Ionic | Ionic | Covalent | Covalent |

Table 1. Material constants of CdF_2 , CaF_2 , CoSi_2 and Si

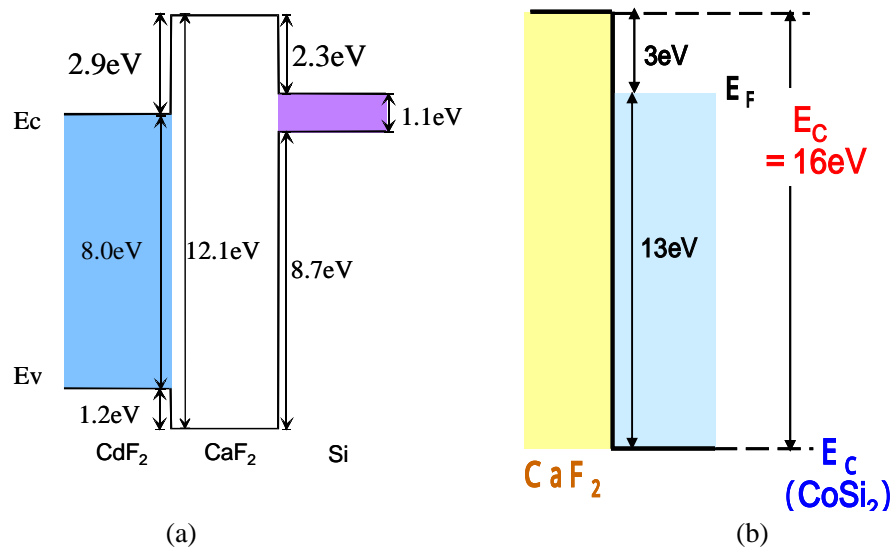


Fig.1 本研究で用いたヘテロ構造のバンドプロファイル(a)CdF₂-CaF₂-Si, (b) CaF₂-CoSi₂

CoSi₂(金属)とCaF₂の間の伝導帯バンド不連続量(E_C)は、約 15eV であるが、CoSi₂のフェルミレベルからCaF₂の伝導帯下端までのエネルギー差は約 3eVとなる。この大きな E_C により、室温においても顕著な量子効果を期待することが可能となる。

CaF₂とCdF₂の結晶成長は、分子線エピタキシー(MBE)法とCaF₂のイオン化ビーム支援エピタキシーを組み合わせて行う。成長装置の概略図を Fig.2 に示す。各材料の分子線は固体ソースのつぼ加熱溶解/昇華により供給される。CdF₂に関しては、昇華により生成した CdF₂ 分子ビームのみを供給し、CaF₂に関しては、適時必要に応じてイオン化・加速を行っている。Si 基板表面第 1 層に形成する CaF₂ 層については、Si-CaF₂ 界面の結合を促進してピンホール密度を低減するため CaF₂ 分子線を電子衝撃により数%イオン化して供給する。一方、最上層の CaF₂ は CdF₂ 量子井戸上に形成されるが、この場合は成長基板温度が 50-100 程度と CaF₂ の適正なエピタキシャル成長温度よりもかなり低いため、マイグレーションエネルギーの支援と平坦性向上のため、イオン化した CaF₂ を 500V で加速して供給する。基板は抵抗率 4m \cdot cm の低抵抗シリコン基板を用いた。成長速度は水晶振動子式の膜厚センサーでモニターし、CaF₂, CdF₂ ともにほぼ 0.1nm/min の成長速度で成長した。

4-2 ローカルエピタキシー法の提案

ローカルエピタキシー法は、本研究で中心的に用いるフッ化物系超ヘテロ構造の有効な結晶成長技術として本研究で初めて提案され、さきがけ研究の中でその有効性が実験的に実証された。これに関連する特許申請も行われている。本節ではローカルエピタキシー法の基本概念と実際成長法について概要を述べる。

本研究で用いるフッ化物系材料 CaF₂, CdF₂ は、Si 基板の(111)面方位上に特に良好なエピタキシャル特性を示す。その際、注意しなければならないポイントとして、CaF₂ エピタキシャル膜が得られる成長温度(>550)において、CaF₂ はシリコン表面に対して 180 $^\circ$ 回転したいわゆる Type B で成長する点が挙げられる。この Type B 成長モードでは、原子ステップにおいて結晶構造の周期性

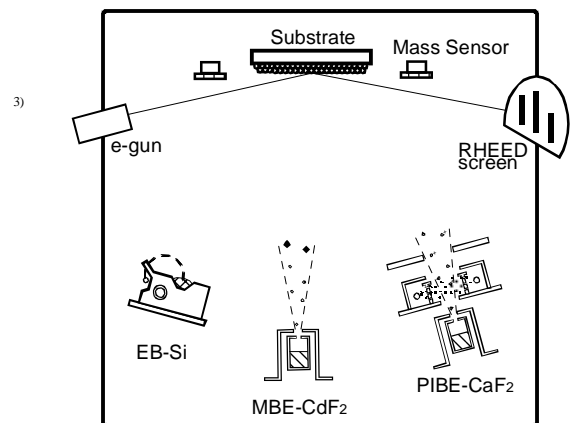


Fig.2 超高真空結晶成長装置の概略図

が破れるので、ステップ近傍にはアンチフェーズ境界に起因する欠陥が多く発生すると考えられる。実際、原子間力顕微鏡(AFM)による表面モフォロジー観察を行うと、ステップ近傍には多数のピンホールや、ボイドがステップに沿って多数形成されていることが確認される。そこで、本研究では、共鳴トンネルダイオード(RTD)のリーク電流や耐電圧特性に致命的な影響を与えるこれらのピンホールやアンチフェーズ境界欠陥を最小限に抑えるため、低 off 角(0.1° off, テラス幅約 180nm)のシリコン基板を用いた上で、さらに、RTD 素子サイズをテラス幅以下に微細化することにより、確率的にステップ境界における欠陥の影響を排除するという着想を得た。そこで RTD の素子サイズをテラス幅(約 200nm)より小さい 100nm 以下に微細化するナノ領域成長を試みた。

実験では Si(111)基板の熱酸化により形成した SiO₂ をマスクとしてナノメートルサイズの微小孔を形成し、その穴底の Si(111)表面にウェット保護酸化膜を形成して超高真空成膜チャンバに搬入し、結晶成長を行う。まず、500nm 程度の微小孔を用いて、孔中の CaF₂ 結晶成長の平坦性と、SiO₂ 境界における異常成長の有無をチェックした。微小孔中に 1nm の CaF₂ を結晶成長した後の表面 AFM 像を Fig.4 に示す。SiO₂ 境界周辺には特に異常な成長は観察されず、微小孔中には原子レベルで平坦な CaF₂ 膜が成長していることが確認された。ただし、孔径 500nm ではテラス幅 200nm よりも広いので、平均的に 1つの微小孔中にステップが少なくとも 2本は含まれていると考えなければならない。実際の素子形成では、従って、テラス幅よりも狭い孔径を採用する必要がある。

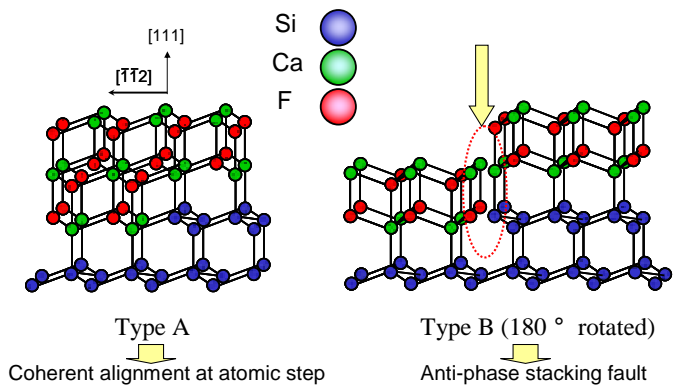


Fig. 3 Si(111)上にエピタキシャル成長したCaF₂格子の模式図。(a) 同位相整合(低温成長時) (b) 逆位相整合(>550)

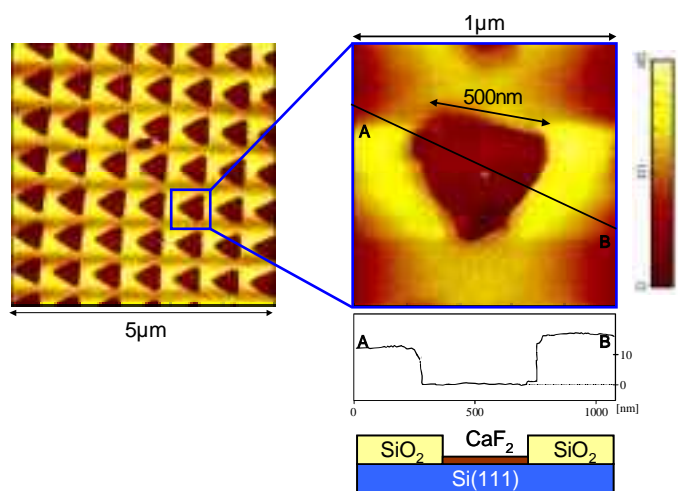


Fig. 4 微小孔アレー(500nmサイズ)中に層厚1nmのCaF₂をエピタキシャル成長した後の表面AFM像

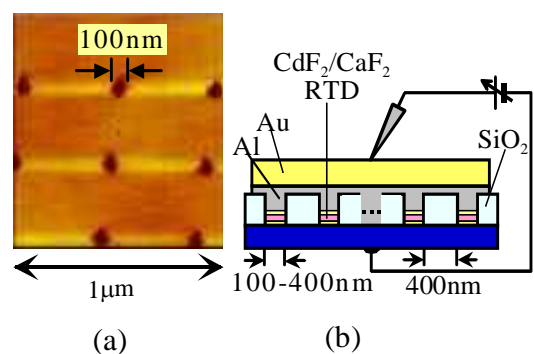


Fig. 5 (a) SiO₂でパターニングされた100nm 微小孔にRTDを結晶成長した試料の表面AFM像 (b) 電極形成後の断面模式図

4-3 CdF₂/CaF₂ 2重障壁および3重障壁共鳴トンネルダイオード構造の特性制御

前節で述べたローカルエピタキシー法を適用して、100nm 微小孔中に RTD 構造を形成した。Fig.5 に素子構造を示す。Si(111)基板表面を 15nm 熱酸化し、電子ビーム露光により 100nm の微小孔アレーを 500nm 周期で形成し、その孔中に 1nm-CaF₂/CdF₂/1nm-CaF₂ 2重障壁 RTD 構造を結晶成長した。成長基板温度はそれぞれ下から 750 ,80 ,80 である。微小 RTD を形成した領域に 100 μ m の電極を蒸着することにより、約 40000 個の微小 RTD に並列に電極コンタクトを取り、その総和としての I-V 特性を評価した。Fig.6(a),(b)に室温における微分負性抵抗特性の一例を示す。図中の電流 1 mA は、微小孔面積の総和を用いて電流密度に換算すると約 320A/cm² に相当する。異なる素子間の特性の均一性や耐電圧は、パターンニングしない場合に比べて著しく向上した。また、CdF₂ 量子井戸厚(a)W=6ML(1.9nm), (b)12ML に依存した、ピーク位置の変化が観測された。これは CdF₂ 量子井戸中

のサブバンドが、井戸厚により変化していることを示唆するものと考えられる。

Fig. 7 には単一微小孔 RTD の I-V 特性の一例を示す。複数 RTD の総和特性に比べて鋭いピークを有する I-V 特性が得られており、単一微小孔 RTD の層厚均一性の高さを示唆しているものと思われる。ただし、複数 RTD の総和特性とピーク位置が必ずしも一致しているわけではないことから、単一 RTD 間では特性ばらつきがあるが、多数個の平均をとることで複数 RTD の特性の均一化が実現しているものと考えている。

CdF₂ 量子井戸厚を変化させて作製した RTD のピーク電圧の平均値およびエラーバーを Fig.8 中にプロットした。この依存性を、Esaki-Tsu 式を用いてシミュレーションした結果を実線で表示している。有効質量の値としては $m^*_{\text{CdF}_2} = 0.16$, $m^*_{\text{CaF}_2} = 1.0$ 、また、CdF₂-CaF₂ 接合界面における伝導帯バンド不連続量は $E_c = 2.9\text{eV}$ を用いた。シミュレーション結果は、1 原子層程度の層厚揺らぎを仮定すると実験結果をよく説明する。CdF₂/CaF₂ 共鳴トンネルダイオードにおいて、明瞭な量子井戸厚依存性が実験的に示されたのは我々の知る限りこれが初めてである。これは、ローカルエピタキシー法の採用により、結晶品質、および層厚コントロールの精度が格段に向上したことによるものと考えている。

Fig.9 には、三重障壁構造 RTD における室温微分負性抵抗特性の一例を示す(2つの CdF₂ 量子井戸層厚=10ML=3.1nm の素子)。複数の微小孔 RTD の総和としての特性を測定しているにもかかわらず、極めてシャープな電流ピークが得られていることがわかる。また、Fig.10 には、量子

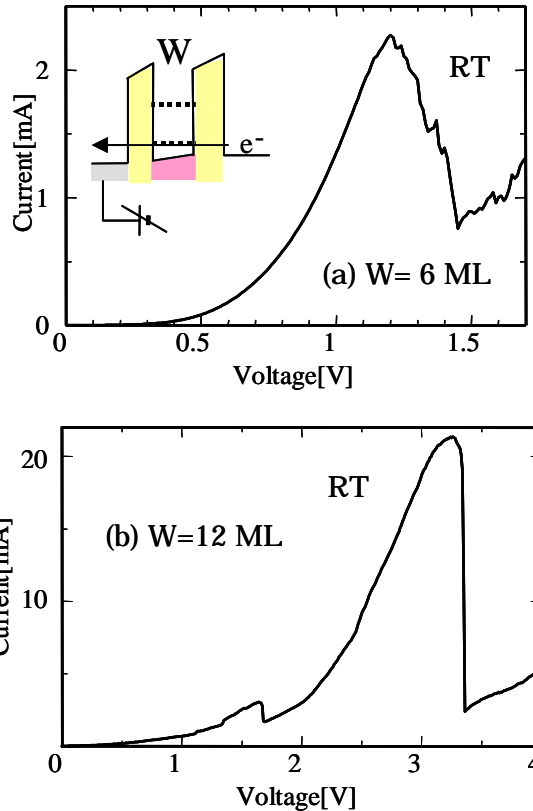


Fig.6 2重障壁共鳴トンネルダイオードの室温微分負性抵抗特性: CdF₂ 量子井戸厚 (a) W = 6 ML (1.9 nm-thick), (b) 12 ML (3.7 nm-thick).

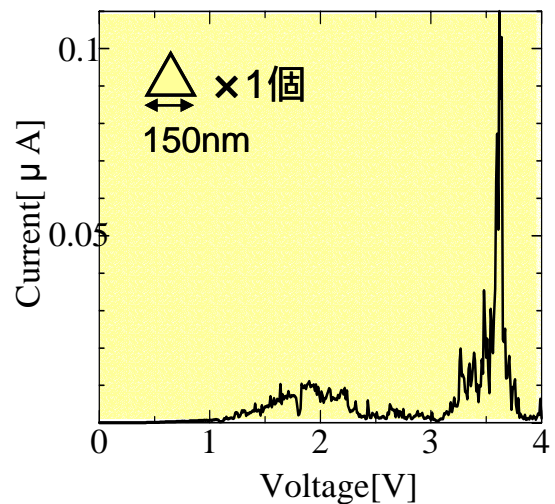


Fig.7 単一微小孔に形成した2重障壁共鳴トンネルダイオードの室温微分負性抵抗特性: CdF₂ 量子井戸厚12 ML (3.7 nm).

井戸圧依存性をプロットした。2つのCdF₂量子井戸層厚を同じ厚さWに設計した試料に関する実験および計算結果である。2重障壁の場合に比べてばらつきが多少大きくなるものの、この場合においても、計算結果は実験結果の傾向をよく再現している。第1ピークが観測されていないのは、エミッタ金属の仕事関数がバルク文献値よりもわずかに大きく、第1ピーク電流量が極端に小さくなっているためと考えている。

以上を要するに、ローカルエピタキシー法を用いて結晶成長したCdF₂/CaF₂ 2重および3重障壁共鳴トンネルダイオード構造の微分負性抵抗特性を再現性・均一性よく観測することに成功し、さらに、特性の量子井戸厚依存性から、CdF₂量子井戸厚1.8nm~

4nm程度の範囲で、微分負性抵抗のピーク電圧をほぼ理論予測に従う形でコントロールすることにはじめて成功した。また、三重障壁共鳴トンネルダイオードにおいては、障壁の多重化により期待されるシャープな電流特性を実際に観測することにはじめて成功した。この材料系で2重および3重障壁トンネルダイオード構造の電流電圧特性の人為的な制御技術を、この水準にまで到達させたのは本研究が世界で初めてである。

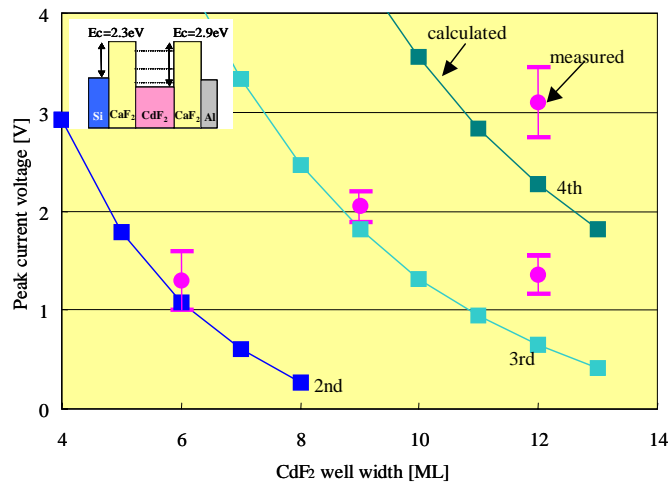


Fig.8 Relation between CdF₂ QW width and NDR peak current voltage. Circles with error bar indicate measurement results and solid line derived from theoretical analysis using Esaki-Tsu formula.

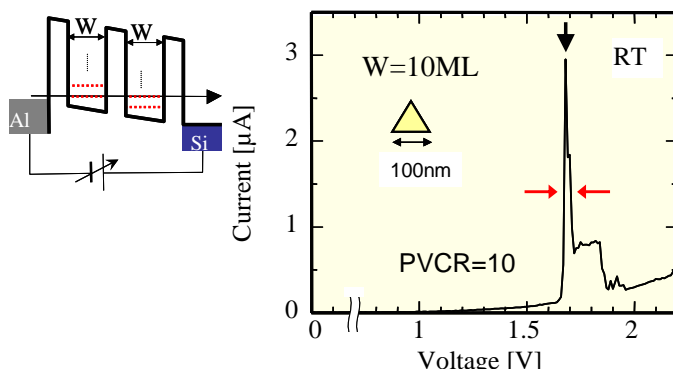


Fig.9 CdF₂/CaF₂ 3重障壁共鳴トンネルダイオード(W=10ML)の室温微分負性抵抗特性..

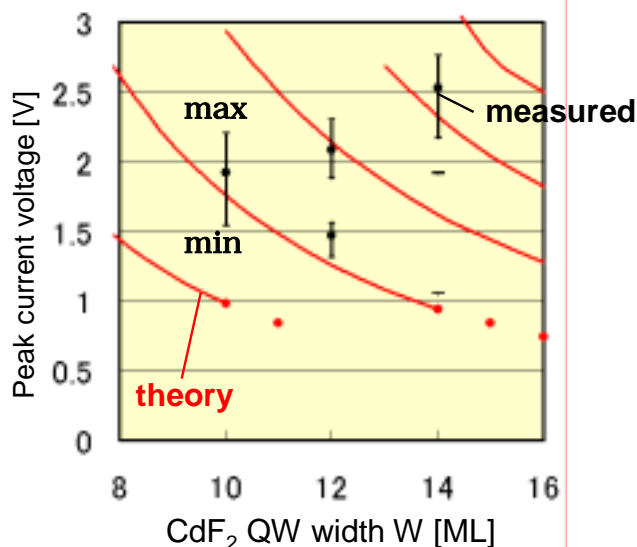


Fig.10 Structure dependence of triple barrier resonant tunneling diode with double CdF₂ QWs of the same layer thickness.

4-4 三端子素子化への布石 ~ 高品質 (金属)CoSi₂/(絶縁体)CaF₂ 共鳴トンネルダイオードの実現

本節では、将来的な三端子素子化の際のキーテクノロジーとなる金属コバルトシリサイド(CoSi₂)/絶縁体(CaF₂)超ヘテロ構造に対して、本研究で提案するナノエリア・ローカルエピタキシー法を適用した結果について述べる。量子井戸が金属であることの利点として、将来的な三端子素子における量子井戸層の電位制御電極や、低抵抗な導線、外部電極とのコンタクトなどを、不純物ドーピングを必要としない純粋な単結晶で実現可能であり、量子ナノ・デバイスに不可欠のキーコンポーネントとなる可能性を有している。

Fig.11 に、本研究で作製した CoSi₂/CaF₂ 三重障壁共鳴トンネルダイオード構造の層構成ならびにバンドダイアグラムを示す。Al 電極側に負バイアスを印加した場合、2つの金属量子井戸層がそれぞれ共鳴によりエネルギーフィルターとしてはたらくことにより、ある特定のバイアス電圧において Al 電極中の電子が共鳴トンネルによりシリコン基板側へ通過して電流が流れるが、さらにバイアス電圧を増加させると共鳴トンネル条件からはずれるため電流がカットオフする微分負性抵抗特性が期待される。ピーク電圧は主に、2つの金属量子井戸の層厚により設計され、バリア膜厚は、ピーク電圧を若干変動させるものの、主にピーク電流密度を決定する要因となっている。

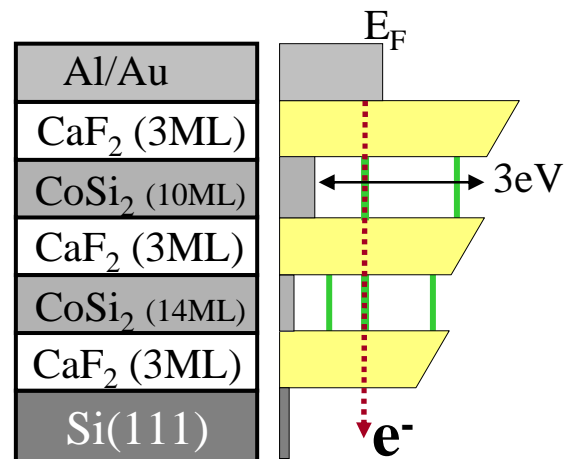
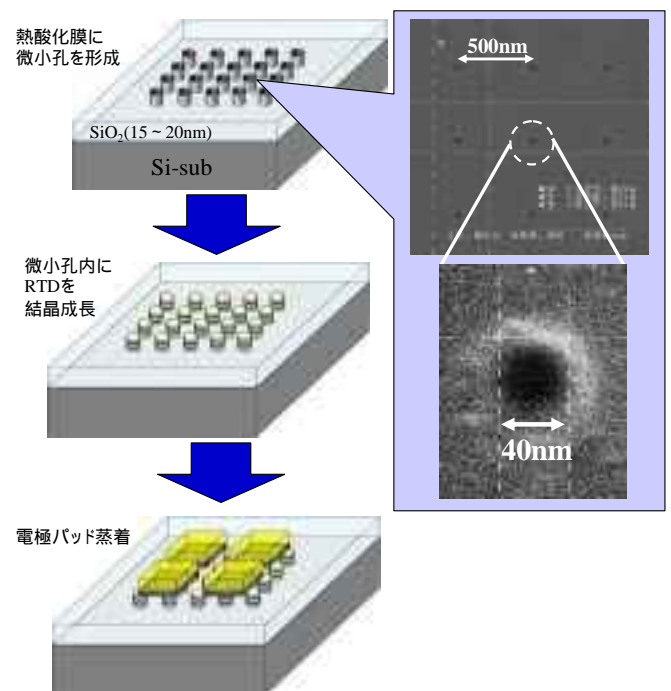


Fig.11 CoSi₂/CaF₂ 三重障壁共鳴トンネルダイオード構造の層構成とバンドプロファイル

Si(111)基板上的 CoSi₂/CaF₂ 三重障壁共鳴トンネルダイオード構造はこれまでもローカルエピタキシー法を用いない方法で作製され、室温微分負性抵抗も観測されてきたが、ピンホールなどの結晶欠陥が多かったため、特に室温ではリーク電流が大きくなり、典型的なピーク対バレー電流比(PVCR)は室温で3程度であった。近年我々は、ピンホールを抑制し、より均一なフッ化物積層構造をエピタキシャル成長する手法としてローカルエピタキシー法を提案し、その効果を実証してきた。Fig.12 に、本手法を CoSi₂/CaF₂ 成長へ適用したプロセスの概略を示す。まず、Si(111)基板に熱酸化により 17nm の SiO₂ 膜を形成する。この SiO₂ 膜に、電子ビームリソグラフィとウェットケミカルエッチング(HF)により直径約 40nm の微小孔を形成すると、その底の部分にシリコン清浄表面が露出する。その後、ウェット酸化(HCl:H₂O₂:H₂O = 1:1:5, 80 °C, 10min)によりシリコン表面に保護酸化膜を形成し超高真空結晶成長装置へと搬入する。次に保護酸化膜



を除去する工程を経て微小孔中への CaF₂、CoSi₂ の結晶成長を順次行う。微小孔への結

Fig.12 ローカルエピタキシー法による CoSi₂/CaF₂ 3重障壁RTDの作製プロセスと微小孔のSEM像

晶成長に期待する効果としては、まず、シリコン基板上に存在する原子ステップ近傍で原理的に発生が避けられない CaF₂ エピ膜のアンチフェーズ・パウンダリの抑制が挙げられる。ただし、この観点では、原子ステ

ップを避ければよい。今回用いた off 角 0.1° の基板の場合、ステップ間隔が 200nm 程度なので、微小孔直径が 200nm よりも小さければ、成長した CaF_2 膜の高品質化が顕著に現れてくる。この原子ステップを回避する効果に加えて、本ケースでは、 CaF_2 上に結晶成長する Si および CoSi_2 の凝集の抑制をも同時に期待するため、微小孔径を 40nm まで微小化した。すなわち、 CoSi_2 を堆積する際に第 1 段階として Si 膜を形成するが、 CaF_2 との表面エネルギー差のため Si が CaF_2 上で凝集しやすい傾向があり、結晶欠陥やピンホール形成の主要因となっている。結晶成長領域 (= 微小孔) の境界に SiO_2 の壁を置くことにより、 SiO_2 との境界面(側面)の表面エネルギーが緩和されるため凝集が抑制される効果が期待できる。この効果は、孔径を小さくするほど相対的に側面の寄与が大きくなるので定性的には孔径が小さいほどよいが、この凝集抑制効果が期待できる微小孔の直径の上限は現状では明らかになっていない。そこで今回の実験では、現状における我々の微細加工技術の限界に近い微小孔直径 40nm をターゲットとした。

測定用素子は、孔径が 40nm になっている点を除いて、Fig.5 と同様の構造を採用した。室温における電流電圧特性の結果を Fig.13(a)に示す。バイアス電圧 2V 付近で明瞭な微分負性抵抗が観測され、PVCR として 33.5 を得た。一方、Fig.13(b)は、(a)の試料と同一ウェハ上に微小孔を形成せずに、これまでの MBE 成長を用いて形成した RTD の室温における I-V 特性である。測定素子あたりの RTD 面積がほぼ等しくなるよう

作製した。この試料では、PVCR として 1.6 の値が得られた。微小孔成長の効果はバレー電流量に歴然と現れている。微小孔成長により CaF_2 のピンホールや Si, CoSi_2 の凝集が抑制され、リーク電流の原因となる欠陥が大幅に抑制された結果、室温における PVCR の大幅な改善につながったのではないかと考える。NDR 特性が、三重障壁 RTD 構造に期待されるよりも鋭くなく、緩やかなカーブを描いている理由は現在のところ特定できていない。今後単一の微小孔 RTD の特性と比較することにより、詳細が明らかになることが期待される。

以上を要するに、本研究で提案するローカルエピタキシー法を $\text{CoSi}_2/\text{CaF}_2$ 結晶成長に適用して、3重障壁共鳴トンネルダイオード構造を形成したところ、その電流電圧特性において室温で微分負性抵抗を観測し、そのピーク電流対バレー電流比は、ローカルエピタキシー法を適用しなかった場合に 1.6 程度であったものが、適用後に 30 を超える値を得た。用いた微小孔直径は 40nm であり、この微細領域形成により、蒸着原子(シリコン、及びコバルト)の凝集と 3次元成長が抑制され、薄膜形成が促進された結果、微分負性抵抗特性の高性能化(PVCR=33)が達成されたものと考えられる。

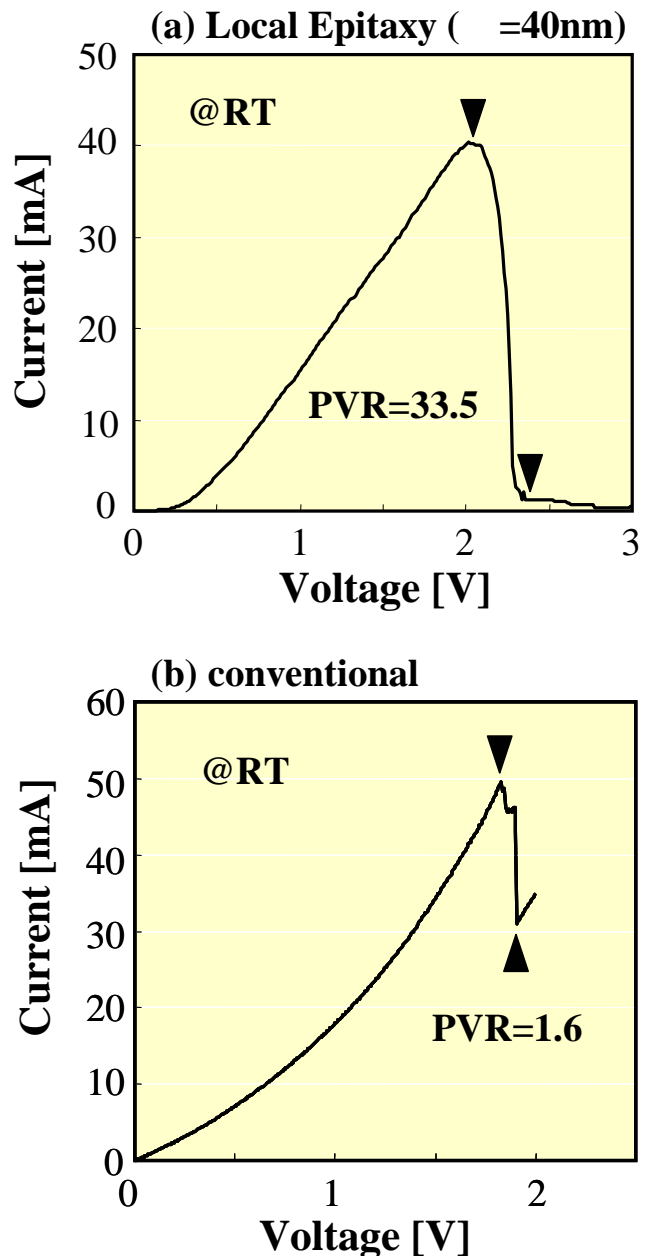


Fig.13 室温におけるI-V測定結果。(a)ローカルエピタキシー法によるTBRTD. PVCR=33 (b) 微小孔を用いずに作製したTBRTD. PVCR=1.6

4-5 シリコン(100)基板上超ヘテロ量子構造形成への挑戦

応用上および学術上重要な Si(100)上へのフッ化物薄膜の積層構造の実現にはじめて成功した。これまで Si(100)基板上へのフッ化物系ヘテロ構造の形成は極めて困難とされてきたが、表面制御手法を駆使することで量子構造の形成と制御に関する初期的な成果を得ることができた。

これまでフッ化物系超ヘテロ結晶を成長する基板面方位としては、(111)面を用いることが一般的であった。これはフッ化物 CaF_2 が(111)面上で良好なエピタキシャル薄膜成長が得られ、一方、(100)面上における薄膜形成は極めて困難であることが主な理由となっている。この困難さの一因として、 CaF_2 の表面エネルギーの差が挙げられる。 CaF_2 (111)面に比べて(100)面の表面エネルギーは 2.5 倍程度と大きく、(111)面が安定なため、Si(100)上の CaF_2 結晶成長では、(111)ファセットを出してピラミッド型の3次元島状構造をとりやすい。さらに、Si(100)面上の CaF_2 結晶成長を致命的に困難にしている要因として、原子ステップの構造が挙げられる。すなわち、Si(100)の低オフ角基板($<1^\circ$)では、表面の原子ステップが Si 単原子ステップ、すなわち 1/2 周期のステップを形成し、しかも、そのステップを整列させる有効な方法はこれまでに知られていない。1/2 周期ステップ端においては、 CaF_2 結晶構造の周期性が破れるため(Fig.14)、結果として、ランダムに Antiphase boundary が形成され、均一な平坦膜のエピタキシャル成長が困難となる。この 1/2 周期ステップの問題を解決するには、1/2 周期ステップではなく、1 周期ステップ、すなわち 2 原子層ステップを形成する必要がある。Si(100)基板上に 2 原子層ステップを形成する有効な方法として、 2° off 程度の微傾斜基板上に数 nm 程度のバッファ層を堆積する手法、または、超高真空中における 1000 以上の高温アニールによる方法が報告されている。超高真空中アニールの手法を用いてテラスを平行化制御した Si(100)基板上に基板温度 500 で CaF_2 をエピタキシャル成長した表面の表面モフォロジーを Fig.15 に示す。(a)の低 off 基板上では直行するワイヤー状島構造がランダムに形成されているのがわかる。このワイヤーの伸びる方向は、1/2 周期テラス上の表面再配列によるダイマー列の向きと一致することがわかっており、これは、基板上に 1/2 周期テラスがランダムに存在していることを示唆している。一方、(b)の 2° off 基板上では島が板状となり、その方向がそろっていることがわかる。これは 2 原子層ステップが支配的となったためダイマー列の方向がそろっていることを示唆している。これにより、2 原子層ステップを平行化して整列させること、及びその上への CaF_2 成長が効果的に制御可能であるとの見通しを得た。この平行化されたステップ&テラスの長さは有限であるため、この平行化ステップ長さの上限以下に結晶成長領域を限定すれば、その領域内で理想的な結晶成長が実現可能となるはずである。

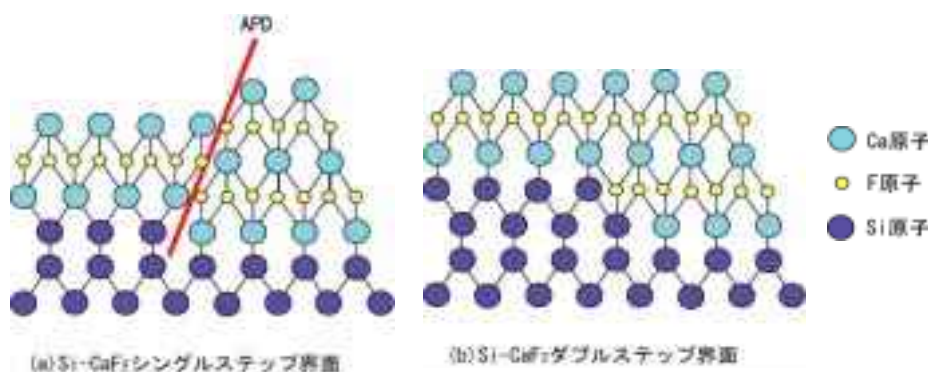


Fig.14 CaF_2 structure at step edge of Si(100)

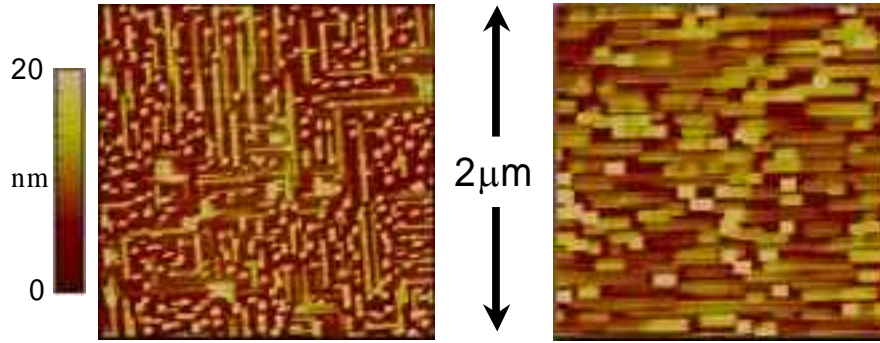


Fig.15 Surface morphology of CaF₂ on Si(100) (a)0.1° off (b) 2° off

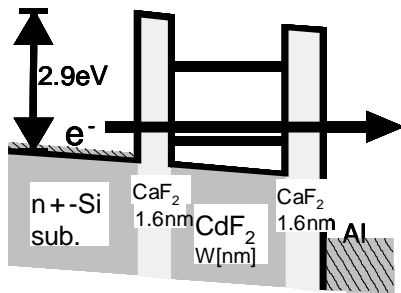


Fig.16 Si(100)基板上に形成した CdF₂/CaF₂ 2重障壁共鳴トンネルダイオードのバンド構造

本手法を用いて CdF₂/CaF₂ 2重障壁共鳴トンネルダイオード構造を形成した。層構造は Fig.4 に示すように、2つの CaF₂ 障壁層厚を 1.6nm とし、その間に挟まれた CdF₂ 量子井戸の層厚を W とする。電子は n-Si 基板側から注入され、CdF₂ 量子井戸中に形成されたサブバンドを共鳴トンネルによって通過するとき電流ピークを得る。また、さらに印加電圧を増加させると、シリコンの伝導帯下端が上昇して透過率が小さくなるため電流が減少する微分負性抵抗を得る。逆方向のバイアスでは金属側からの電子注入となり、この場合は微分負性抵抗は得られない構造となっている。測定用試料は、結晶成長後、直径 100μm の Al/Au 電極をマスク蒸着により形成した。

量子井戸層厚 W=5ML(1.1nm), 7ML(1.6nm)の2種類の試料について、室温における電流電圧特性の測定結果を Fig.17 (a)W=5ML, (b)W=7ML に示す。これらの試料は室温において明瞭な微分負性抵抗(NDR)を示し、(b)の特性については、ピーク対バレー電流比(PVCR)は7,ピーク電圧は2V, ピーク電流密度は約 80A/cm²であった。これまでシリコン単原子ステップ(=1/2周期ステップ)を残したまま水素終端処理によりマイグレーションを抑制することで平坦薄膜を得る手法を用いて微分負性抵抗を観測した例を報告したが、今回の2原子層ステップ化の導入により素子特性の均一性、再現性が格段に向上している。2原子層ステップの導入による欠陥低減効果が顕著に現れたものと考えている。

次に、観測された NDR のピーク電流を与えるバイアス電圧(ピーク電圧)が理論的に妥当かどうかを考察する。Fig.18 の黒丸(●)と実線は、Esaki-Tsu 式を用いて見積もったピーク電圧のプロットである。ここに、文献値を元に、CaF₂の有効質量を m₀, CdF₂の有効質量を 0.4m₀と仮定した。計算結果によると、実測によ

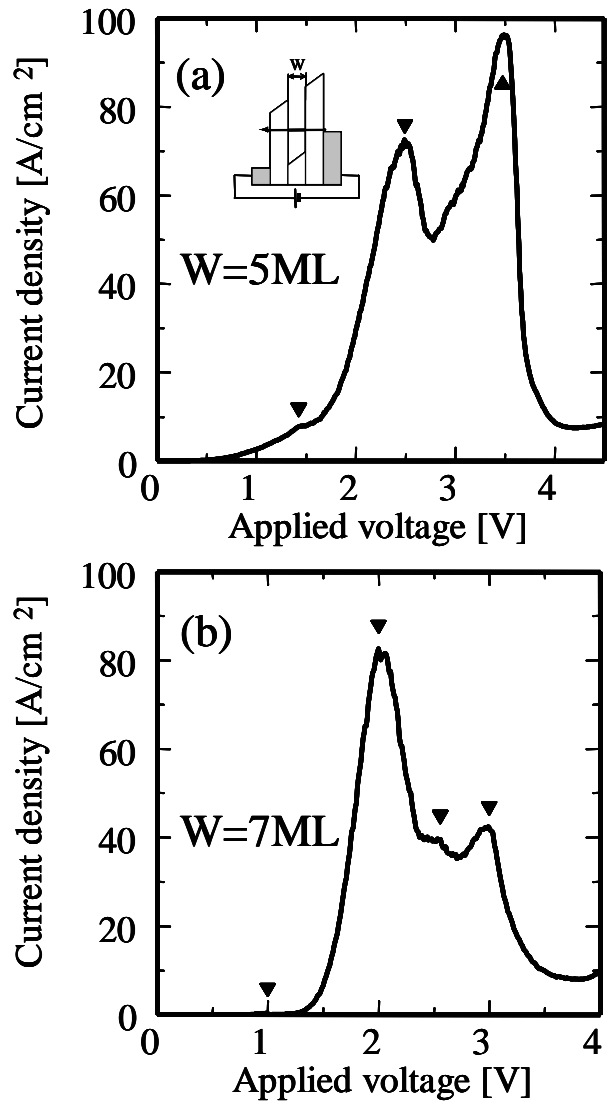


Fig.17 Room temperature I-V curve for CdF₂/CaF₂ DBRTD; (a) W=5ML, (b) W=7ML

って得られた Fig.17 のような NDR を単一の RTD 構造から説明することは困難である。一方、例えば、 $W=7\text{ML}$ の場合、測定に用いた RTD が、 CdF_2 井戸層厚として $W=6\text{ML}$, 7ML , 8ML の3種類の RTD の並列接続であると考えることにより、ピーク電圧位置をリーズナブルに説明できる。 $W=5\text{ML}$ の場合も同様に $4,5,6\text{ML}$ の井戸が並列に存在するモデルでよく再現できる。この考え方に従うと、ピーク電流の比は、寄与する RTD の面積比をほぼ反映するものとも考えられる。Fig.17 の結果からは、ほぼ $\pm 1\text{ML}$ の層厚のばらつきが示唆されるが、ピーク電流値の比から、 $+1\text{ML}$ の RTD の面積比が -1ML の面積比よりも大きいことが推測される。今後、成長領域を小さく絞るローカルエピタキシー法の適用により、層厚のばらつきを抑えるとともに、結晶成長温度を高温化が可能となれば、ピーク対バレー電流比の向上も見込める。本手法の適用により、今後 $\text{Si}(100)$ 基板をプラットフォームとする弗化物系超ヘテロ量子構造デバイスへの展開が期待できる。

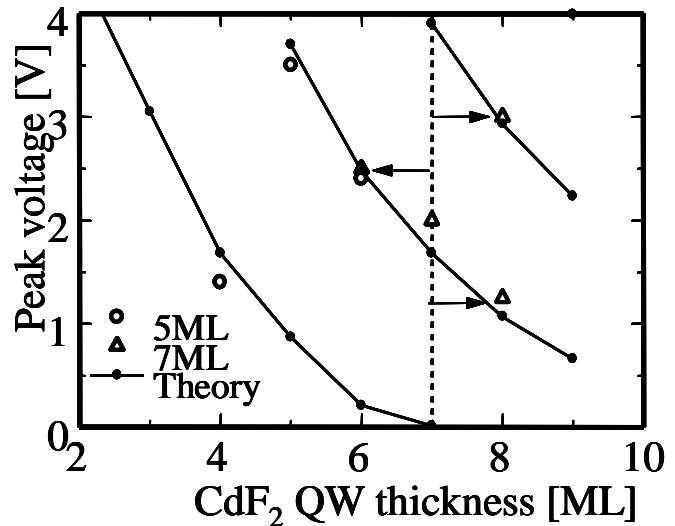


Fig.18 Quantum-well layer thickness dependence of peak voltage.

5. 今後の展望

21世紀におけるICT社会の発展と成熟は、ICT技術を支える情報・信号処理集積デバイスの高性能化に大きく依存している。現在の集積回路技術は、この半世紀ほどの間に驚異的な進展を遂げたシリコンをベースとした集積回路技術に多くを負っており、その研究開発、製造技術、さらには最終製品に関わる技術革新は、世界経済に対する国家規模のインパクトを有しているという過言ではない。これまでに構築され、今後も継続的に増強されていくシリコン・マイクロエレクトロニクスのインフラ・ストラクチャとシームレスに融合可能な、革新的なデバイステクノロジーの創出が待ち望まれている。本研究で提案するシリコンベースの超ヘテロ・ナノ結晶を用いた共鳴トンネルダイオードを2段に縦続接続した回路は、SRAM (static random access memory)として動作し、高速動作及び高集積化が期待できるアーキテクチャのひとつである。従来のCMOSスケールングによる集積度向上の恩恵をそのまま生かしつつ、CMOSアーキテクチャのみでは実現され得ない、ロジックとメモリの高速・高密度の結合を実現するブレークスルー・テクノロジーの創出につながると期待される。また、金属配線による情報伝達遅延はシリコンチップの中でも今や深刻なボトルネックとなってきているが、本研究で提案する超ヘテロ・ナノ結晶レーザは、伝送ロスが少なく、大容量通信に最も適した光通信波長($1.5\mu\text{m}$)帯をカバーすることができるため、チップ内インターコネクトを実現していく上でのキーデバイスとなりうる。このように、マイクロエレクトロニクス分野への直接的インパクトに加えて、異種材料同士を結晶格子レベルで接合し、ナノ構造制御により新しい電子的・光学的機能を引き出す量子デバイスを実現するテクノロジーは“未来技術”といってよい未踏の工学分野であり、技術分野のみならず、ひいては社会経済へ与える波及効果は計り知れない。また、科学技術分野における日本の国際競争力の観点からみても、日本の半導体技術を真に復権させるためには、日本の強みである材料・デバイス開発分野における研究戦略の構築が必要不可欠である。特に未来志向型の革新的基礎研究に関しては、大学が中心となって研究を推進し、産業界に技術シーズとインスピレーションを供給する役割を担うことが期待されている。本研究で採用する弗化物系材料は、かつて日本でマイクロエレクトロニクスへの応用が真剣に検討され、技術的蓄積は世界を一步リードしており、さらに、その量子デバイス応用は本研究がその端緒を開いた、日本生まれといってよい技術体系である。国際競争力を底上げするためには、日本発の技術で世界をリードする必要があり、その重点戦略ターゲットとして本研究課題の一層の推進が必要不可欠である。下記に現在進行中の研究課題を示す。

ローカルエピタキシー法の高精密化

本研究で提案し、その有効性を実証したローカルエピタキシー法にはまだ改善の余地がある。本研究で

用いた方法は、シリコン(111)面の表面原子ステップを平行化制御する手法を取り入れているが、結晶成長の際に形成する微小孔の位置は、原子ステップの位置と無関係に決定しているため、確率的には、微小孔内にステップを含んでしまうことは避けられない。この問題を根本解決する手法として、シリコン基板自体への微小孔形成と、熱処理による微小孔底面の無ステップ化を提案する。このプロセスを導入することにより、確率的に生じる結晶欠陥を原理的に排除でき、真の完全結晶形成を期待しうる水準へと到達すると考えられる。

サブバンド間遷移レーザーの提案と理論解析と作製

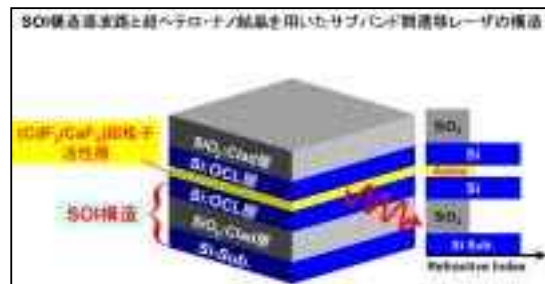
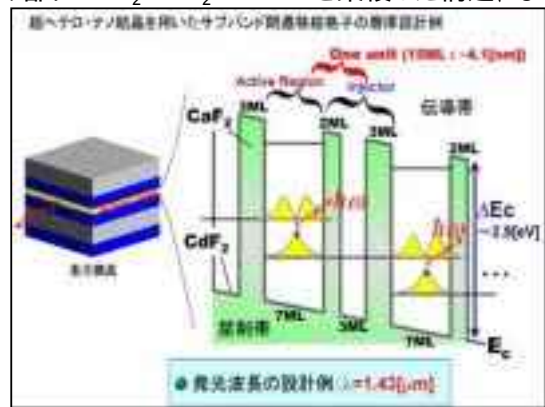
高 E_c を特徴とする CdF_2/CaF_2 共鳴トンネル構造をベースとすることにより、量子構造中のサブバンド間光遷移を利用したシリコン基板上発光・受光・変調デバイスによる OEIC の実現が視野に入る。本研究で提案する弗化物系超格子を用いると、量子井戸深さが 3eV 程度もあることから、理論設計上は光通信波長帯である 1.55 μm 帯をもカバーすることが可能であり、シリコン集積 OEIC に有望な材料系といえる。本研究では、量子井戸サブバンド間遷移レーザーを理論的に提案しており、その実証へ向けた基礎的デバイスプロセスを開発中である。現在、発光層一周期分の量子井戸構造に、光導波路構造を一体化する基本プロセスが一段落し、自然放出光の測定実験の段階に入りつつある。

MO5集積メモリデバイスの提案

シリコン基板上で PV 比が大きく OFF 電流が小さくできる共鳴トンネル構造が利用可能となれば、2 個の直列 RTD で構成する SRAM が現実味を帯びてくる。現在本研究で進めている構造は、 CdF_2/CaF_2 -RTD 直列型の RTD-SRAM に加えて、MO5型トランジスタゲート部に CdF_2/CaF_2 TBRTD を集積した構造、ならびに $CoSi_2/CaF_2$ 共鳴トンネル構造の金属量子井戸からゲート電極を引き出す三端子構造の作製プロセス研究が進行中である。

5 自己評価:

3年間で得られたさきがけ研究による成果を総括する。当初予定していたように、ナノスケール微細加工技術を用いた結晶成長場の空間的な限定による自己組織化制御の概念を異種材料超格子に適用することにより、 CdF_2/CaF_2 、および $CoSi_2/CaF_2$ 弗化物系共鳴トンネルデバイスの量子物性制御を実験的にデモンストレーションすることに始めて成功したことがもっとも大きな成果であると考えている。これにより、次世代の集積エレクトロニクスと融合可能な量子デバイスの姿を、萌芽的な段階であるとはいえ、示唆したものと考えている。本さきがけ研究では、ローカルエピタキシー法を中心とする結晶成長技術の基礎固めに注力した結果、今後のアプリケーション開拓へ向けた、極めて価値の高い基盤的知見を蓄積することができた。研究開始1年後程度の時期に、当初予定していたアプリケーション探索の研究に割く割合を少し絞り、単純な RTD 単体での特性評価に集中したことが成果につながったものと考えているが、一方、アプリケーション探索研究はメモリをはじめとする集積回路応用およびサブバンド間遷移光デバイス応用を視野に発展・継続課題にて重点的に研究を進めていきたいと考えている。



6 研究総括の見解:

半導体集積回路技術は高度情報化された現代社会を支える基盤技術であるが、一層の発展には基本素子の高速化が求められる。原理的に超高速性を有する電子のトンネル現象を利用した共鳴トンネルダイオードは大きな負性抵抗を示すため、論理素子、記憶素子としても有望であるが、ナノ構造の寸法制御、界面状態制御の困難さのために実用性のあるデバイスは存在していなかった。本研究は研究者らが先駆けた弗化物系ヘテロ構造を持つ共鳴トンネルダイオードをさらに発展させ、再現性高く、作成する新技術を開

用いた方法は、シリコン(111)面の表面原子ステップを平行化制御する手法を取り入れているが、結晶成長の際に形成する微小孔の位置は、原子ステップの位置と無関係に決定しているため、確率的には、微小孔内にステップを含んでしまうことは避けられない。この問題を根本解決する手法として、シリコン基板自体への微小孔形成と、熱処理による微小孔底面の無ステップ化を提案する。このプロセスを導入することにより、確率的に生じる結晶欠陥を原理的に排除でき、真の完全結晶形成を期待しうる水準へと到達すると考えられる。

サブバンド間遷移レーザーの提案と理論解析と作製

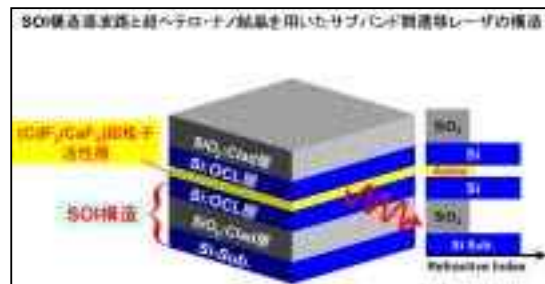
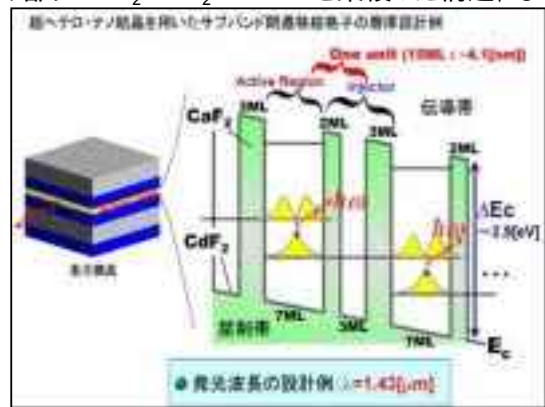
高 E_c を特徴とする CdF_2/CaF_2 共鳴トンネル構造をベースとすることにより、量子構造中のサブバンド間光遷移を利用したシリコン基板上発光・受光・変調デバイスによる OEIC の実現が視野に入る。本研究で提案する弗化物系超格子を用いると、量子井戸深さが 3eV 程度もあることから、理論設計上は光通信波長帯である 1.55 μm 帯をもカバーすることが可能であり、シリコン集積 OEIC に有望な材料系といえる。本研究では、量子井戸サブバンド間遷移レーザーを理論的に提案しており、その実証へ向けた基礎的デバイスプロセスを開発中である。現在、発光層一周期分の量子井戸構造に、光導波路構造を一体化する基本プロセスが一段落し、自然放出光の測定実験の段階に入りつつある。

MO S集積メモリデバイスの提案

シリコン基板上で PV 比が大きく OFF 電流が小さくできる共鳴トンネル構造が利用可能となれば、2 個の直列 RTD で構成する SRAM が現実味を帯びてくる。現在本研究で進めている構造は、 CdF_2/CaF_2 -RTD 直列型の RTD-SRAM に加えて、MO S型トランジスタゲート部に CdF_2/CaF_2 TBRTD を集積した構造、ならびに $CoSi_2/CaF_2$ 共鳴トンネル構造の金属量子井戸からゲート電極を引き出す三端子構造の作製プロセス研究が進行中である。

5 自己評価:

3年間で得られたさきがけ研究による成果を総括する。当初予定していたように、ナノスケール微細加工技術を用いた結晶成長場の空間的な限定による自己組織化制御の概念を異種材料超格子に適用することにより、 CdF_2/CaF_2 、および $CoSi_2/CaF_2$ 弗化物系共鳴トンネルデバイスの量子物性制御を実験的にデモンストレーションすることに始めて成功したことがもっとも大きな成果であると考えている。これにより、次世代の集積エレクトロニクスと融合可能な量子デバイスの姿を、萌芽的な段階であるとはいえ、示唆したものと考えている。本さきがけ研究では、ローカルエピタキシー法を中心とする結晶成長技術の基礎固めに注力した結果、今後のアプリケーション開拓へ向けた、極めて価値の高い基盤的知見を蓄積することができた。研究開始1年後程度の時期に、当初予定していたアプリケーション探索の研究に割く割合を少し絞り、単純な RTD 単体での特性評価に集中したことが成果につながったものと考えているが、一方、アプリケーション探索研究はメモリをはじめとする集積回路応用およびサブバンド間遷移光デバイス応用を視野に発展・継続課題にて重点的に研究を進めていきたいと考えている。



6 研究総括の見解:

半導体集積回路技術は高度情報化された現代社会を支える基盤技術であるが、一層の発展には基本素子の高速化が求められる。原理的に超高速性を有する電子のトンネル現象を利用した共鳴トンネルダイオードは大きな負性抵抗を示すため、論理素子、記憶素子としても有望であるが、ナノ構造の寸法制御、界面状態制御の困難さのために実用性のあるデバイスは存在していなかった。本研究は研究者らが先駆けた弗化物系ヘテロ構造を持つ共鳴トンネルダイオードをさらに発展させ、再現性高く、作成する新技術を開

拓したものである。すなわち、Si(111)面にCaF₂をエピタキシャル成長させたときに発生する高密度の結晶欠陥を抑制するために、基板結晶をSiO₂膜で覆った後に直径100nm以下のナノ領域の窓を明け、選択し成長させることによって再現性良く良質の結晶膜を得ることができた。ローカルエピタキシー法と名付けた本方法で作成した素子はその特性の均一性や耐圧性に顕著な改善が見られた。またその特性はEsaki-Tsuの理論モデルと良い一致を示しており、制御性がほぼ確立したといえる。また、3重障壁ダイオードを試作し、世界で始めて極めてシャープな電流特性を観測した。

これらは高速性と機能性を兼ね備えた次世代の高密度集積回路の有力な候補を提示するものであり、研究上のインパクトが大きい。関係者の高い評価を得ており、JSTの発展研究テーマとして採択されている。当初の期待を大きく上回る成果が挙げられたと判断します。

7 主な論文等:

国際会議

- [1] M. Watanabe, T. Ishikawa, M. Matsuda, T. Kanazawa, and M. Asada: Room Temperature Negative Differential Resistance of CdF₂/CaF₂ Resonant Tunneling Diode grown on Si(100) substrate using Nanoarea Local Epitaxy; 44th 2002 Electronic Materials Conference, Z5, 54 ~ 55(2002)
- [2] M. Watanabe, T. Ishikawa, M. Matsuda, T. Kanazawa, and M. Asada: Room Temperature Negative Differential Resistance of CdF₂/CaF₂ Resonant Tunneling Diode grown on Si using Nanoarea Local Epitaxy; 26th International Conference on the Physics of Semiconductors, P157, 219 ~ 219(2002)
- [3] M. Watanabe, T. Ishikawa, M. Matsuda, T. Kanazawa, and M. Asada: Systematic variation of negative differential resistance characteristics of CdF₂/CaF₂ Resonant Tunneling Diode on Si(111) grown by Nanoarea Local Epitaxy; The Second International Workshop on Quantum Nonplanar Nanostructures & Nanoelectronics '02 (QNN '02), Tu4-3, 103 ~ 106(2002)
- [4] M. Watanabe, M. Matsuda, H. Fujioka, T. Kanazawa, and M. Asada: Structure Dependence of Negative Differential Resistance Characteristics of CdF₂/CaF₂ Resonant Tunneling Diode grown by Local Epitaxy on Silicon; 2003 Silicon Nanoelectronics Workshop, 8-07, 106 ~ 107(2003)
- [5] M. Watanabe, M. Matsuda, H. Fujioka, T. Kanazawa, and M. Asada: Memory Effect of CdF₂/CaF₂ Resonant Tunneling Diode grown on p-type Silicon Substrate; The 11th International Conference on Modulated Semiconductor Structures -MSS11-, PC47, 454 ~ 455(2003)
- [6] Y. Niiyama, T. Yokoyama, and M. Watanabe: Crystal Growth of High-Mg-Content BeMgZnSe Lattice Matched to GaP(001) Substrate Using BeZnSe Buffer Layer; First Asia-Pacific Workshop on Widegap Semiconductors, P118, 302 ~ 303(2003)
- [7] Y. Niiyama, T. Yokoyama, and M. Watanabe: Epitaxial growth and optical properties for ultraviolet region of BeMgZnSe on GaP(001) substrate; 11th International Conference on II-VI compounds, We-1.3, ~ (2003)
- [8] M. Watanabe, T. Kanazawa, K. Jinen, M. Asada: Negative Differential Resistance of CdF₂/CaF₂ Resonant Tunneling Diode Grown on Si(100) Substrate; 2004 Silicon Nanoelectronics Workshop, 9-20, 145 ~ 146(2004)

国内会議

- [1] 松田克己, 石川達也, 金澤徹, 渡辺正裕, 浅田雅洋: Si(100)基板上 CdF₂/CaF₂ 共鳴トンネルダイオードの作製と評価; 第 49 回応用物理学会関係連合講演会, 27p-YH-3, [3] 1374-1374(2002)
- [2] 藤岡裕智, 筒井将史, 石川達也, 渡辺正裕, 浅田雅洋: 縦型 MOSFET と RTD による微細素子の作成; 第 49 回応用物理学会関係連合講演会, 30a-H-8, [2] 893-893(2002)
- [3] 松田克己, 金澤徹, 渡辺正裕, 浅田雅洋: CdF₂/CaF₂ 共鳴トンネルダイオード微分負性抵抗特性の量子井戸厚依存性; 第 63 回応用物理学会学術講演会, 25p-P9-11, [3] 1203-1203(2002)
- [4] 松田克己, 金澤徹, 渡辺正裕, 浅田雅洋: CdF₂/CaF₂ 共鳴トンネルダイオードの電荷蓄積による特性変化; 第 50 回応用物理学会関係連合講演会, 29a-ZE-5, [3] 1469-1469(2003)
- [5] 金澤徹, 松田克己, 渡辺正裕, 浅田雅洋: ダブルステップ化 Si(100) 2° off 基板上 CdF₂/CaF₂ 共鳴トンネルダイオードの作製と評価; 第 50 回応用物理学会関係連合講演会, 29a-ZE-3, [3] 1469-1469(2003)
- [6] 自念圭輔, 渡辺正裕, 浅田雅洋: SOI 基板上弗化物系超ヘテロ構造を用いたサブバンド間遷移レーザーの解析; 第 50 回応用物理学会関係連合講演会, 28p-ZE-4, [3] 1462-1462(2003)
- [7] 金澤徹, 松田克己, 渡辺正裕, 浅田雅洋: Si(100)基板上 CdF₂/CaF₂ 共鳴トンネルダイオードの微分負性抵抗特性の構造依存性; 第 64 回応用物理学会学術講演会, 30p-ZF-14, [3] 1253-1253(2003)
- [8] 田村信平, 渡辺正裕, 浅田雅洋: ナノ領域エピタキシー法による CoSi₂/CaF₂ 三重障壁共鳴トンネルダイオードの室温微分負性抵抗特性; 第 51 回応用物理学会関係連合講演会, 30a-ZE-8, [3] 1548-1548(2004)
- [9] 自念圭輔, 村田博, 渡辺正裕, 浅田雅洋: CoSi₂-プラズモン導波路を用いた弗化物系サブバンド間遷移レーザーの理論解析; 第 51 回応用物理学会関係連合講演会, 30p-ZE-1, [3] 1549-1549(2004)
- [10] 金澤徹, 渡辺正裕, 浅田雅洋: Si(100)基板上 CdF₂/CaF₂ 共鳴トンネルダイオード構造の成長温度依存性; 第 65 回応用物理学会学術講演会, 2a-ZK-4, [3] 1223-1223(2004)
- [11] 自念圭輔, 村田博, 渡辺正裕, 浅田雅洋: Si 基板上(CdF₂/CaF₂)量子ヘテロ構造の近赤外 EL 発光; 第 65 回応用物理学会学術講演会, 4a-ZK-6, [3] 1242-1242(2004)

研究会

- [1] M. Watanabe, T. Ishikawa, M. Matsuda, T. Kanazawa, and M. Asada: CdF₂/CaF₂ Resonant Tunneling Diode Grown on Si(111) and Si(100) Substrate using Nano-area Epitaxy; 電子情報通信学会(電子デバイス研究会) IEICE Technical Report, ED2001-242, SDM2001-245, 65 ~ 70(2002)
- [2] M. Watanabe, M. Matsuda, H. Fujioka, T. Kanazawa, and M. Asada: Structure Dependence of Negative Differential Resistance Characteristics of CdF₂/CaF₂ Resonant Tunneling Diode Grown by Nanoarea Local Epitaxy; 電子情報通信学会(電子デバイス研究会) IEICE Technical Report, ED2002-287, SDM2002-250, 33 ~ 38(2003)
- [3] M. Watanabe, T. Kanazawa, K. Jinen, and M. Asada: Room Temperature Negative Differential Resistance of CdF₂/CaF₂ Resonant Tunneling Diode Grown on Si(100) Substrate; 電子情報通信学会(電子デバイス研究会) IEICE Technical Report, ED2003-231, SDM2003-217, 25 ~ 28(2004)
- [4] M. Watanabe, S. Tamura, T. Kanazawa, K. Jinen, M. Asada: Negative Differential Resistance of CoSi₂/CaF₂ Triple Barrier Resonant Tunneling Diode Grown by Local Epitaxy; 電子情報通信学会(電

子デバイス研究会) IEICE Technical Report, ED2004-227, SDM2004-222, 7 ~ 10(2005)

特許出願

[1]発明者: 渡辺正裕

発明の名称: 高品質ヘテロ超薄膜の結晶成長法: ローカルエピタキシー法

出願人: 科学技術振興機構

公開番号(公開日): 特開 2004-165344 (平成 16 年 6 月 10 日)

出願番号(出願日): 特願 2002-328204 (平成 14 年 11 月 12 日)

[2]発明者: 古賀貴亮、渡辺正裕

発明の名称: 超格子熱電材料

出願人: 科学技術振興機構

公開番号(公開日): 特開 2002-193200 (平成 16 年 7 月 8 日)

出願番号(出願日): 特願 2002-356574 (平成 14 年 12 月 9 日)

受賞

丸文研究奨励賞受賞 平成 14 年 3 月: “金属 / 絶縁体 / 半導体ヘテロ超格子の形成とその量子効果デバイス応用に関する研究