

研究課題別評価

1 研究課題名：自律再構成可能な論理デバイスの実現

2 研究者氏名：飯田 全広

3 研究の狙い：

日本の半導体産業は、コスト競争力、技術的優位性の低下という2つの大きな課題がある。コスト競争力は、人件費などが高水準な上、利益率が低いことが原因である。これは LSI の品種の多さとシェアの低さに起因する。また、技術的な優位性の低下は、時勢から巨大投資が必要なプロセス技術で遅れが生じており、さらに EDA(Electronic Design Automation) 技術では米国勢の独占が原因といえる。すなわち、下流からは人件費の安い台湾などの製造専門メーカーに市場を侵食され、上流は膨大な設計資産とEDA技術を持つ米国のメーカーに押さえられているのが現状である。一方、日本は家電や自動車など世界的に高水準のシステム技術とアプリケーションを有しており、半導体産業はこれらを取り込んだシステム LSI に再生の活路を開こうとしている。アジア諸国と欧米の狭間で独自性を保ち収益を確保するためには、豊富な応用技術を活かせるこのシステム LSI で利益を出す仕組みが必要である。

図1にシステム LSI を取り巻く状況を示す。システム LSI には、MPEG(Moving Picture Experts Group/ Moving Picture Image Coding Experts Group) や JPEG(Joint Photographic Experts Group)、MP3 (MPEG-1 audio layer III)などのメディア処理、各種プロトコル処理や通信用誤り訂正符号などのネットワーク処理、暗号化や認証などのセキュリティ処理など複数の機能を集積する。これらの処理は高い処理能力が必要とするため組込みプロセッサだけでは性能が

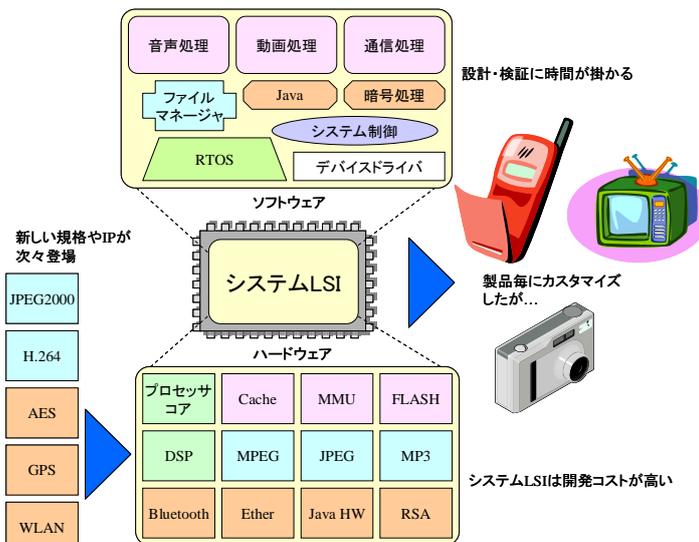


図1 システム LSI を取り巻く状況

不足し、現在は専用のハードウェアを個別に設けることで対処している。しかし、SoC(System on a Chip)は開発コストが高く、製品の個別展開や新しい規格に対応することが困難になることが予想されている。システム LSI はシステムそのものをワンチップ化した LSI であるが、収益率を上げるためには少品種大量生産体制で多品種少量生産を実現しなければならない。また、大きな課題として、消費電力の危機、配線の危機、複雑さの危機への対処も必要である。これらの課題のうち、多品種少量生産の課題に対しては「やわらかいハードウェア」であるプログラマブルロジックの混

載による柔軟性の追加が有望視されている。これによりシステム LSI の製造後のカスタマイズにより生産品種数の削減が期待できるためである。他の課題に対してもプログラマブルロジックに対する期待が大きい。

しかしながら、システム LSI に IP (intellectual property) としてのプログラマブルロジックを混載するためには、クリアしなければならない課題が2つある。一つはプログラマブルロジックに関する特許の問題であり、もう一つはプログラマブルロジックを活かす EDA 技術である。現在、プログラマブルロジックの基本特許は、Xilinx 社、ALTERA 社等の米国の数企業が事実上独占しているのが現状である。日本におけるプログラマブルロジック関連特許数は、他の半導体関連分野に比べ突出して低い。特許庁の平成13年度特許出願技術動向調査報告である「プログラマブル・ロジック・デバイス技術に関する特許出願技術動向調査」(<http://www.jpo.go.jp/shiryoku/pdf/gidou-houkoku/pld.pdf>)によれば、1993 年から 2000 年までの日米比率は、半導体プロセス関連で 0.8、論理回路関連で 1.6 に対し、FPGA/PLD (field programmable gate array / programmable logic device) 関連では 22.4 と圧倒されている。いくつかの基本特許はすでにその存続期限が切れているが、彼らの持つ特許に抵触しないシステム LSI 向きのプログラマブルロジック・アーキテクチャの開発が重要である。また、実際に新しいプログラマブルロジック IP が開発され、システム LSI に搭載することはできたとしても、それを活かす EDA 技術の集積が日本にはない。プログラマブルロジックを対象とした EDA ツール研究・開発は国内では非常に少なく、米国を始めとする世界水準から遅れている分野である。

本研究は、システム LSI に柔軟性を加える「やわらかいハードウェア」である新しいプログラマブルロジックのアーキテクチャを研究対象とし、従来の FPGA や PLD より高性能・高機能なデバイス、すなわちリコンフィギャラブルロジックのアーキテクチャとアプリケーションを開発するための設計手法を確立することを目指している。また、システム LSI の課題の一つである消費電力危機に対して、リコンフィギャラブルロジックの機能を活用した消費電力削減方式を提示する。

4 研究成果:

本研究では、システム LSI に搭載することを前提としたプログラマブルロジックの新しいアーキテクチャを提案するにあたり次に示す項目について検討した。

- (ア) リコンフィギャラブルロジックの配線構造 (デバイス・アーキテクチャ)
- (イ) 低消費エネルギー化方式およびその設計手法 (利用技術)
- (ウ) リコンフィギャラブルロジック向け EDA 技術 (EDA ツール)

これらの3項目は図2に示すように相互に深く関係しているため、研究を遂行する上では同時進行しなければならない。本研究では各検討項目を並行して行ってきたが、説明が煩雑になるのを避けるために、個別に研究方法とその成果を説明する。これらの成果は最終的に統合されている。

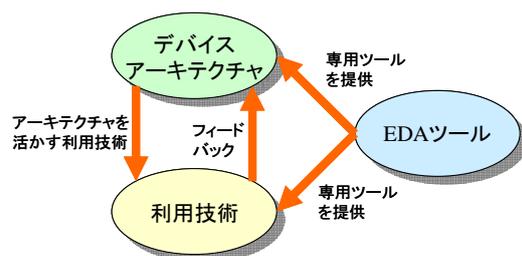


図2 研究の進め方

4. 1 リンコンフィギャラブルロジックの配線構造

FPGA に代表されるプログラマブルロジックは、アプリケーションに応じて回路構成を自由に変更可能なLSIである。そのため、特定用途向け計算機システムの高速度性と汎用計算機システムの柔軟性とを両立できるデバイスとして注目を集めている。しかし、現在使用されている FPGA には様々な問題が指摘されている。FPGA は柔軟性を実現するためにチップ面積の実に 80%から 90%の面積が配線資源によって占められている。それゆえに、ASIC 等の専用ハードウェアに比

べ、回路の実装効率が著しく低い。さらに、製造プロセスの微細化によって新たな問題も発生している。FPGA 内部で発生する主な遅延は、主として論理ブロック遅延、スイッチ遅延、ワイヤ遅延の 3 つがある。従来の製造プロセスにおいては、論理ブロック遅延とスイッチ遅延が総遅延の大半を占めていたため、ワイヤ遅延はあまり問題にされなかった。しかし、CMOS Process が 100nm 以下のディープサブミクロンプロセスにおいては、トランジスタの小型化により論理ブロック遅延やスイッチ遅延は減少する。それに対して、単位長あたりの配線抵抗と配線容量が増加するため信号線の遅延は著しく増加する。その結果、今度は配線遅延が総遅延の大半を占めるようになる。したがって、システム LSI に搭載されるリコンフィギャラブルロジックには、配線資源と配線遅延の削減が重要な課題となる。図3に代表的な Island-Style 型 FPGA の構成を示す。Island-Style 型 FPGA は、Logic Block、Switch Block、Connection Block をそれぞれ2次元マトリクス状に配置し、論理ブロックを取り囲むように信号線が引かれている。その外周には外部と入出力信号を接続するための I/O Pad が配置されている。

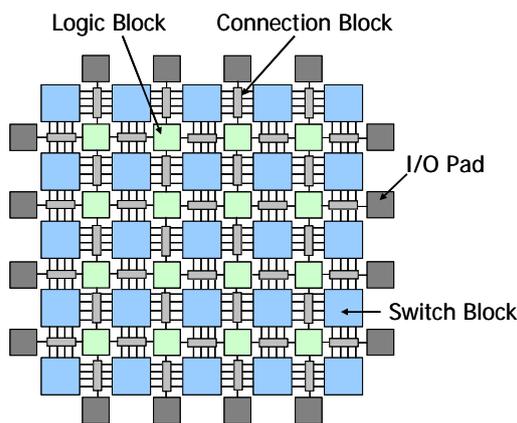


図3 Island-Style 型 FPGA の構成

配線抵抗と配線容量が増加するため信号線の遅延は著しく増加する。その結果、今度は配線遅延が総遅延の大半を占めるようになる。したがって、システム LSI に搭載されるリコンフィギャラブルロジックには、配線資源と配線遅延の削減が重要な課題となる。図3に代表的な Island-Style 型 FPGA の構成を示す。Island-Style 型 FPGA は、Logic Block、Switch Block、Connection Block をそれぞれ2次元マトリクス状に配置し、論理ブロックを取り囲むように信号線が引かれている。その外周には外部と入出力信号を接続するための I/O Pad が配置されている。

配線資源と配線遅延の問題を解決するために、本研究項目ではリコンフィギャラブルロジックに用いられる配線構造の Small-World Network(以下 SWN を略す)化を提案した。Small World は、元々社会心理学の分野で生まれた概念である。旅行先やパーティ会場といった場所で初対面の人と話していると、偶然にも共通の知人がいる事が分かり、「世界は狭いですね(It's a small world!)」と驚く経験をした人は多いだろう。これが Small World 現象である。Small World 現象を定式化すると、「世界中の任意の 2 人がどの程度の確率で共通の知人を持っているか」となる。

Small World は、長年社会心理学の分野で研究が続けられてきたが、1998年に Duncan J. Watts がグラフにおける特徴量として定式化して以来、計算機科学の分野でも急速に注目を集めるようになった。

図4は、 β -Graph と呼ばれる Small-World Network のモデルである。図中の p はエッジを繋ぎ替える確率を表す。 $p=0(\%)$ の場合、全てのエッジは規則的に繋がれている事になり、これは Regular グラフとなる。 $p=1(\%)$ の場合は全てのエッジがランダム

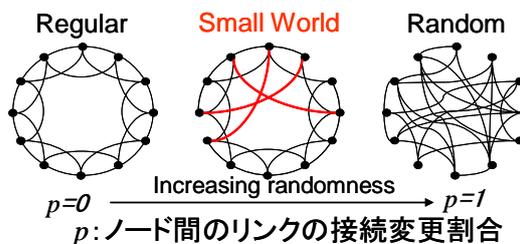


図4 Small-World Network の例

に繋がれている事になるため、これはランダムグラフとなる。SWNは、こうした Regular グラフとランダムグラフのちょうど中間に位置するグラフである。すなわち、SWN とは近くのノード間を繋ぐ規則的なエッジと、遠くのノード間を繋ぐランダムなエッジとが混在するネットワークである。SWN には、ランダムなエッジがあたかもショートカットのような役目を果たす事により、遠くのノードも短い距離で繋がれているという特徴がある。

図5に示したように配線構造の SWN 化は、SW ラインをショートカットパスとして用いることで、クリティカルパス遅延を削減させる。本研究項目では、FPGA 配線構造モデルの SWN 化を行うツールと、配置配線ツール VPR を SWN 化配線構造に対応させたものを用いて、SWN 化配線構造に対して実際に回路を配置配線する事で評価を行った。その結果、CMOS process 70nm、SWN 化率 $p=1(\%)$ の場合において、平均クリティカルパス遅延を最大約 10% 削減できた。また、SWN 化配線構造は Regular 構造に比べて速度性能を維持したまま約 11% 配線リソースが減少させることができた。よって、SWN 化配線構造は従来の配線構造より面積の点でも有利であると言える。

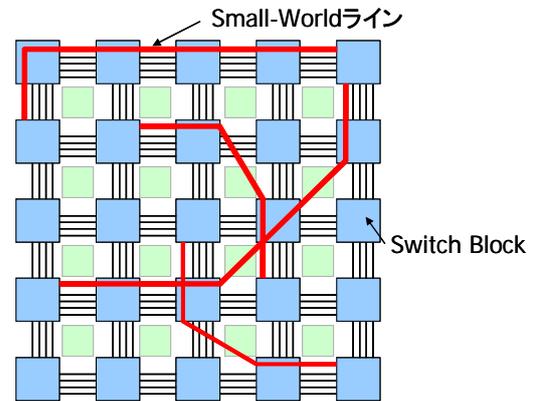


図5 配線構造の SWN 化

4. 2 低消費エネルギー化方式およびその設計手法

リコンフィギャラブルロジックは、FPGA などの従来のプログラマブルロジックから機能が大幅に拡張されている。前節は配線構造に着目したアーキテクチャ研究を説明したが、本節は論理ブロックの機能に着目した低消費エネルギー化手法について述べる。

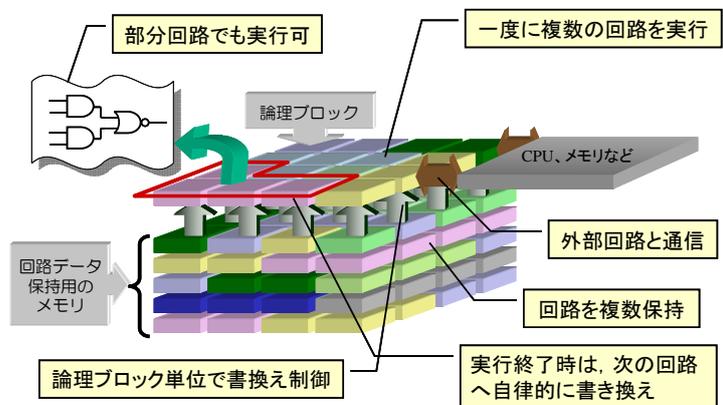


図6 リコンフィギャラブルロジックの概要

図6にリコンフィギャラブルロジックの概要を示す。FPGA には無い新しい機能は大きく分けて3つある。第一の機能はマルチコンテキスト化である。コンテキストとは回路情報もしくは回路情報の一部分を示し、これをデバイス内部に複数保持する。第二の機能は動的再構成機能である。FPGA は予め実行前に回路データをデバイス内にロード(コンフィギュレーション)しておかなければならないが、リコンフィギャラブルデバイスは実行時に何度でも再構成(リコンフィギュレーション)することができる。第三の機能は部分再構成機能である。デバイス上の一

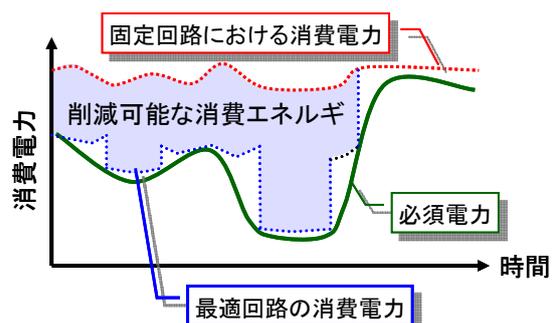


図7 消費エネルギー削減方式の概要

部分の論理ブロックを他に影響せずに再構成する機能である。本研究項目では、上記の3機能を用いて低消費エネルギー化方式を提案した。

一般にシステム LSI 中のリコンフィギャラブルロジック領域に実装される回路は、ハードウェア化が必要なほどの演算量と時間的制約を持つ。しかしながら、そのシステム LSI が動作中のすべての時間で処理データが供給され、演算が行われるわけではない(待機時間が存在する)。また、たとえデータが供給されているとしても、入力データによって、処理内容が変化することが多い(常に最大電力を消費する演算ばかりではない)。すなわち、必要となる演算能力は時々刻々変化するに対して、これまでの固定的な回路は、最大演算能力を提供する必要から、常に余剰な演算能力を持つ。一方、リコンフィギャラブルロジックの部分再構成機能は、回路が動作中に部分的な回路変更を可能とする。また、動作中のある瞬間には、そのときの入力データや処理内容に依存した最適な回路が存在し、最適な回路においては従来の固定的な回路と比較して、図7に示したように消費エネルギーを抑制することができる。言い換えれば、本研究の基本アイデアは、パフォーマンス-パワー-トレードオフを回路の書換えによって制御する点にある。

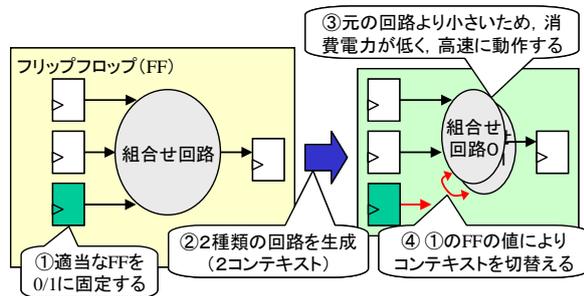


図8 低消費エネルギー化の原理

マルチコンテキスト機能を利用した低消費エネルギー化の原理を図8に示す。この例では、オリジナル回路の組合せ回路部分について、それに入力を与える1ビットのフリップフロップ (FF) の値を0および1に固定することにより2種類の回路(コンテキスト)生成する。その2つのコンテキストを固定したFFの値によってスイッチすることで動作する。個々のコンテキストは回路規模が縮小しているため、結果として消費する電力の低下と動作速度の向上が得られた。

4. 3 リコンフィギャラブルロジック向け EDA 技術

従来のプログラマブルロジックは ASIC の EDA ツールを流用できたが、リコンフィギャラブルロジックでは、図9に示したようにマルチコンテキスト化などのために複数の回路を生成する機能が必要である。また、複数の回路は論理合成、テクノロジマッピング、クラスタリングされた後、同一デバイス上に実装するために統合する必要もある。前節

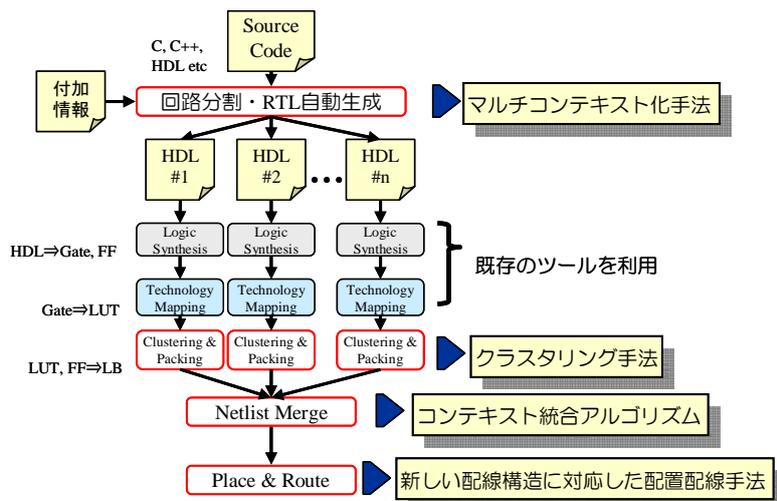


図9 リコンフィギャラブルロジックの設計フロー

までに配線構造などのデバイス・アーキテクチャや低消費エネルギー化設計手法の提案し、必要

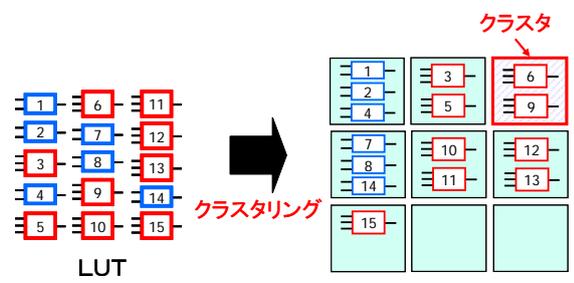
なツールの開発を行ってきた。しかし、これらの研究は個々の目標を達成してきているが、EDA ツールを含めデバイス全体として完成したものではない。そこで本研究課題は、これまでの研究成果を集大成すると共に統合 EDA ツールの開発に取り組んだ成果について報告する。

(1) マルチコンテキスト化手法

前節で述べたようにマルチコンテキスト化手法として、組合せ論理回路の入力フリップフロップ (FF) の値で決まるデータ依存回路を用いた。ここで問題は、複数ある入力 FF のどのビットを用いてマルチコンテキスト化するかと何ビットを固定してコンテキスト数をいくつにするかである。本研究項目ではゲート削減率、ファンアウト数、トグル率の3項目で最も低消費エネルギーになるも FF を探索した。また、コンテキスト数は FF を1ビット固定の場合は2コンテキストであり、2ビットの場合は4コンテキストになる。この2つのケースについて評価した。評価結果から、論理ゲート削減率やファンアウト数の値がより高い FF を固定すると、LUT 数がより多く削減し、その結果、消費エネルギーの削減効果も高いことがわかった。また、FF を2ビット用いた場合は、若干削減率が上がるが再構成頻度が増えることを考慮するとさほど有効でないことも確認された。

(2) クラスタリング手法

クラスタリング処理は従来の FPGA にもあり、リコンフィギャラブルロジック特有の処理ではない。図10に示したように、クラスタリングとは回路がテクノロジマッピングされた LUT (Look Up Table) を論理ブロックにまとめていく作業である。クラスタリングによって複数の LUT がまとめられた論理ブロックを論理クラスタと呼んでいる。クラスタリング処理における LUT の組合せ数は、LUT 数に対して指数関数的に増加する。そのため、最適なクラスタリング処理を行うことは困難であり、所望の回路性能を満たすためにどのような最適化目標で処理を行うかを決めなければならない。一般に論理クラスタは、内部に高速なローカル配線を持っており、各 LUT をクラスタ内部で高速に接続することが可能である。また、効率の良い LUT のクラスタ化は、配線資源の削減にもつながるためシステム LSI 向けのリコンフィギャラブルロジックでは重要な処理といえる。



<クラスタリングにおける問題点>

最適化問題

LUTの組合せ方によって性能が左右される

開発期間の問題

クラスタリングの効果が配置配線後まで分からない

図10 クラスタリング

本研究項目では、SA (Simulated Annealing) を用いてクラスタリング処理を行った。その際、新しい評価指標を提案した。提案評価指標は、内部接続指標 I と配線性指標 C の組合せからなる。前者はクラスタ内部のローカル配線による接続に注目してクリティカルパスのクラスタリングを最適化するため遅延改善に効果が大きい。後者は配線リソース使用量を削減するためにクラスタ外部の汎用配線による接続に注目している。これにより、配線資源を最小化する。

図11 は、配線エリアとクリティカルパス遅延の結果を表している。それぞれ縦軸が評価項目を表しており、横軸がベンチマーク回路を表している。提案クラスタリング手法が既存のクラスタリングツール (T-VPack) よりも大きく配線エリアを縮小させることができていることがわかる。提案クラ

スタリング手法は最大で 40%、平均で 19%配線エリアを改善させることができた。クリティカルパス遅延に関して提案クラスタリング手法が T-VPack と同等以上の性能であるという結果が得られた。提案クラスタリング手法は最大で 13%、平均で 2%クリティカルパス遅延を改善させることができた。

5 自己評価:

本研究は、自律的に回路機能を再構成しながら動作するプログラマブル・ロジック・デバイスのアーキテクチャの確立を目指して研究を進めてきた。ここまでの研究成果から、リコンフィギャブルロジックは有望な技術であり、将来性が期待されるデバイスであることが示せたのではないと思う。

当初の研究計画における目標は、回路の仮想化を実現する配線構造、自律的な再構成制御方式を確立、およびマッピング・ツール、配置配線ツール等の開発であった。デバイス・アーキテクチャとしては、新しい配線構造を提案・評価できたことから目標を達成できたと考えている。また、自律的な再構成制御方式については、マルチコンテキスト化、低消費エネルギー化と関連して研究の諸についたばかりであり、十分な成果を得るにはいたらなかった。しかし、自立再構成の実現に向けた足掛かりは築けた。そして、EDA ツール開発については、提案アーキテクチャ向け配置配線ツールの作成のみならず、クラスタリングツールの研究にも発展し、予想外の成果が得られた。

一方、本研究で着手できなかった項目も多く存在する。例えば、論理ブロックのアーキテクチャについては本研究では直接論じなかった。現在、従来の FPGA などが持つ細粒度方式と新しい粗粒度方式が次期主役を狙ってせめぎ合いをしている。さらに、最新の研究では論理ブロックの粒度を可変にするアーキテクチャも研究されている。また、EDA 技術も実用化に向けては課題が多い。検証技術や耐故障性に関する研究は未着手の領域である。

6 研究総括の見解:

飯田研究者はリコンフィギャブルロジックのアーキテクチャとアプリケーションを開発するための設計手法について研究し、①リコンフィギャブルロジックに用いられる配線構造の Small-World Network 化の提案、②低消費エネルギー化方式およびその設計手法の提案、③リコンフィギャブルロジック向け EDA ツールの開発をおこない、効果検証によりその有効性を確認し

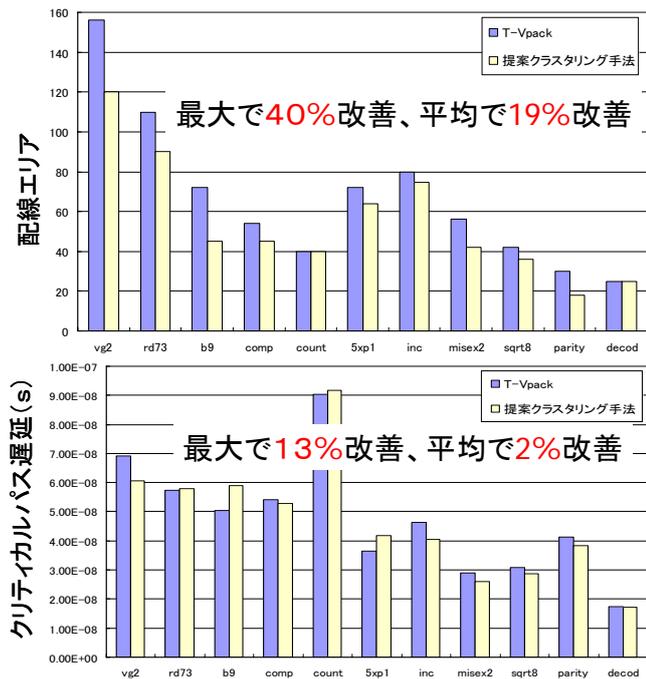


図11 配線領域とクリティカルパス遅延の評価

た。リコンフィギャラブルロジックは LSI ハードウェアに柔軟性を加える技術として大きな注目を浴びているが、日本は米国に比べ研究が遅れている感がある。また、まだ技術的に多くの課題が残されているように思われる。今後もこの研究を推進し、さらに大きな成果となることを期待している。

7 主な論文等:

論文

(1) Hisashi TSUKIASHI, Masahiro IIDA and Toshinori SUEYOSHI : Applying the Small-World Network to Routing Structure of FPGAs, Proc. of 15th International Conference on Field Programmable Logic and Applications (FPL2005), pp.65-70, Aug. 2005.

(2) Shigeki IMAI, Masahiro IIDA and Toshinori SUEYOSHI : A low power design method using multi-context dynamic reconfiguration, Proc. of The 20th Commemorative International Technical Conference on Circuits / Systems, Computers and Communications (ITC-CSCC2005), Vol. 2, pp.563-564, July 2005.

(3) Masahiro IIDA, Shinya ABE, Hisashi TSUKIASHI, Ryoji OGATA and Toshinori SUEYOSHI : Adopting the Small-World Network in Routing Structure of FPGA, Proc. of International Workshop on Applied Reconfigurable Computing (ARC2005), pp.92-98, Feb. 2005.

(4) 今井茂毅, 飯田全広, 末吉敏則 : RLD の動的再構成機能を利用した消費エネルギー削減手法, 第 12 回 FPGA/PLD Design Conference ユーザプレゼンテーション論文集, pp.57-64, Jan. 2005.

(5) 阿部晋也, 飯田全広, 末吉敏則 : Simulated Evolution を用いた配置配線同時処理手法の開発, DA シンポジウム 2004 論文集, pp.225-228, Aug. 2004.

特許

(1)特開 2005-158815, プログラマブル論理回路およびプログラマブル論理回路の配線構造, 飯田全広

受賞

特になし

招待講演

特になし