

戦略的創造研究推進事業 CREST

研究領域

「新たな光機能や光物性の発現・利活用を基軸と
する次世代フォトニクスの中盤技術」

研究課題

「集積ナノフォトニクスによる超低レイテンシ光演算
技術の研究」

研究終了報告書

研究期間 2015年 12月～2021年 3月

研究代表者： 納富雅也

(日本電信電話(株)物性科学基礎研究所
ナノフォトニクスセンタ、センタ長)

§ 1 研究実施の概要

(1) 実施概要

本研究では、光による演算技術を適用し、CMOS プロセッサの性能限界を突破できる光電融合型アクセラレータを目指した研究開発を行った。基本となるアイデアは、光の伝搬によって実行されるタイプの演算に、集積ナノフォトニクス技術を用いることにより超低遅延の演算が実行できる、という点であり、これをCMOSプロセッサと協調させてアクセラレータとして動かすことで、どのような回路・アーキテクチャが可能かを検討した。

研究としての最初のポイントは、光電変換技術である。従来の光による情報処理では光電変換がボトルネックとなるのが常識であった。NTT グループはナノフォトニクス技術により、光電変換素子の静電容量を劇的に低減できることを見出し、その結果としてOE及びEO変換の消費エネルギーコストを従来技術に比べて一桁以上削減することに成功した。この結果は、従来の常識を打ち破る、演算レベルでの光電変換が可能であることを意味する。以下で述べる本研究は全てこのパラダイムシフトをベースとしている。さらに、超小型のOE変換素子とEO変換素子を集積することにより、一種の光トランジスタを実現した。この素子は信号利得と高速な非線形性を持ち、後述のように光演算回路において重要な役割を果たす。本成果は2019年にNature Photonicsに掲載され、報道発表を行った。

二つ目のポイントは、光の干渉を利用した演算である。光の干渉器を利用すると光の伝搬による演算が可能であり、素子サイズが小さければ超低遅延の演算が可能となる。NTT グループではナノフォトニクス技術を用いて、電気光学変調器のサイズを小型化することに成功するとともに、線形干渉だけを用いた Ψ ゲートと呼ぶ新しい論理演算素子を提案し、動作実証した。本成果は2020年に報道発表を行った。

デバイス研究と並行して、上述のナノデバイス技術を前提にして可能となる演算回路の研究をNTTと京大、名大、九大グループの連携により探索した。まず、二分型グラフ(BDD: Binary Decision Diagram)型のデジタル演算が向くことを見出し、その応用形態として、光並列加算器を提案した。この演算器は一回の光電変換と光伝搬によりデジタル加算が実行され、CMOS加算器に比べて一桁程度の低遅延化が期待できる。提案した光加算器をNTTと産総研グループの協力により、4ビット光加算器を試作し、加算動作の完全実証に成功した。

BDD型デジタル演算に関しては、乗算器等の演算では回路規模が指数爆発してしまうという問題点が判明し、京大・名大グループを中心にこれを回避する手法の探索を行った。その中で上述の光トランジスタを要所で用いることで回路規模を縮約できることを見出した。また、完全デジタルではなく、内部で一部アナログ演算を用いることで高性能が達成できることなどを見出した。

これらの研究から、光演算においてはアナログ演算を適切に取り入れることが重要である点がチーム内の共通認識となり、プロジェクト後半ではこの方向性のもとで研究を行った。デバイス研究としては、上述の線形干渉ゲートの技術をベースにしてデジタル・アナログ変換を超低遅延で行えることを見出し、NTTと産総研グループにおいて回路動作実証に成功した。

光の伝搬速度で実行可能なアナログ演算の代表例は積和演算であるが、ニューラルネット(NN)では積和がボトルネックになっていることに着目し、九大グループを中心に光電融合 NN アーキテクチャを検討し、低遅延性と共に電力性能的にも有効であることを見出した。そこで、最後の二年は本格的に集積ナノフォトニクスを用いた NN 回路の検討を行った。光 NN は大規模な積和が難しいことが問題となるが、本研究では NTT、産総研、京大/名大グループにより、比較的単純な光回路で NN 演算ができる光回路を探索し、複数の新しい NN 回路構成を提案した。この NN 回路はいずれも CMOS プロセッサと一体化して動作することが前提となっており、本研究で開発した光電変換技術、デジタル・アナログ変換技術を用いることを想定している。最終的に Si フォトニクス集積技術を用いて、NTT と産総研グループが光回路を試作し、原理検証を行った。また、九大グループでは、この光積和演算器と CMOS 演算回路を連携して動作させることにより、大規模演算にスケラビリティを持つ光電融合演算システムが可能であり、優れた演算性能を持ちうることを示した。

近年、CMOS性能の飽和に伴って光演算が再び脚光を浴び、複数の研究プロジェクトが世界中で進行しているが、光電変換とデジタル・アナログ変換のボトルネックを解消し、CMOS デジタル回

路とシームレスに融合可能な光演算システムを提案している例は他にはない。本成果は、「光速演算」の特性を最大限に生かし、CMOS と協調動作可能な光電融合アクセラレータの将来像を初めて明らかにしたという点で、ポストムーア時代において必要とされる超低遅延・低消費エネルギーの情報処理システムに向けた重要な一歩だと考えられる。

(2) 顕著な成果

<優れた基礎研究としての成果>

1. 超低キャパシタンス光電変換デバイスによる光電変換効率の劇的な向上

概要： フォトニック結晶技術を用いて光電変換素子の大幅な低容量化を達成し、この技術を受光器に応用することにより、電気アンプ及びバイアス回路不要、すなわち電気エネルギー不要の OE 変換が可能であることを世界で初めて示した。また、同技術を光変調器に適用し、42aJ/bit という従来記録の 1/17の動作エネルギーを達成した。本成果は従来の光情報処理における光電変換の常識を打ち破るものであり、大きなインパクトを持つ。

2. 超低キャパシタンス光電集積による高速、低消費電力の光トランジスタの実現

概要： 上記の超低容量受光器と超低容量光変調器を負荷抵抗を介して集積し、光三端子素子を実現した。集積後の全容量は2fF以下であり、世界で初めてのfFレベルの光電集積が達成されている。作製された素子は信号利得を持ち非線形応答をする光トランジスタとして機能し、従来の光トランジスタを大幅に上回る性能を達成した。本素子はニューラルネットの活性化関数に代表される様々な演算要素として重要な働きが期待される。

3. 線形干渉を利用した超低遅延論理演算ゲートの実現とデジタル・アナログ変換への応用

概要： 超低遅延かつ低消費電力の演算を目指して、超短尺な線形光学素子による干渉を利用した Ψ 論理ゲートを考案した。 Ψ ゲートは2入力+補助入力で構成され、補助入力によって様々なブール演算を超低遅延で実行できる。この素子は線形光学素子で構成されるため、異なる波長で異なる演算を同時に行うことが可能。さらにこの干渉素子を応用して、光電融合ニューラルネットで重要となる超低遅延のデジタルアナログ変換器を実現した。

<科学技術イノベーションに大きく寄与する成果>

1. 超低遅延並列光加算器の提案と4ビット加算動作の実証

概要： 光パスゲートを用いて、計算速度を決定するクリティカルパスを完全に光化した光電融合型の並列加算器を考案した。提案した4ビット光加算器を最先端のシリコンフォトニクス集積技術を用いて作製し、全ての入力組合せにおける4ビット加算動作を実証した。この成果は世界で初めてのマルチビット光加算器の完全な加算動作実証であり、ビット当たりの演算遅延をCMOS加算器より大幅に短くできる可能性を示した。

2. スケーラブルな光電融合ニューラルネットアクセラレータアーキテクチャの開発

概要： 光積和回路をCMOS回路及び電気メモリと組み合わせた光電融合型ニューラルネット演算システムの新しいアーキテクチャを提案。従来の光ニューラルネットはスケーラビリティと汎用性に問題があったが、本成果により光電変換のボトルネックを解消できれば、光積和回路を用いて、大規模な演算にスケーラビリティを持ち、同時に汎用性(即ちプログラマビリティ)を持つ計算機システムが構築でき、最新電気式アクセラレータの10倍以上の実行効率を達成可能。

3. シリコンフォトニクスチップによるニューラルネット演算の実証

概要： Siフォトニクス技術を用いて Mach-Zehnder 干渉器のマトリクス集積回路を作製し、ニューラルネット等の演算動作を実証した。マトリクス回路を最適化手法を使って調整する技術を開発、実回路を用いて学習し、入力EO変換の非線形性利用することによりニューラルネ

ット演算を実行した。光集積回路を利用した類似研究はいずれも一部機能の実証に留まっており、本成果は Si 光チップ上に非線形機能を集積した形でのニューラルネット演算として世界初。

<代表的な論文>

1. K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, M. Ono, A. Shakoore, E. Kuramochi, and M. Notomi, "Photonic-crystal nano-photodetector with ultrasmall capacitance for on-chip light-to-voltage conversion without an amplifier", *Optica*, vol. 3, pp. 483-492, 2016

概要: フォトニック結晶を用いて静電容量が 0.6fF(従来素子の 1/10)である超小型受光器を実現し、通常の光通信受光器と同等の速度(40Gbps)、感度(1 A/W)、暗電流(100pA)での動作を実証。さらにこの受光器をチップ内で負荷抵抗と集積して、電気アンプを用いずに高い光・電圧変換効率(4kV/W)を達成。従来、チップ内 OE 変換は電気アンプが必要なため大きな電力が必要であったが、本成果により OE 変換のエネルギーコストを劇的に低減できることが示された。

2. K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi, "Femto-farad optoelectronic integration demonstrating energy-saving signal conversion and nonlinear functions", *Nature Photonics*, vol. 13, pp. 454-459, 2019

概要: フォトニック結晶技術を用いて fF 以下の静電容量を持つナノ光変調器を実現し、世界最小動作エネルギーで動作に成功した。このナノ変調器を fF 以下の静電容量を持つナノ受光器と集積した O-E-O 素子を実現し、光入力、光出力の光トランジスタの 10Gbps 動作を実証した。世界で初めての fF レベルでの光電集積であり、この光トランジスタは信号利得を持つ光非線形素子として多様な光処理回路へ応用が期待される。論文発表に合わせて報道発表。

3. S. Kita, K. Nozaki, K. Takata, A. Shinya, and M. Notomi, "Ultrashort low-loss Ψ gates for linear optical logic on Si photonics platform," *Communication Physics* 3, 33, 2020.

概要: Si 細線導波路をベースにした非常に短尺な 3×1分岐素子を用いて、光学干渉により二つの光入力信号に対する論理演算を出力できることを実験的に実証した。補助入力光を入力することにより干渉条件を制御し、同じ素子を用いて様々なブール演算を選択できる。素子長は 10 μ m 以下であり、演算遅延は 100fs 以下となる。また異なる波長で同時に異なる演算を実行することも可能。20Gbps での高繰り返し動作も実証。論文発表に合わせて、報道発表。

§2 研究実施体制

(1) 研究チームの体制について

① 「NTT」グループ

研究代表者: 納富 雅也 (日本電信電話(株)物性科学基礎研究所ナノフォトニクスセンター センター長・上席特別研究員)

研究項目

- ・低遅延ナノフォトニクス素子及び集積技術の開発
- ・新現象を利用した超低遅延化の追究
- ・超低レイテンシ演算回路・システムの原理検証実験

② 「京大」グループ

2018年9月まで

主たる共同研究者: 石原 亨 (京都大学大学院情報学研究科 准教授)

2018年10月以降

主たる共同研究者: 塩見 準 (京都大学大学院情報学研究科 助教)

研究項目

- ・光電融合集積回路の設計環境の構築
- ・低遅延光演算回路の設計技術の研究

③ 「名大」グループ 2018年10月より参加

主たる共同研究者: 石原 亨 (名古屋大学大学院情報学研究科 教授)

研究項目

- ・低遅延ニューラルネットワークアクセラレータの設計技術の研究

④ 「九大」グループ

主たる共同研究者: 井上 弘士 (九州大学大学院システム情報科学研究院 教授)

研究項目

- ・超低レイテンシ光電システムアーキテクチャの開発
- ・低レイテンシイベント検出/集計コア・アーキテクチャの開発
- ・超低レイテンシ光アクセラレータ・アーキテクチャの開発

⑤ 「産総研」グループ 2018年4月より参加

主たる共同研究者: 山田 浩治 (産業技術総合研究所 プラットフォームフォトニクス研究センター 総括研究主幹・シリコンフォトニクスチームリーダー)

研究項目

- ・Si 低遅延光演算素子構成技術の開発
- ・Si 光演算回路の集積技術および制御技術の開発および回路試作
- ・Si 光ニューラルネット演算回路の開発