

戦略的創造研究推進事業 CREST
研究領域「素材・デバイス・システム融合による革
新的ナノエレクトロニクスの創成」
研究課題「ビアスイッチの実現によるアルゴリズム・
処理機構融合型コンピューティングの創出」

研究終了報告書

研究期間 2014年10月～2020年3月

研究代表者:橋本昌宜
(国立学校法人大阪大学大学院
情報科学研究科、教授)

§1 研究実施の概要

(1) 実施概要

本研究では、専用ハードウェア化による高いエネルギー効率、ソフトウェア実装と同等の設計生産性、低い NRE コストのすべてを実現する新たなアルゴリズム・処理機構融合型コンピューティングを創出し、その実現に不可欠なビアスイッチ FPGA を開発した。プログラマビリティはすべて配線層で実現し、トランジスタ層をすべてコンピューティングに利用する高密度粒度混合 FPGA である。クロスバーの実装密度はトランジスタの場合と比べて 26 倍向上し、配線の遅延とエネルギーを 90%, 94% 削減する見積もりを得た。双方向配線を最大限に活かしつつ、ビアスイッチクロスバーのプログラム制約を満足する配線を実現する。非線形整流特性に優れた a-Si/SiN/a-Si バリスタを開発し、それを用いた小規模なビアスイッチ FPGA を 65nm CMOS プロセスを用いて試作した。試作チップの評価により、ビアスイッチ FPGA が実現可能であること、12 倍の実装密度の向上が可能であることをシリコン動作で実証した。また製造プロセスの微細化により FPGA としての速度やエネルギー効率の向上が可能である予測を得た。

ビアスイッチグループは、ビアスイッチを構成する新しい 2VICAS 構造(二つのバリスタで原子スイッチをプログラム)について、非線形整流特性に優れる a-Si/SiN/a-Si バリスタを開発し、原子スイッチの直上にマスク1枚の追加で形成できる手法を提案した。50x20 ビアスイッチクロスバーを試作し、プログラミングとマルチファンアウト信号伝搬を実証した。さらなる非線形特性の向上を目指してカルコゲナイド材料を用いたバリスタを検討した。GeSe バリスタにおいて、Se の組成比を大きくし、GeSe_{4/2} テトラヘドラル構造を形成することで、非晶質相の安定性と、急峻なスイッチング特性を両立し、銅配線上に形成できる見通しを得た。

テストグループは、オンするビアスイッチに制約を与えることでスクークパスが発生しないことを帰納法を用いて証明した。さらに、ビアスイッチのプログラミング順に着目し、スニークパスが発生しないプログラミング順が存在することを数学的に証明した。製造後テストでの使用を念頭に、クロスバーの再構成プログラミング順を与える低計算複雑度アルゴリズムを開発した。クロスバー内の原子スイッチ、バリスタの故障診断手法を開発した。

全グループが協力してビアスイッチを最大限に活かす配線構造を考え、回路、マッピング、アプリケーション、アーキテクチャグループがビアスイッチ FPGA の高密度混合粒度アーキテクチャを開発した。アーキテクチャグループは大規模積和演算が効率的に実行できるアクセラレータを開発した。アプリケーショングループがビアスイッチ FPGA の AI 向け最適化を実施した。

マッピング、動作合成グループがビアスイッチ FPGA に最適化した設計フローを構築した。高位合成が出力するアプリケーション回路の RTL を入力として、論理合成から配置配線、構成情報の生成、動作シミュレーションまでを一貫して行える環境を構築した。この中では、Analytical Placement と Simulated Annealing を併用する配置アルゴリズムと、寄生容量による遅延を考慮して経路を探索する配線アルゴリズムを採用している。本環境により、実際のアプリケーション回路の定量評価が可能となった。

全グループが協力してビアスイッチ FPGA の試作と評価を行った。ビアスイッチグループが設計環境構築と試作、評価を、アプリケーショングループがアーキテクチャ設計を、回路グループが回路実装指針を、テストグループが設計検証とチップ評価を、マッピンググループが試作チップ評価用 EDA 環境の提供を行った。設計回路の性能評価と将来プロセスでの性能予測を回路グループが実施した。

(2) 顕著な成果

< 優れた基礎研究としての成果 >

1.

M. Hashimoto, X. Bai, N. Banno, M. Tada, T. Sakamoto, J. Yu, R. Doi, Y. Araki, H. Onodera, T. Imagawa, H. Ochi, K. Wakabayashi, Y. Mitsuyama, and T. Sugibayashi, "Via-switch FPGA: First Implementation in 65-nm CMOS and Architecture Extension for AI Applications," *International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers*, pp.502-503, 2020.

概要:

ビアスイッチ FPGA を 65nm CMOS プロセスで試作し、シリコン動作を初めて実機で確認した。不揮発スイッチと選択デバイスをすべて配線層に作り込むことで、トランジスタ層をコンピューティングに利用するコンセプトが実現可能であること、ならびに 12 倍の実装密度向上を実証した。AI アプリケーション向けのアーキテクチャ拡張を行い、65nm から 7nm プロセスまで計算性能とエネルギー効率が着実に高まることを確認した。

2.

N. Banno, K. Okamoto, N. Iguchi, H. Ochi, H. Onodera, M. Hashimoto, T. Sugibayashi, T. Sakamoto, and M. Tada, "Low-Power Crossbar Switch with Two-Varistors Selected Complementary Atom Switch (2V-1CAS; Via-Switch) for Nonvolatile FPGA," *IEEE Transactions on Electron Devices*, 66(8), pp. 3331-3336, August 2019.

概要:

ビアスイッチを構成する新しい 2V1CAS 構造(二つのバリスタで原子スイッチをプログラム)について、非線形整流特性に優れる a-Si/SiN/a-Si バリスタを開発し、原子スイッチの直上にマスク1枚の追加で形成できる手法を提案した。65nm の銅配線の上に大規模(50x20)ビアスイッチクロスバーを試作し、バリスタを介して原子スイッチのプログラミングが可能であることを試作デバイスで確認した。ビアスイッチ FPGA の実現に必要な初期動作特性を得、2V1CAS 構造ビアスイッチの特長であるマルチファンアウト含んだプログラムと信号伝達を実証した。

3.

R. Doi, J. Yu, and M. Hashimoto, "Sneak Path Free Reconfiguration with Minimized Programming Steps for Via-Switch Crossbar Based FPGA," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, in press

概要:

ビアスイッチクロスバーについて、ループがない実用的な任意配線パターンがスニークパス問題を回避してプログラム可能であることを数学的に証明した。ビアスイッチのプログラミング順を求めるアルゴリズムを提案し、従来のスニークパス回避方法よりも格段の配線自由度を達成した。FPGA の再構成を妨げるスニークパス問題をオーバーヘッドなく解決することができた。さらに、クロスバーの部分的なプログラム変更時に書き換えステップ数を最小化する手法も提案した。

< 科学技術イノベーションに大きく寄与する成果 >

1.

H. Ochi, K. Yamaguchi, T. Fujimoto, J. Hotate, T. Kishimoto, T. Higashi, T. Imagawa, R. Doi, M. Tada, T. Sugibayashi, W. Takahashi, K. Wakabayashi, H. Onodera, Y. Mitsuyama, J. Yu, and M. Hashimoto, "Via-Switch FPGA: Highly-Dense Mixed-Grained Reconfigurable Architecture with Overlay Via-Switch Crossbars," *IEEE Transactions on VLSI Systems*, 26(12), pp. 2723-2736, December 2018.

概要:

ビアスイッチを最大限に活用した高密度粒度混合ビアスイッチ FPGA を提案した。クロスバーの密度はトランジスタの場合と比べて 26 倍向上し、配線の遅延とエネルギーを 90%, 94% 削減する。粒度混合ビアスイッチ FPGA に最適化した高位合成、テクノロジマップ、配置配線ツールからなる専用の設計フローを構築した。双方向配線を最大限に活かしつつ、ビアスイッチクロスバーのプログラム制約を満足する配線を実現する。双方向配線により配線トラックが 15.8% 減少し、アレイ面積が 14.7% 削減された。

2.

T. Kishimoto, W. Takahashi, K. Wakabayashi, H. Ochi, "Range Limiter Using Connection Bounding Box for SA-based Placement of Mixed-grained Reconfigurable Architecture," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E99-A, no. 12, pp. 2328-2334, December 2016.

概要:

粗粒度および細粒度のクラスタからなる粒度混合再構成可能アーキテクチャ(MGRA)向けの新しい配置手法を提案する。従来の FPGA 向けの焼きなまし法ベースの配置手法では高速化のため、レンジリミッタにより交換する 2 つのブロックの距離を制御していたが、これはそのままでは MGRA に適用できない。提案手法では接続境界ボックスを使用して効果的にレンジリミッタのサイズを維持し、隣接していないクラスタ間の細粒度ブロック同士の移動を促進する。実験では最高 47.8% のコスト削減が達成された。

3.

ビアスイッチ向け設計環境

概要:

高位合成が出力するアプリケーション回路の RTL を入力として、論理合成から配置配線、構成情報の生成、動作シミュレーションまでを一貫して行える環境を構築した。この中では、Analytical Placement と Simulated Annealing を併用する配置アルゴリズムと、寄生容量による遅延を考慮して経路を探索する配線アルゴリズムを用いている。本環境により、実際のアプリケーション回路における配線の使用率や活性化率の定量評価が可能となった。また、配線資源におけるビアスイッチの 50% 程度を間引いた場合でも、行列乗算や FFT の回路が実装できることを確認した。

<代表的な論文>

M. Hashimoto, X. Bai, N. Banno, M. Tada, T. Sakamoto, J. Yu, R. Doi, Y. Araki, H. Onodera, T. Imagawa, H. Ochi, K. Wakabayashi, Y. Mitsuyama, and T. Sugibayashi, "Via-switch FPGA: First Implementation in 65-nm CMOS and Architecture Extension for AI Applications," *International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers*, pp.502-503, 2020.

N. Banno, K. Okamoto, N. Iguchi, H. Ochi, H. Onodera, M. Hashimoto, T. Sugibayashi, T. Sakamoto, and M. Tada, "Low-Power Crossbar Switch with Two-Varistors Selected Complementary Atom Switch (2V-1CAS; Via-Switch) for Nonvolatile FPGA," *IEEE Transactions on Electron Devices*, 66(8), pp. 3331-3336, August 2019.

H. Ochi, K. Yamaguchi, T. Fujimoto, J. Hotate, T. Kishimoto, T. Higashi, T. Imagawa, R. Doi, M. Tada, T. Sugibayashi, W. Takahashi, K. Wakabayashi, H. Onodera, Y. Mitsuyama, J. Yu, and M. Hashimoto, "Via-Switch FPGA: Highly-Dense Mixed-Grained Reconfigurable Architecture with Overlay Via-Switch Crossbars," *IEEE Transactions on VLSI Systems*, 26(12), pp. 2723-2736, December 2018.

§ 2 研究実施体制

(1) 研究チームの体制について

① 「テスト・アプリ」グループ

- ・研究代表者:橋本 昌宜 (大阪大学大学院情報科学研究科 教授)
- ・研究項目
 - ・スニークパス検証
 - ・配線アーキテクチャ開発
 - ・再構成可能チップのテスト技術開発
 - ・ビアスイッチ FPGA の設計
 - ・ビアスイッチのテスト技術の開発
 - ・ビアスイッチ FPGA の製造評価

② 「ビアスイッチ」グループ

- ・主たる共同研究者:杉林 直彦 (ナノブリッジ・セミコンダクター(株) 創業者)
- ・研究項目
 - ・ビアスイッチデバイス開発
 - ・スニークパス検証
 - ・ビアスイッチ集積化技術開発
 - ・配線アーキテクチャ開発
 - ・ビアスイッチ FPGA の設計
 - ・ビアスイッチのテスト技術の開発
 - ・ビアスイッチ FPGA の製造評価

③ 「動作合成」グループ

- ・主たる共同研究者:若林 一敏 (日本電気(株)グリーンプラットフォーム研究所 シニアマネージャー)
- ・研究項目
 - ・配線アーキテクチャ開発
 - ・アルゴリズム一体型処理機構の基本構想とツール開発
 - ・ビアスイッチを用いた再構成可能チップ向けツール開発

④ 「回路」グループ

- ・主たる共同研究者:小野寺 秀俊 (京都大学大学院情報学研究科 教授)
- ・研究項目
 - ・チップレベル性能見積もり
 - ・細粒度プログラマブルロジック開発
 - ・配線アーキテクチャ開発
 - ・ビアスイッチ FPGA の設計

⑤ 「マッピング」グループ

- ・主たる共同研究者:越智 裕之 (立命館大学情報理工学部 教授)
- ・研究項目
 - ・細粒度プログラマブルブロック開発
 - ・粗粒度ブロック開発
 - ・配線アーキテクチャ開発
 - ・ビアスイッチ FPGA の製造評価
 - ・回路構成評価用マッピングツールの開発
 - ・マッピングツールの最適化

⑥ 「アーキテクチャ」グループ

- ・主たる共同研究者:密山 幸男 (高知工科大学システム工学群 准教授)
- ・研究項目
 - ・粗粒度ブロック開発
 - ・多オペランド加算器の開発
 - ・配線アーキテクチャ開発
 - ・ビアスイッチ FPGA の製造評価

(2) 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

産総研に、Non-Volatile Field-Programmable Gate Array (NV-FPGA) Initiative が設置され、ビアスイッチ、原子スイッチを用いた FPGA の普及活動を進めている。