

戦略的創造研究推進事業 CREST
研究領域「ディペンダブル VLSI システムの基盤技術」
研究課題「ディペンダブル ワイヤレス ソリッド・ステート・
ドライブ(SSD)」

研究終了報告書

研究期間 平成21年10月～平成27年3月

研究代表者:竹内 健
(中央大学 理工学部 教授)

§ 1 研究実施の概要

(1) 実施概要

フラッシュメモリを用いたストレージであるソリッド・ステート・ドライブ (SSD)、メモリカードは低価格・軽量・低消費電力なストレージとして、携帯端末・パソコン・データセンターなどへの応用が期待されている。フラッシュメモリはフローティングゲートに電子を蓄えることによりデータ記憶を行うが、データ保持中にフローティングゲート中の電子がリークしデータが破壊されるという問題がある。本研究では SSD のメモリの不良を救済する、高信頼メモリシステムの研究を行った。微細化により劣化するメモリに対して高いディペンダビリティを確保するため、誤り訂正システムを高度に進化させた。また、誤り訂正を行う対象レイヤも、SSD コントローラーから RAID システムと進化させてきた。2009 年度はメモリの信頼性の劣化に従って ECC を強化する Dynamic Codeword ECC を提案し信頼性を 17 倍向上することに成功した。2010 年度はメモリのエラーの非対称性に注目し、書き込むデータを非対称に変調することでエラーを低減する Asymmetric Coding を提案し信頼性を 20 倍向上させた。2011 年度は周囲のメモリセルからの容量結合ノイズや経時劣化を補正する EP-LDPC を提案し信頼性を 4 倍向上させた。2012 年、2013 年にはそれぞれ RAID1, RAID5/6 に対する高信頼ストレージ技術を提案し、信頼性をそれぞれ 32 倍、22 倍向上させた。開発した技術を全て組み合わせることで 1000 倍以上の信頼性の向上を実現した。また、研究対象をフラッシュメモリから ReRAM などのストレージ・クラス・メモリ (SCM) に発展させ、SCM に最適化した高信頼技術も提案した。更に近年、市場の成長が著しい、企業向けサーバストレージ、100 年と言った長期間データを保存するアーカイブストレージに向けた高信頼技術を開発した。提案技術は ISSCC において 5 年連続で発表を行った。

メモリカードのコネクタにおける接触不良や静電気破壊、通信速度劣化の問題を解決するため、本研究では短距離無線通信・給電による高信頼な非接触コネクタの研究開発に取り組んできた。10-50Gb/s の通信速度を非接触で達成するため、広帯域特性の得られる伝送線路型結合器を新規に開発した。2010 年度には原理検証を行い、従来の 5 倍高速な 12Gb/s を 1mm の通信距離で達成した。2011 年度にはメモリ容量の拡張に対応できるようにするため、多数のメモリモジュールの接続を可能とする非接触のマルチドロップバスを開発した。2012 年度には応用範囲を広げ、ポータブル機器の液晶ディスプレイ用に厚さ 0.15mm の非接触コネクタを実現しデモシステムを開発した。2013 年度は高い信頼性が要求される車載用途のコネクタにも非接触コネクタを適用するため、ツイストペアケーブルに対応したクリップ型結合器および前方エラー訂正技術を開発した。2014 年度は環境変化の大きい宇宙衛星への応用、そして結合器の省面積化・通信距離の延伸を研究した。ロケット打ち上げ時の振動に耐えられる非接触コネクタと、6mm² の面積で 5mm の通信距離を接続可能な新規結合器を開発した。提案技術はいずれも ISSCC で 5 年連続、計 6 件の発表を行った。

メモリカードにおける給電の無線化により、金属端子を排除することができ、耐水性といったシステムのディペンダビリティが得られるが、一方で、スイッチングによる不要輻射やバッテリーレスシステムにおける高速な負荷変動への対応といった課題が生じる。本テーマでは、これらの課題の解決に向けて研究を進めてきた。2011 年度までは、負荷変動対応できる、高速給電量の制御手法として、磁界のベクトル加算を用いた制御、および共振周波数とその分数調波によるスイッチングの切り替えで給電量を制御する手法を考案した。いずれも、高速負荷応答に対応しつつ、不要輻射を削減できる手法である。試作チップおよび評価ボードを開発して、実機で従来よりも 2 桁程度高速な数 10 μ 秒オーダの給電制御を実証し、不要輻射を 10dB 程度削減した。後半の 2012 年度以降は、NAND フラッシュメモリを初めとして最近の電子システムで一般的な多電圧システムに対応できるよう、単一インダクタで 2 電圧を出力できるシステムの開発を行なった。効率改善、不要輻射削減のためのスイッチング周期に同期した整流器の切り替え手法、および多入力多出力フィードバックシステムでの高速応答と安定性の両立を図った制御手法を考案し、

実機でその効果を実証した。得られた成果を ISSCC、A-SSCC で発表した。

高信頼メモリスistem、高信頼非接触コネクタ、高信頼無線給電システムの各テーマで得られた成果を盛り込んだ、ワイヤレス SSD デモシステムを開発中である。

(2) 顕著な成果

< 優れた基礎研究としての成果 >

1. 高信頼メモリスistem

概要: (200 字程度)

SSD の高信頼化に取り組み、フラッシュメモリや ReRAM の動作物理メカニズムを把握した上で、それぞれの物理動作に特徴的なエラーを抑制する誤り訂正符号を提案した。SSD コントローラー、RAID コントローラーなどストレージシステムの様々な階層における誤り訂正手法を提案し、提案技術全体で SSD の信頼性を 1000 倍以上高めることに成功した。提案技術は ISSCC にて 5 年連続で発表を行った。

2. 非接触コネクタ

概要: (200 字程度)

通信・システム全体の信頼化に取り組み、従来の磁界結合に代わり、広帯域特性を有する伝送線路型結合器を開発した。従来の 5 倍高速な 12Gb/s を 1mm の通信距離で達成した。メモリカードだけでなく、ポータブル機器、車載 LAN、宇宙衛星といった各システムへの応用を提案し、プロトタイプで信頼性の向上を実証した。提案技術は ISSCC にて 5 年連続で発表を行った。

3. 高信頼無線給電システム

概要: (200 字程度)

無線給電システムの高信頼化に取り組み、従来の無線給電システムにくらべて 2 桁高速な給電量制御と不要輻射の削減(10dB)を達成した。また、多電圧システムへの適用を目差して、単一インダクタで 2 電圧を高効率に出力できるシステムを開発した。研究成果の発表を ISSCC、A-SSCC で行なった。

< 科学技術イノベーションに大きく寄与する成果 >

1. 高信頼メモリスistem

概要: (200 字程度)

メモリスistemの研究は東芝やシグリードなどの出口企業と密接に連携して行われており、本研究で開発した高信頼メモリスistem技術は東芝の SSD コントローラーやシグリードの高信頼 SSD の開発に反映され、順次製品の中に取り込まれている。また、長期保存メモリや企業サーバー向けストレージなど本技術を活用した新しい応用製品が登場しつつあり、NHK や富士通なども興味を示している。

2. 非接触コネクタ

概要: (200 字程度)

非接触コネクタの研究は、ジャパンディスプレイ、東芝、ソニー、日本圧着端子製造、デンソー、矢崎総業、JAXA、NEC 東芝スペースシステム、三菱電機、ホシデンなどと情報意見交換をしながら、技術移管・実用化への道筋を描いている。汎用品による非接触コネクタ評価ツールを構築し、矢崎総業、JAXA、ホシデンが導入し評価を進めている。ホシデンと JAXA が評価ツールを用い、本技術を活用した応用製品の開発を進めている。

3. 高信頼無線給電システム

概要: (200 字程度)

小型バッテリーレスシステムに広く適用できる技術である。大容量メモリカードをはじめとして、今

後普及が期待されるウェアラブルデバイス、フレキシブルディスプレイ等に適用できる。また、不要輻射を抑制できる技術は医療用のインプラントデバイスへの適用にも向いている。

§ 2. 研究構想

(1) 当初の研究構想、課題設定

① 本研究の背景、社会や産業に存在する問題と本研究の課題設定

フラッシュメモリを用いたストレージであるソリッド・ステート・ドライブ (SSD)、メモリカードは低価格・軽量・低消費電力なストレージとして、携帯端末・パソコン・データセンターなどへの応用が期待されている。フラッシュメモリはフローティングゲートに電子を蓄えることによりデータ記憶を行うが、データ保持中にフローティングゲート中の電子がリークしデータが破壊されるという問題がある。またメモリカードのコネクタはゴミの付着や汚染、メモリカードとホスト機器の頻繁な着脱によるコネクタの摩耗が接触不良や速度劣化を引き起こす。更に、有線通信のメモリカードの高速化実現には、コネクタの容量を減らす必要がある。その結果、ギガbps以上の高速通信ではメモリカードとして必要なESD保護素子を搭載することが困難になり、人体との接触による静電気破壊に脅かされる。

② 本研究チームの達成目標。

本研究ではフラッシュメモリを用いたテラバイト容量のワイヤレスSSD (メモリカード) 及びホストシステムの研究を行う。書き換え回数やデータ保持時間の増加など使用に伴うメモリの信頼性の劣化、接触不良、動作中の電源遮断や水への接触(人的エラー)、人体との接触による静電気破壊(ESD)などのエラー要因にディペンダブルな回路システムの開発を目標とする。1mm程度の通信距離の短距離無線通信・給電により有線通信(SATA・PCIe)並みの10~50Gbpsの実現を目指す。

③ 本研究の特徴

本研究では、本研究を遂行する上で必須の関連技術を世界に先駆けて開発し、当該分野で世界をリードした産学の力を結集する。また大学の研究メンバー全員が企業での豊富な研究経験を有し、出口企業との連携、メモリ・通信・給電の異なる分野の間での協力など、実用化を強く意識した問題意識や研究スタイルを共有している。

④ 研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本研究では、メモリシステム(竹内)、無線通信回路(黒田)、無線給電回路(石黒)を専門とする3名の研究者で構成される垂直統合型の研究チームを編成し、緊密な連携を保ちつつ、「高信頼メモリホストシステム」、「適応制御ワイヤレス給電・通信」、「高QoS(Quality of Service)メモリ・通信統合システム」の研究を行う。以下に研究グループの分担・協力関係を記載する。

① 「竹内」グループ(研究代表者グループ)

研究1「高信頼メモリシステム」でメモリシステムのエラーを抑制する高信頼誤り訂正・データ変調システムの研究を行う。また研究2「適応制御ワイヤレス給電・通信システム」、研究3「高QoSメモリ・通信システム」では石黒・黒田と協力し、適応制御型の電力制御システム等の高いディペンダビ

リティを有するシステムの研究を行う。

② 「黒田」グループ

研究 2「適応制御ワイヤレス給電・通信システム」では、近接場通信を用いたデータ通信を研究する。データ転送速度の向上を見越して、将来の様々な規格にも対応できるよう超広帯域の伝送方式を研究する。また、本アプリケーションでは、ワイヤレス通信とワイヤレス給電を同時に行う必要があるため、石黒と協力して電力伝送チャンネルからの干渉を低減するための研究を行う。研究 3「高 QoS メモリ・通信システム」では、竹内・石黒と協力して電源をカード側とホスト側で適応制御して精緻にするシステムの研究を行う

③ 「石黒」グループ

研究 2「適応制御ワイヤレス給電・通信システム」では主に給電システムを担当する。メモリカードという限られたサイズの中で、非接触でワットクラスの電力を伝送するためのコンパクトで高効率な伝送技術を開発する。また、データ・電力同時伝送時における通信の信頼性を確保するために、黒田と協力して電力チャンネルからデータチャンネルへの干渉を減らすための技術を研究する。研究 3「高 QoS メモリ・通信システム」では、竹内・黒田と協力して機器内外の回路の誤動作を防ぐための EMI を抑制するための電力伝送技術を開発する。

2) 領域外部の企業等との連携

メモリシステムの研究は東芝やシグリードなどの出口企業と密接に連携して行われており、本研究で開発した高信頼メモリシステム技術は東芝の SSD コントローラーやシグリードの高信頼 SSD の開発に反映され、順次製品の中に取り込まれている。

非接触コネクタの研究では、ジャパンディスプレイ、東芝、ソニー、日本圧着端子製造、デンソー、矢崎総業、JAXA、NEC 東芝スペースシステム、三菱電機、ホシデンなどと情報意見交換をしながら、技術移管・実用化への道筋を描いている。汎用品による非接触コネクタ評価ツールを構築し、矢崎総業、JAXA、ホシデンが導入し評価を進めている。ホシデンと JAXA が評価ツールを用い、本技術を活用した応用製品の開発を進めている。

3) 領域内他研究チームとの連携関係

(2)新たに追加・修正など変更した研究構想、発展テーマ

① 中間評価で受けた指摘や助言、それを踏まえて対応した結果について

中間評価時点で当初予定よりも半年～1年程度研究が加速していること、ストレージ・クラス・メモリの進化、クラウド化やワイヤレスコネクタの重要性の増加などの外部環境の変化に対応して、当初計画を加速して達成すると同時に以下の発展テーマを推進することになった。

- 1) メモリシステムの研究：ReRAM などのストレージ・クラス・メモリも含んだハイブリッドストレージのディペンダビリティの向上と、クラウド化を狙ったより一層のシステム化
- 2) ワイヤレス通信・給電システム：SSDに限らずより幅広い用途を狙った非接触コネクタの研究
- 3) メモリシステム、ワイヤレス通信・給電システムを統合したデモシステムの開発

② 中間報告書 § 6. 今後の研究の進め方、および研究成果の見通しの記載事項に関し、研究を進めた結果について

当初計画の目標は達成した上で、液晶ディスプレイ・メモリテスト・車載用など幅広い用途に利用できる非接触コネクタの開発、フラッシュメモリの特徴を活かした RAID ストレージなど、当初の予定以上の成果が得られている。

③ 上記①②以外で生まれた新たな展開について

フラッシュメモリの大容量化により、当初想定していたモバイル市場に留まらず、データセンタや企業のサーバストレージに SSD が使用されるようになって来た。そのため、書き換え回数が極度に多いという特徴を持つ企業向けストレージや、データ保持時間が極めて長い必要がある長期にデータ保存するアーカイブといった、当初は想定されていないアプリケーションに向けた誤り訂正システムの研究を着手することになった。

§ 3 研究実施体制

(1) 研究チームの体制について

①「竹内」グループ

研究参加者

	氏名	所属	役職	参加時期
○	竹内 健	中央大学 理工学部	教授	H21.10～H27.3

研究項目

・メモリシステム

②「黒田」グループ

研究参加者

	氏名	所属	役職	参加時期
○	黒田 忠広	慶應義塾大学 理工学部	教授	H21.10～H27.3

研究項目

・通信システム

③「石黒」グループ

研究参加者

	氏名	所属	役職	参加時期
○	石黒仁揮	慶應義塾大学 理工学部	教授	H21.10～H27.3

研究項目

・給電システム

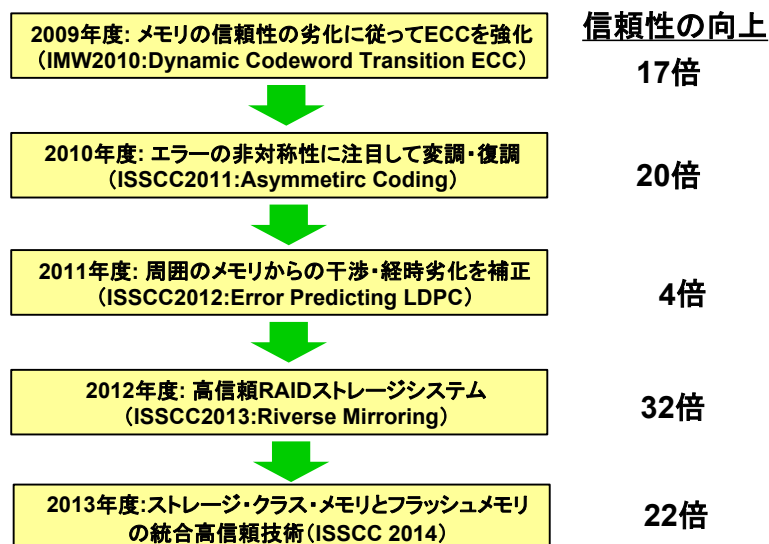
§ 4 研究実施内容及び成果

4. 1 高信頼 SSD コントローラーシステム(代表者グループ)

① 実施方法・実施内容

竹内グループではメモリシステムの不良を救済する、高信頼メモリシステムの研究を行ってきた。微細化により劣化するメモリに対して高いディペンダビリティを確保するため、表1に示すように、誤り訂正システムを高度に進化させてきた。また、誤り訂正を行うレイヤも、SSD コントローラーから RAID システムと進化させてきた。表1中、17倍、20倍等の数字は各技術の信頼性向上で、開発した技術を全て組み合わせることで1000倍以上の信頼性の向上を実現した。また、研究対象をフラッシュメモリから ReRAM などのストレージ・クラス・メモリに発展させた(2013年度)。更に、2014年度は企業向けサーバストレージ、長期保存のアーカイブメモリとアプリケーションの対象をより一層広げた。以下で、各年度の研究の詳細を記す。

表1. 高信頼メモリシステムの進化



2009年度は Dynamic Codeword Transition ECC Scheme という新しい誤り訂正システムを提案した。従来の SSD では、信頼性・性能・消費電力などに関してワーストケースを考慮した設計を行っていた。NAND フラッシュは使用するに従って(書き換え回数が増加するに従って)、信頼性が悪化していくデバイスであり、製品のライフエンドの最も信頼性が悪い状態(ワーストケース)を想定した強力な ECC を採用すると、製品の全てのライフサイクルを通じて、誤り訂正回路の消費電力の増大、速度の劣化の問題がある。提案する Dynamic Codeword Transition ECC Scheme では、ECC のコード長を最適に調整することで、消費電力の増大・性能劣化を最小限に抑制しつつ、高い信頼性を確保する。アダプティブに SSD の誤り訂正システムの救済効率を上げることで、従来の ECC のコード長を固定した場合に比べて、誤り救済効率を 17 倍向上させることに成功した。この研究成果について、International Memory Workshop 2010 で発表を行った。

2010 年度は、メモリに書き込むデータに変調を掛けることで、エラーを削減する Asymmetric Coding を提案した。まず、メモリシステムのエラーを詳細に評価・解析し、図 1 に示すようにメモリの微細化が一代進むことに、メモリのエラーが 5~数 10 倍増加することを明らかにした。

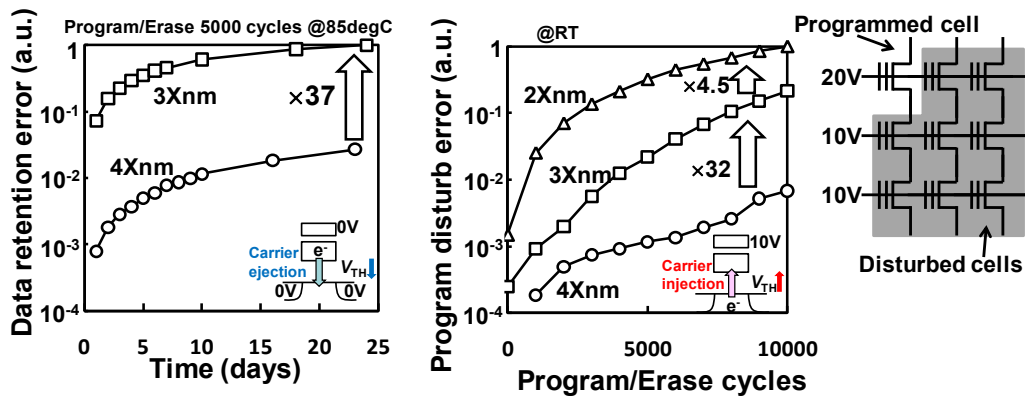


図 1. NAND フラッシュメモリのデータ保持及び書き込みディスタージブのエラーパターン

また、メモリのエラーパターンには顕著な非対称性が存在する事を明らかにした。図 3 にメモリのエラーパターンを示す。データ保持不良はメモリセルのフローティングゲートの電荷がゲート酸化膜を通じて基板にリークすることにより生じるため、しきい値電圧が低下する不良である。しきい値電圧が高いほどゲート酸化膜に印加される電界が強まる。その結果、フローティングゲートからチャンネルへのリーク電流が大きくなり、エラーの発生確率が高くなる。

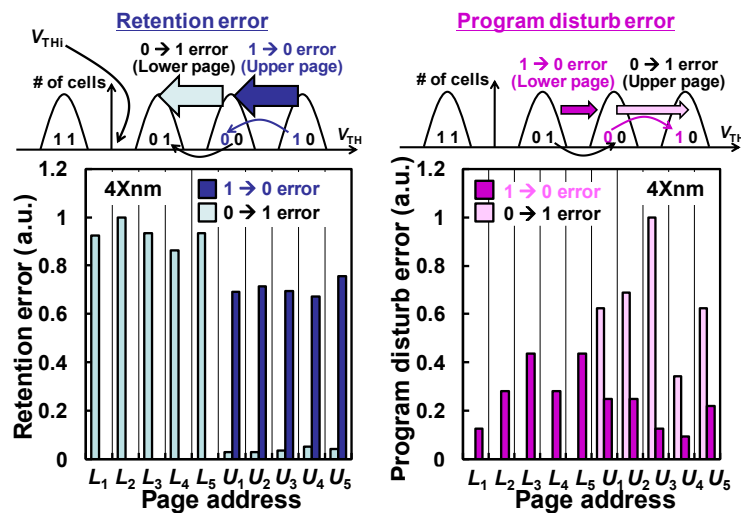


図 2. NAND フラッシュメモリのデータ保持及び書き込みディスタージブのエラーパターン

一方、書き込みディスタージブ不良は、書き込み非選択のメモリセルのチャンネルで発生するホットエレクトロンがフローティングゲートに注入することで生じるため、しきい値電圧が高くなる不良である。データ保持不良・プログラムディスタージブ不良ともに、図 2 の実測結果のように、エラーの顕著なパターンを生じる。データ保持では、Lower Page (下位

のページアドレス)では「0」から「1」が主要な不良であり、Upper Page (上位のページアドレス)では「1」から「0」が主要な不良である。

本研究では、メモリのエラーに非対称性があることに着目し、メモリに書き込むデータに変調を掛けることで、記憶するデータ中に、「0」または「1」の数を増やす Asymmetric Coding を提案した。図3に示すように、SSDの実機を用いた実測を行い、提案手法により95%不良を削減できることを実証した。本研究成果を纏めた論文をISSCC 2011にて発表を行った。

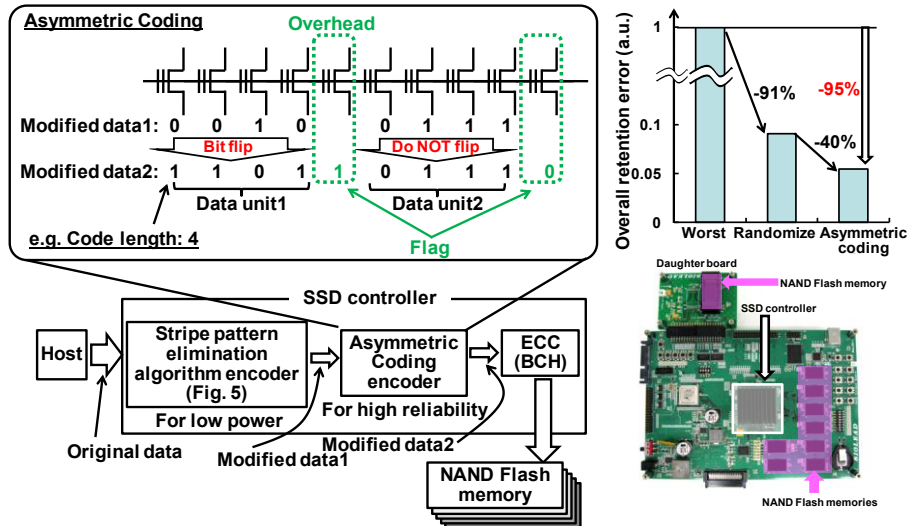


図3. 提案する Asymmetric Coding

2011年度は、メモリセルの間の干渉効果を抑制することで、メモリの寿命を10倍伸ばすことができるエラー予測LDPCを開発した。図4にECC方式の比較を示す。微細化が進みメモリセルの大きさが20ナノメートル以下になると、メモリセルの間の容量結合に起因する干渉が大きくなり、従来のBCH ECC(図4(a))では誤りを訂正できなくなる。一方、従来のLDPC ECC(図4(b))では高い誤り訂正能力がある一方、読み出しが7-9倍増加遅くなる問題がある。

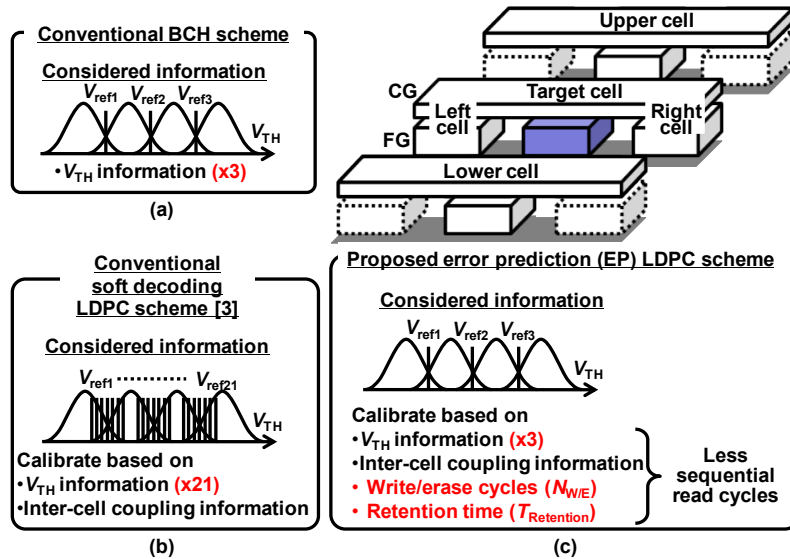


図4. (a)従来の BCH ECC、(b)従来の LDPC ECC、(c)提案するエラー予測 LDPC

高速なアクセスと高い信頼性を両立するため、本研究では、周囲のメモリセルのデータからメモリセル間の干渉を予測して、補正を行うエラー予測LDPC(図4(c))を提案した。図5に本研究が提

案するLDPCアーキテクチャを示す。合わせて、エラー予測を行うためのデータ保持時間を推測するシステムも開発した。書き換え回数とデータ保持時間から、メモリの不良のパターンを予測することで、従来では救済不可能な誤りを訂正することを可能にした。

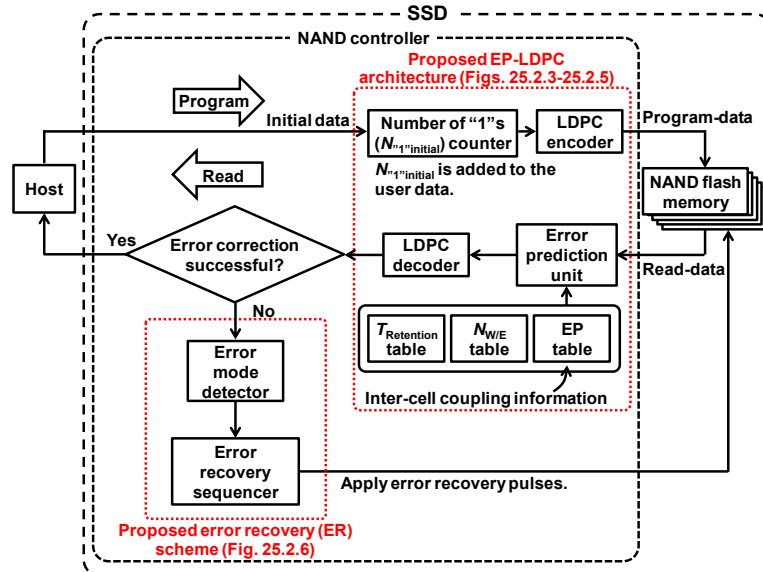


図5. 提案するエラー予測 LDPC とエラーリカバリー方式の構成

更に、書き換え回数が増加するに従って、メモリセルのゲート酸化膜や、フローティングゲートとゲートとの層間膜で電子がトラップ・デトラップされ、しきい値がシフトする問題に対して、一時的にエラーを回復するエラーリカバリー方式も開発した。ゲートに5V程度のストレスを印加することで、ゲート酸化膜や層間膜中にトラップされた電子を除去し、不良となったメモリセルを一時的に回復させる。回復後に、メモリのデータをコントローラに読み出し、高い信頼性のメモリ領域にデータを退避することで、システムレベルでメモリエラーの回復をはかった。

以上の提案したアーキテクチャの有効性を30ナノメートル世代のNANDフラッシュメモリを搭載したSSDを用いて実証した。図6に提案手法と従来手法の比較を示す。エラー予測LDPCにより、従来に比べて10倍寿命が長い高い信頼性と高速なアクセスを実現した。また、エラーリカバリー方式により、書き込みディスタ urbのエラーを76%、データ保持のエラーを56%回復することに成功した。本研究成果を纏めた論文をISSCC 2012にて発表を行った。

	Conventional BCH	Conventional LDPC (Soft decoding)	Proposed EP-LDPC
Considered information	V_{TH}	V_{TH} Inter-cell coupling [4]	V_{TH} Inter-cell coupling W/E cycles Retention time
Read reference voltage number	3	21 [3]	3
Sequential read cycles	x1	x7	x1
Gate count of ECC circuits in the controller	x1	x2 [7]	x2
SSD lifetime @ 85 degC (W/E cycles: 8k)	4 days	-	45 days (>x10)
Acceptable BER	1.3%	-	4.8% (x3.7)
Acceptable W/E cycles	5k	-	8k (x1.6)

	Conventional SSD	Proposed SSD
Program disturb error recovery	None	PDRP (-76%)
Data retention error recovery	None	DRRP (-56%)

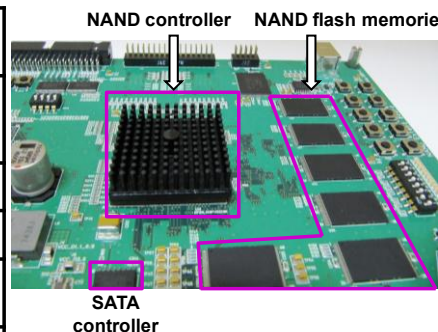


図6. 提案するエラー予測 LDPC とエラーリカバリー方式の特性

2012 年度はよりシステム化を進め、SSD に最適な RAID システムを開発した。図7に提案する RAID システムを示す。NAND フラッシュメモリと ReRAM で構成されるストレージを、統合コントローラーで制御を行う。統合コントローラーは、SSD コントローラーと RAID コントローラーの両方の役割を果たし、ストレージ全体で最も高いディペンダビリティを実現するよう、最適なデータ制御を行う。

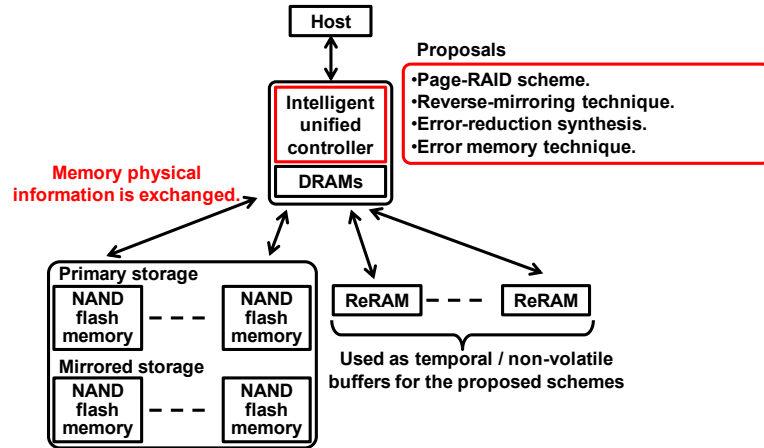


図7. 提案する RAID システム

図8に提案する Reverse Mirroring システムを示す。フラッシュメモリのエラーは“1”から“0”に変わるエラーと“0”から“1”に変わるエラーの頻度が異なる。RAID1 (ミラーリング) システムにおいて、プライマリストレージとセカンダリストレージで反転したデータを記憶することで、メモリの不良率を 28% 低減することに成功した。

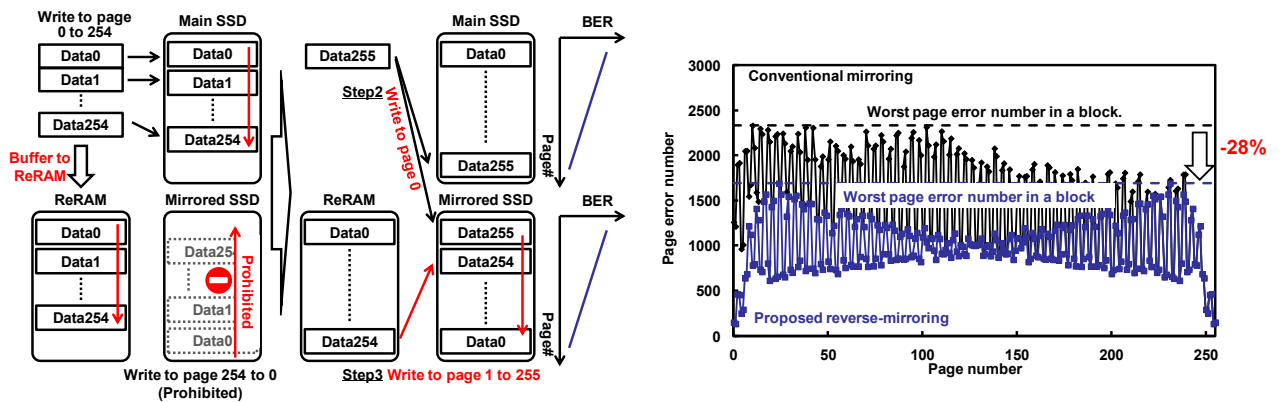


図8. 提案する Reverse-Mirroring システム

更に、本研究では Page-based RAID を開発中である。ドライブ (ディスク) の単位で壊れることが多い HDD と異なり、フラッシュメモリがエラーを発生する単位は、8~16KByte のページである。提案する RAID では、パリティを高速なストレージクラスメモリに格納することで、アクセス時間の遅延なく、信頼性を 45% 向上することに成功した (図9)。以上の研究成果をまとめて、ISSCC 2013 で論文を発表した。

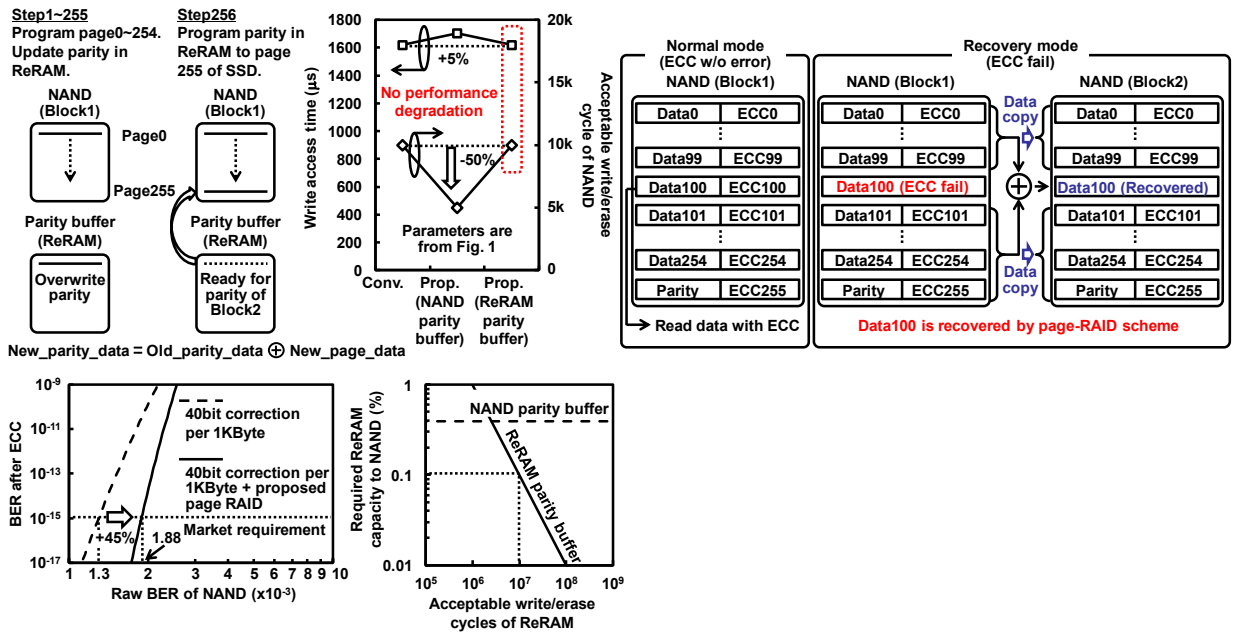


図9. 提案する Page-based RAID

2013年度は ReRAM・フラッシュメモリの統合高信頼システムを提案し、ReRAM のフィラメントが書き換えに応じて動的に変化することを追従するため、1) メモリを読み出す際のしきい値抵抗値を書き換えに応じて動的に変化させる、2) 書き換え回数が少ない時にはリセット状態を増やす変調を掛け、書き換え回数が増えるとセット状態の数を増やす変調を掛けることで、メモリセルのエラーを 84%低減することに成功した (図10)。

さらに、1つのメモリーセルに3ビット記憶するTLC (Triple Level Cell) フラッシュメモリに対しても、メモリーセルに書き換えが行われメモリが疲労するに従って、記憶するデータ量を3ビットから2ビット、1ビットと変化させる手法を開発し、フラッシュメモリの寿命を2.2倍長くすることにも成功した。以上の研究成果をまとめて、ISSCC 2014 で論文を発表した。

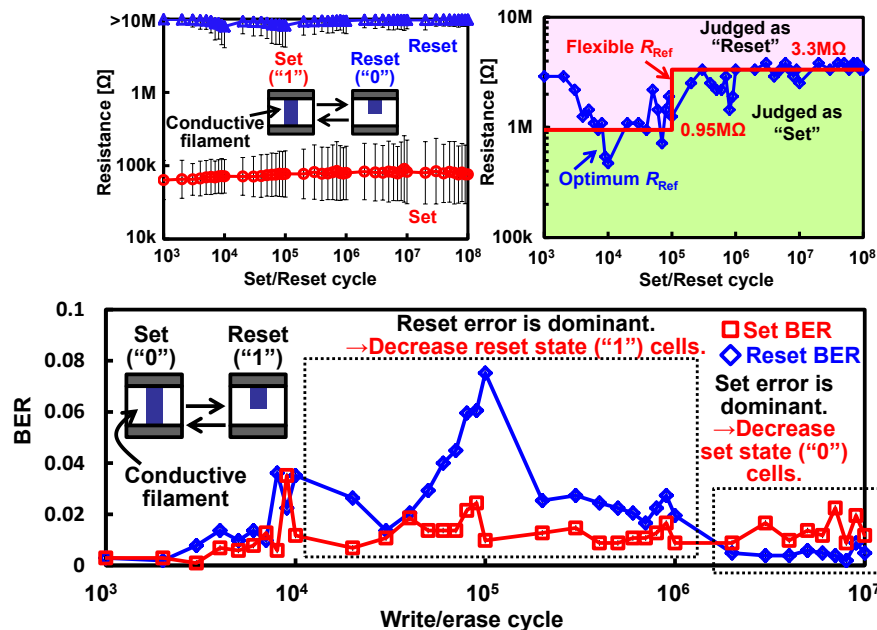


図10. 提案する ReRAM の高信頼化技術

2014 年度は本研究で培った SSD を高信頼化する誤り訂正技術を長期保存メモリに向けて発展させ、IEEE Symposium on VLSI Circuits にて SSD で 100 年以上の長期保存を実現する高信頼技術を世界で先駆けて発表した。

SSD の記憶媒体であるフラッシュメモリは HDD や光ディスク、磁気テープなどの記憶媒体と比べて、高速、低電力という利点があるものの、メモリセルに蓄えた電子がリークすることで記憶したデータが失われ、エラーが発生するという問題がある。SSD の寿命は数年程度に限られるため、SSD の用途は携帯端末やパソコンなどに限られていた。また、急増する音楽、画像、文書などのデジタルデータを 100 年、1000 年という長期にわたって保存するストレージの技術は確立されていない。

本研究では、長期保存のメモリを目指して大容量の 3 ビット記憶のフラッシュメモリに対して、7 個の状態を効率的に使用することにより、低価格・大容量と高信頼性を両立した。長期保存に向けて 3 ビット (8 値) セルのうち、7 個の状態に記憶する手法 (nLC セル方式) を提案した (図 1 1)。図 1 1 ではコントローラーが外部から入力するデジタルのデータを 7 進数に変換し、メモリセルの 7 つの状態に書き込む。本技術により、メモリのエラーを 80% 低減し、100 年、1000 年といった長期の記憶に対する可能性を示した (図 1 2)。更に、企業向けサーバーのような、ストレージのデータを頻繁に書き換える応用製品に対しては、書き換え回数やデータを保持する時間に応じて最適な変調方法を選択する、適応制御型の信号変調方法を提案し、メモリのエラーを 50% 削減することに成功した。

最後に、サーバー向けに高速、高信頼を両立するメモリの誤り訂正技術を開発し、2015 年の ISSCC で発表するとともに、ISSCC の Silkroad Award を受賞した。

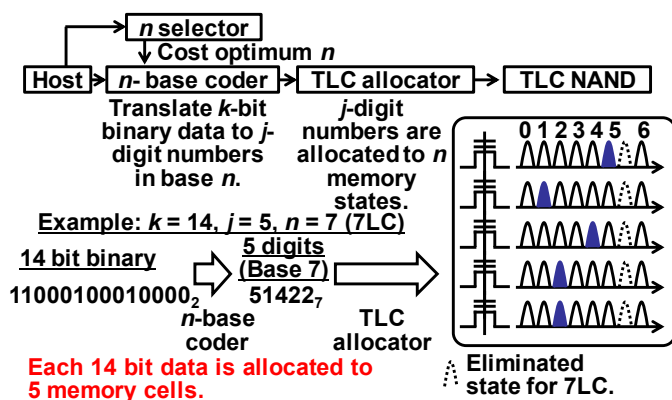


図 1 1. 長期保存メモリ向け nLC 技術

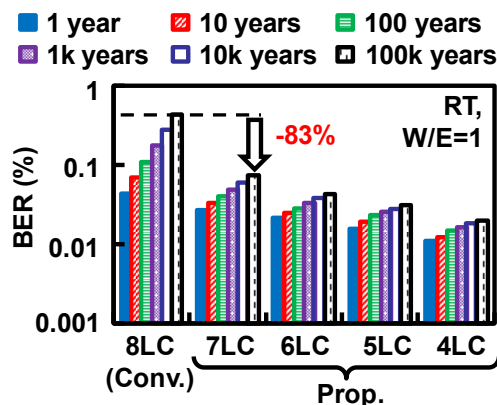


図 1 2. 提案技術の不良率 (BER) 低減
室温、書き換え回数 1 回

② 創造性

本研究で提案している信頼性向上の手法の独創性は学会でも高く評価され、当該分野のトップ学会である ISSCC、Symposium on VLSI Circuits 等に多数の論文が採択されている。

③ 有用性

本研究は SSD の実機で有用性の検証を行っている。信頼性の向上を実際のメモリを測定することで提案手法の有効性を実証した。

④ 優位比較

本研究では、誤り訂正符号の最適化、RAID などのシステムレベルでの最適化、長期保存メモリや企業向けサーバーなど用途に向けた最適など、多面的なアプローチで高信頼技術を確立することで、従来にない高い信頼性も持つ SSD システムを提案している。単に高いディペンダビリティを確保するだけでなく、コスト、アクセス時間、高信頼性を両立している。研究成果が世界トップレ

ベルの技術であることは、当該分野のトップ学会である ISSCC、Symposium on VLSI Circuits に当該分野で最も多くの論文を発表していることからわかる。

4.2 非接触コネクタ(慶應義塾大学 黒田グループ)

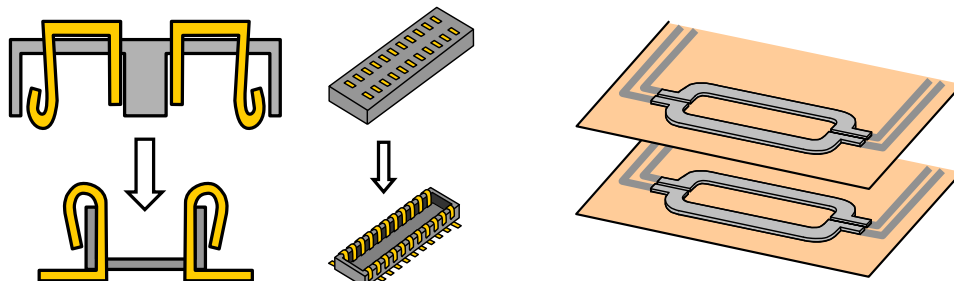
(1)研究実施内容及び成果

① 実施方法・実施内容

黒田グループでは、コネクタの電極をバネで圧着する機械的構造に起因する通信の低信頼性を解消するため、近接場電磁界を用いた非接触コネクタの研究を行ってきた。図13に従来の機械式コネクタの課題と、非接触コネクタの特長をまとめる。

従来の機械式コネクタでは電極同士を接触させて通信を行うため、信頼性に大きな課題があった。たとえば振動や衝撃が加わると、電極同士が瞬間的に離れ通信不良を起こす瞬断が起きる。また電極が露出しているため、水分による腐食や挿抜による電極の摩耗・破損が避けられない。電極部分はインピーダンス整合が難しく、信号が反射してしまうので信号を高速化できない。加えてコネクタを小型化し狭ピッチに信号電極を配置すると、電極間で信号漏洩が起き信号伝送品質を悪化させる。コネクタの電極を保護し安定して接触させるためバネ構造を持った大きなハウジングが必要だが、大きな実装面積が必要となり携帯機器の小型化を阻害している。

伝送線路型結合器を用いた非接触コネクタは近接場の電磁界を介して信号を送る。そのため機械式構造が不要であり、通信の信頼性を大きく高めることができる。振動により嵌合面がぐらついて通信に影響はない。電極が露出しないため、挿抜による摩耗や破損、環境変化による腐食がない。インピーダンスの整合がとれ広帯域特性を有するため、高速な信号を送ることができる。実装は電極を基板配線パターンで形成するだけでよいので、低コストに実装できる。ハウジングが要らないので小型化、軽量化に向く。



従来の機械式コネクタ
機械的なバネ構造により接続

- 低信頼 (瞬断、ESD、耐水性)
- 劣悪な信号環境 (信号反射、漏洩)
- 高コスト
- 重厚、実装難

非接触コネクタ
近接場電磁界により結合

- + 非接触 (高耐震、ESDなし、高耐水)
- + 良好な信号環境 (インピーダンス制御)
- + 実装コストなし (パターン形成のみ)
- + サイズ小、軽量

図13. 機械式コネクタと非接触コネクタ

伝送線路型結合器を用いた非接触コネクタを2011年に発表して以降、様々なアプリケーションに応用し顕著な効果が得られることを確認してきた。図14にこれまで開発した非接触コネクタの要素技術とアプリケーションをまとめる。いずれの研究成果も世界最高峰の国際学会である IEEE ISSCC にて発表を行い、高い評価を得ている。

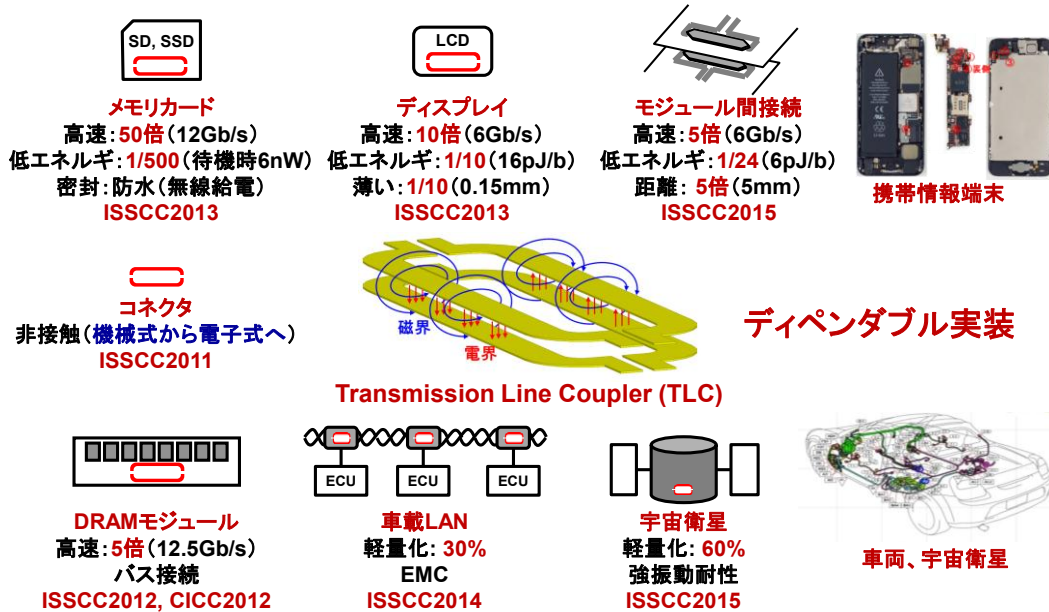


図 1 4. 非接触コネクタのアプリケーション

2010 年度では伝送線路型結合器(Transmission Line Coupler: TLC)という新しい近接場電磁界の結合器を提案し、シミュレーションと実機による原理検証を行った。従来の近接無線通信にはコイルによる磁界結合が用いられてきた。コイルの大きさは通信距離の 3 倍程度にする必要があるが、同時に寄生容量が増え通信帯域が狭くなる。そのため通信距離 1mm にすると最高 1.2Gb/s の通信速度しか得られていない。一方 TLC は通信距離によらず広い帯域を確保できる(図15)。帯域は結合器の線路長の上に依存し、通信距離は結合器の電極幅の上に依存するためだ。この特長を活かし、1mm の通信距離で従来の 5 倍高速な 12Gb/s の非接触インタフェースを開発した(図16)。TLC は低域遮断特性を有し、1GHz 以下の信号を遮断する。そのため通常無線給電で使用される 13.56MHz 帯と干渉しない。無線給電のコイルと TLC を並列に配置しても互いに干渉せず、信号波形に劣化は見られなかった。得られた成果は IEEE ISSCC 2011 で発表した。

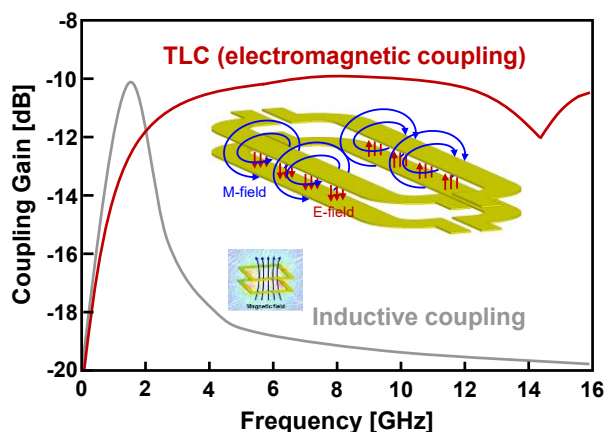


図15. 伝送線路型結合器 (TLC)

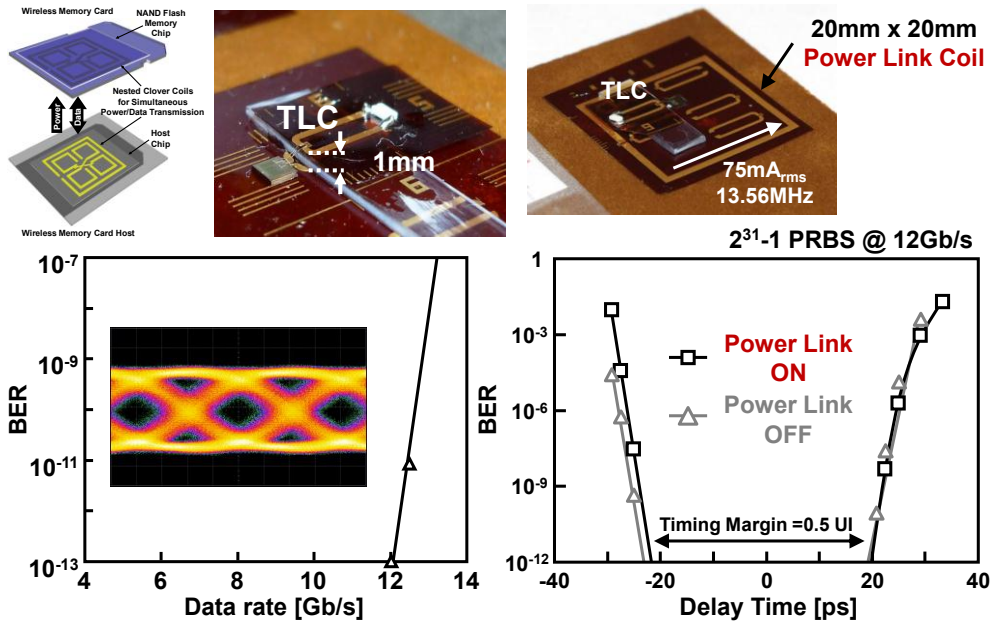


図16. 1mmの通信距離で12Gb/sを達成

2011年度にはメモリ容量の拡張に対応できるようにするため、多数のメモリモジュールの接続を可能とする非接触のマルチドロップバスを開発した。1本のバスで複数のメモリを接続できるようになると、実装面積の削減ができメモリの増設が容易になる。一方信号分岐を従来のコネクタで行うと、スタブが発生するため信号反射が起き、高速信号ほど波形が乱れ信号の信頼性が損なわれていた。そのため各メモリは専用の信号線で接続する必要があり、実装面積が増大しメモリ増設を難しくしていた。

そこで本研究ではTLCを用いた非接触のマルチドロップバスを開発した。TLCはインピーダンスの整合を保ったまま信号分岐ができるという特長がある。結合度を調節することで各モジュールに伝搬する信号エネルギーを等分配し、信号波形を整えた。その結果5モジュール接続時12.5Gb/sという、従来の2.5倍高速化を達成した(図17)。本成果は2012年のISSCC、CICCで発表した。

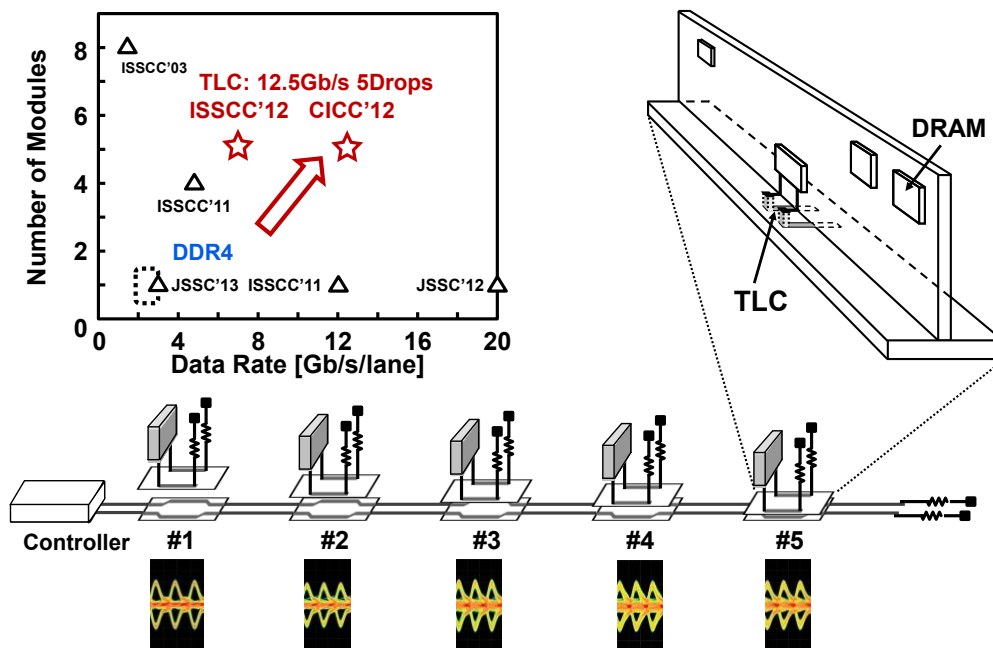


図17. 2.5倍高速な非接触マルチドロップバス

2012年度にはTLCを適用するアプリを広げるため、携帯機器への応用を提案した。従来のコネクタではハウジングがあるため小型化が難しい。小型化要求の高い携帯機器では問題となる。加えてコネクタ小型化のために電極を小さくすると、摩耗や振動に弱くなり壊れやすくなる。特にピン数の多いディスプレイとホスト基板を接続するコネクタは壊れやすく、挿抜回数が数回に制限されていた。また、電極が狭ピッチで配列されると電極同士が電氣的に結合し、信号が漏洩する。漏洩した信号はクロストークノイズと呼ばれ、信号の信頼性を損なう。

TLCはハウジングといった機械的機構が必要ない非接触のコネクタであり、電極も配線パターンで基板上に形成するだけでよい。従ってコネクタの厚さを最小限まで薄くすることができる。フレキシブル基板上に形成した非接触コネクタは、基板の厚さを含めても0.15mmであった。従来の1/6の厚さを実現した。TLCは入出力信号を区別できる方向性という特性を持っている。図18に示すように、Port1から入れた信号はPort3にしか伝搬せずPort4には現れない。この特長を活かし、1つの結合器で2つの別々の信号を送ることができる。面積効率を2倍に高めることができる。携帯機器用I/Fの標準規格であるMIPIの protocols に則って実際に動作する液晶ディスプレイのデモ機を開発した。これらの成果は2013年のISSCCにて発表、デモを行い、産業界から高い評価を集めた(図19)。

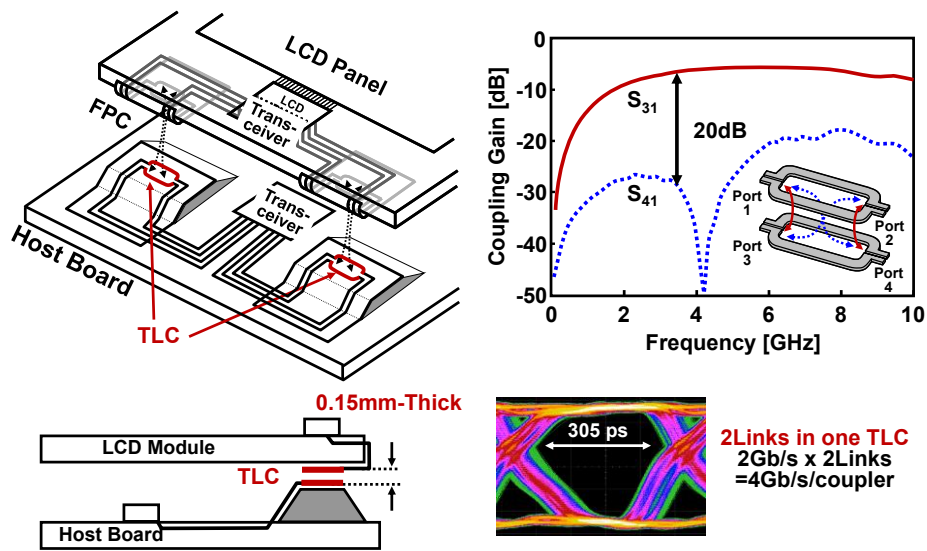


図18. 0.15mm厚非接触コネクタ

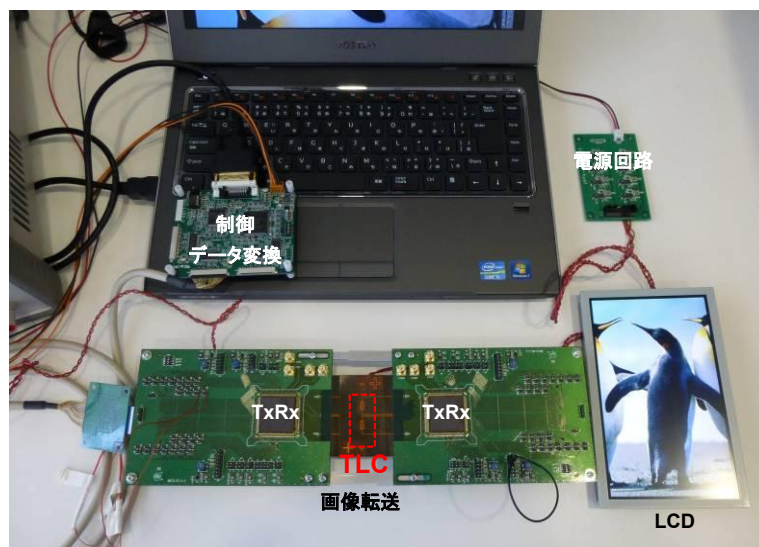


図19. 非接触コネクタの液晶モジュールデモ機

2013 年度には更にアプリケーションを広げ、車載ネットワークへの応用を目指した。自動車分野では自動運転、運転支援などで急速に電子化が進んでおり、扱う情報量も増大している。比例して搭載されるモジュール数は飛躍的に増大しており、モジュール間の通信速度も高速化が求められている。配線あたりのデータ転送速度を高速化できないと、配線本数が増え、配線重量が増大し、燃費効率が悪化してしまう。ところが、従来のコネクタでは、高速な信号の波形が歪むため、これ以上の高速化が困難であった。更に、振動による通信障害(瞬断)を防ぐためにコネクタには重厚な耐震機構が必要で、ジャンクションボックスに集約・固定されている。その結果、配線をそこまで延伸する必要があり、配線は冗長になり、重量増加を招いていた。

そこで本研究チームでは、TLC をツイストペアケーブルに応用したクリップ型電磁界コネクタを考案した(図20)。非接触なので振動により多少嵌合面が揺れても通信に影響はない。重厚長大な耐震機構が不要になり、コネクタを軽小短薄にできる。配線の被膜の上から(被膜を破らずに)クリップのように配線を挟むことで接続できるので、任意の場所で配線接続ができ、最短経路で配線できる。試算では、配線重量を30%削減できて、燃費を1.2%改善できる。また、インピーダンスを調整できて20倍に高速化できる。ノイズ耐性を確保するため前方エラー訂正技術と符号化変調技術を開発した。国際標準化機構(ISO)および国際無線障害特別委員会(CISPR)の定めるノイズ耐性・および不要ノイズ輻射に関する規格を満たした(図21)。本成果は2014年のISSCCで発表した。

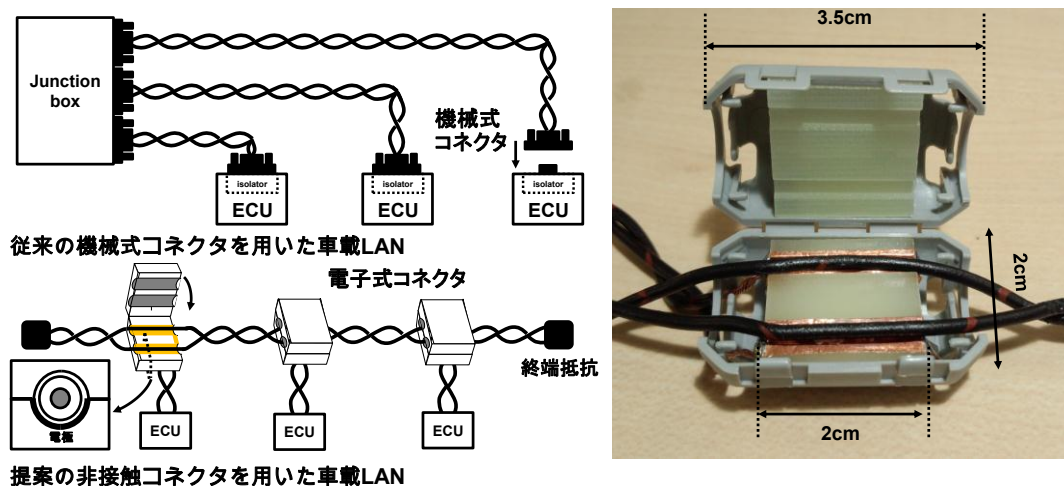


図20. 車載 LAN 用クリップ型電磁界コネクタ

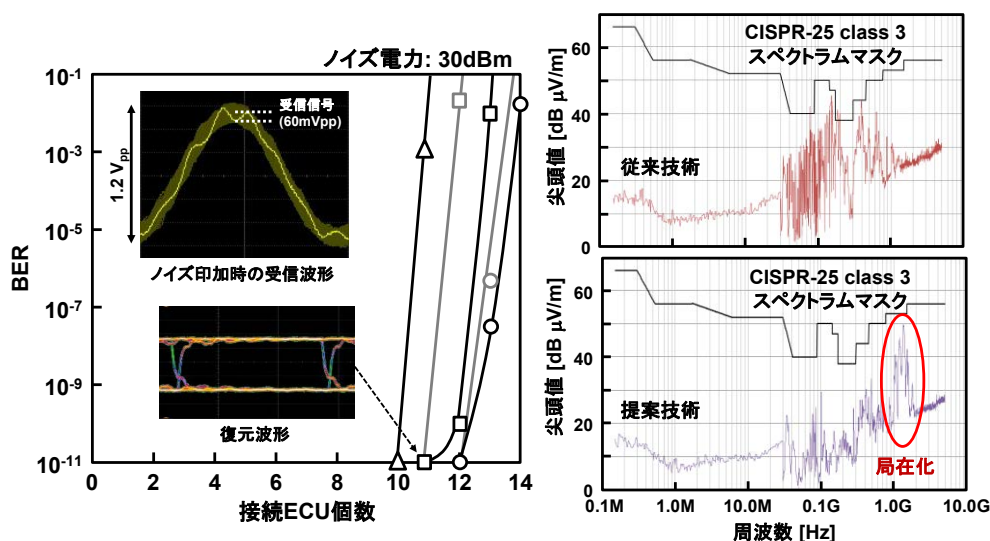


図21. 受信ノイズ耐性と不要ノイズ輻射の評価結果

2014年度には2つの研究を行った。1つは携帯機器への応用を想定したTLCの省面積化、長距離化である。モジュラスマートフォンには容量結合の非接触コネクタが使われている。電極の摩耗や破損を防ぐためである。一方容量結合では終端が難しいため高速化が望めない。我々の提案するTLCを用いると広帯域特性が得られるが、実装面積が問題となる。モジュラスマートフォンでは筐体越しに通信をする必要があり、3~5mm程度の通信距離が必要になる。TLCの大きさは同じ結合度を保つためには通信距離に比例して線幅を増大させる必要がある。これまで1mmの通信距離で大きさは2.5mm幅であったが、通信距離を5mmに延伸すると12.5mm程度の幅が必要となっていた。省面積化要求の高い携帯機器には問題となる。

そこで本研究チームでは、TLCの新しい形状を開発した。Two-fold TLC (T-TLC)である。従来のTLCでは差動信号線2本を平行配置していたが、T-TLCでは1本の信号線の両端から差動信号を印加する。電極が半分になり面積は1/5になる(図22、23)。加えて従来終端抵抗で捨てていた信号を結合に利用することができるため、結合度を9dB高くすることができ、より線幅を小さくできる。携帯機器には直近に大きなノイズ源(RF送信機)と、高感度のGPS受信機が存在する。ノイズ耐性と不要輻射の低減が課題である。実験では10mm離れたGPS受信機と干渉しないこと、2mm離れたLTE/Wifi送信機と干渉しないことを確認した。本研究成果は2015年のISSCCで発表する。

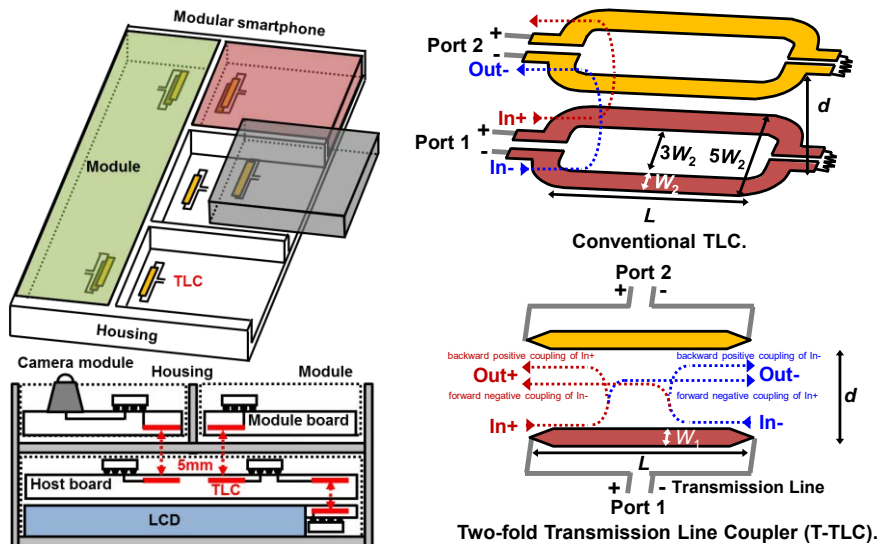
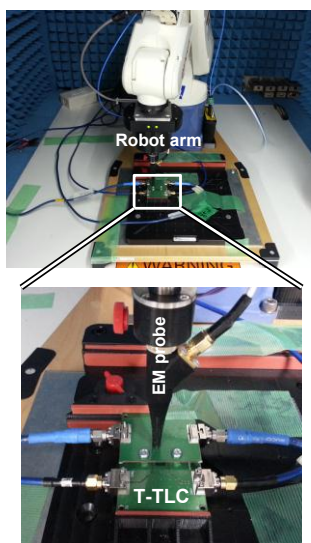
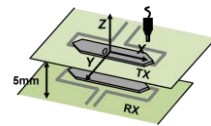
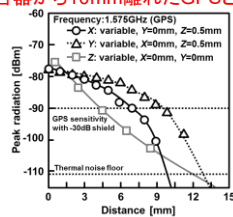


図22. モジュラススマートフォン用 TLC



1) EMI: Electromagnetic Interference
結合器から10mm離れたGPSと干渉なし



2) EMS: Electromagnetic Susceptibility
結合器から2mm離れたLTE/Wifi送信機から影響受けない。

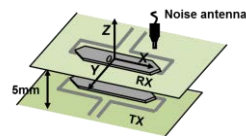
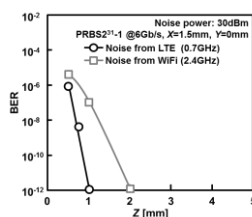


図23. EMC 耐性の評価結果

もう 1 つの研究は宇宙衛星への応用である。宇宙衛星の取り扱う情報量は増大を続けている。より詳細な観測データを得るため、レーダーやセンサーの高機能化が進んでいるためだ。情報処理装置も同時に高速化が求められているが、配線本数が増え装置は巨大化している。コネクタが律速しているためだ。車載同様、強い振動耐性を持ったコネクタは高速化が難しく、処理速度増大には配線本数を増やす必要がある。現状のコネクタで要求帯域を満たすためには 256 本の信号線が必要となり、1024 ピンの信号線が必要になる。その分、コネクタの体積は増大し、モジュール自体の実装面積も増大する。巨大な装置はシステムのデザインを制限し、重量を増大させ打ち上げコストを増大させてしまう。

そこで本研究チームでは非接触コネクタを用いた情報処理装置用バックプレーンバスと、メモリを高密度に実装できるメモリバスを開発した(図24)。複数のモジュールを 1 本のマルチドロップバスで接続できるため、信号線の本数を16分の 1 に削減できる。加えて厚さ方向にも薄くできるので、コネクタの体積を 1/246 に削減できる。結果としてモジュール 1 つあたりの大きさを削減でき、全体で 60%体積を削減できる。開発したバックプレーンバスで通信実験を行ったところ、6.5Gb/s/link を達成した。非接触コネクタは強い振動耐性を持つ。バックプレーンを模擬した非接触コネクタで実験したところ、一番揺れやすい小型衛星の打ち上げ時を想定した振動を印加しても、特性変動や通信エラーは確認されなかった。本研究成果は 2015 年の ISSCC で発表する。

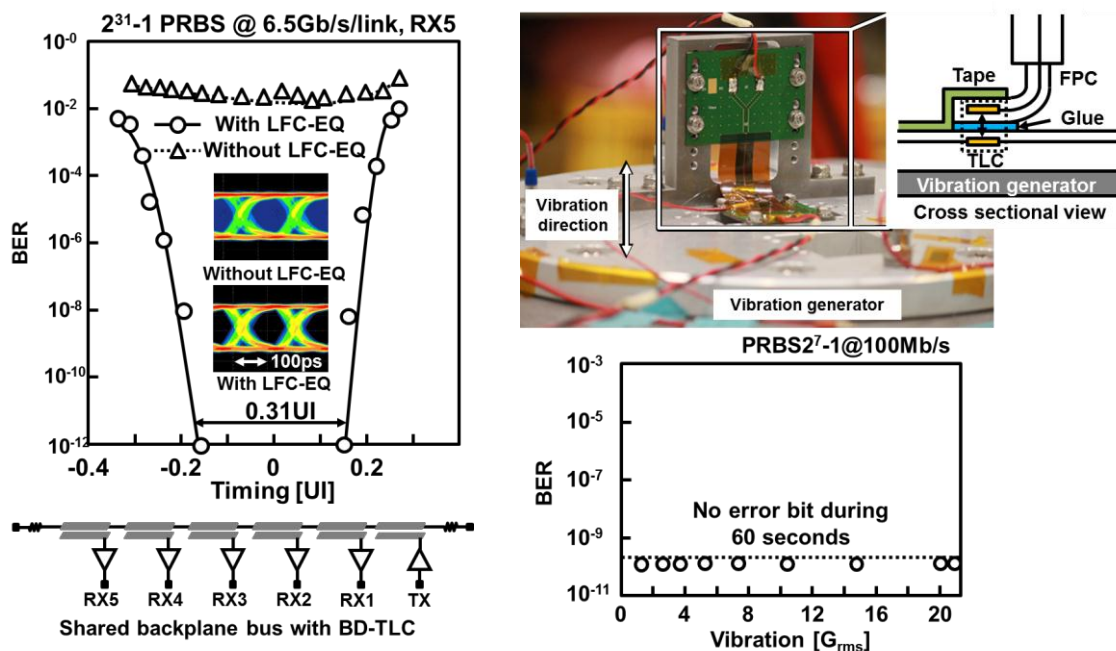


図24. 宇宙衛星用非接触コネクタの評価結果

② 創造性

本研究で提案している非接触コネクタの独創性は学会や産業界でも高く評価され、当該分野のトップ学会である ISSCC に 2011 年から 5 年連続で論文が採択され、計 6 本の発表を行った。エレクトロニクス全般を扱う専門誌「日経エレクトロニクス」を発行する日経 BP 社が主催した、2013 年度「NE ジャパン・ワイヤレス・テクノロジー・アワード」で 100 件を超える選考対象から本技術が最優秀賞に選ばれ、日経エレクトロニクス 2 号連続での特集記事が掲載された。以上からも本研究の独創性が世界的に認められていることがわかる。

③ 有用性

本研究は実機で評価しており、実使用環境を想定した評価を行って有用性の検証を行っている。CISPR や ISO といった信頼性に関わる規格、MIPI や LVDS といった標準インタフェース規格を満たすことを実機で検証した。

④ 優位比較

本研究では伝送線路型結合器 TLC という新しい結合器を開発し、他の近接無線通信と比較し 1 桁の高速化、低消費電力化を達成した。単に性能を追求しただけでなく、各アプリケーションの要求する電磁ノイズ耐性、電磁干渉、振動耐性を実機で評価した。研究成果が世界トップレベルであることは、当該分野トップ学会である ISSCC に 5 年連続で計 6 本採択され、日経 BP 社主催の「NE ジャパン・ワイヤレス・テクノロジー・アワード」で最優秀賞を受賞していることからわかる。

4. 3 高信頼無線給電(慶應義塾大学 石黒グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

石黒グループでは、バッテリーレスのアプリケーションで必要となる負荷変動に対する高速応答システムおよび不要輻射(EMI)を削減した非接触給電システムを開発してきた。搭載されるメモリの容量およびデータ伝送レートの上昇に伴い SSD の消費電力も増大すると考えられる。信頼性に大きな影響を与える熱の発生をすこしでも抑制するには、幅広い負荷変動の存在下において高い効率を維持するワイヤレス給電を実現しなければならない。

非接触給電技術の分野では、近年、「Qi (チー)」のような標準規格も策定され、その応用範囲が広がっている。これまでの非接触給電は、Qi のようにスマートフォン等のバッテリーに充電する用途、あるいは Suica 等 RFID 向けの非常に微小な電力(数 10 ミリワット程度)を供給する用途に限られていた。バッテリー充電用途ではワットクラスの電力を伝送するが、受電側の電力変動は遅く、高速な送信電力制御は不要であった。RFID 用途では伝送電力が小さいため、レギュレータを受電側に搭載することで、効率を犠牲にして受電側の電圧変動を抑えている。一方、本研究テーマが目指すワイヤレス SSD のような無線給電においては、カード側で急激な負荷変動が存在する状況においても高い電力伝送効率を保つための回路・システムを開発する必要がある。また、電力チャネルのデータチャネルへの干渉を軽減する技術が重要となる。

本テーマでは、図 2 5 に示す、大容量小型のメモリカード用の無線給電システムを実現するために、システムの小型化、負荷応答速度向上を図りやすい誘導結合を用いた MHz 帯のスイッチングを用いることとした。また、効率改善のために、図 2 6 に示すように、給電と昇圧を同時に行い、部品点数を可能な限り削減できる手法の考案および実証を行なった。

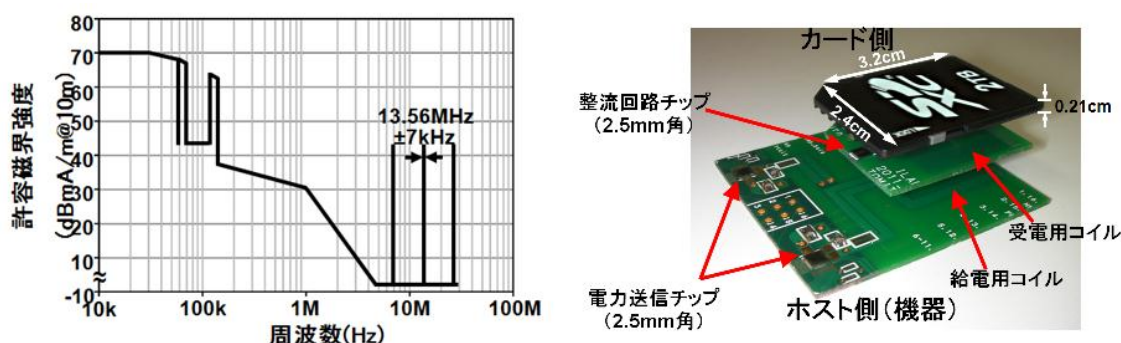


図25 ワイヤレス SSD 用の非接触電力伝送システム(コンセプト図)

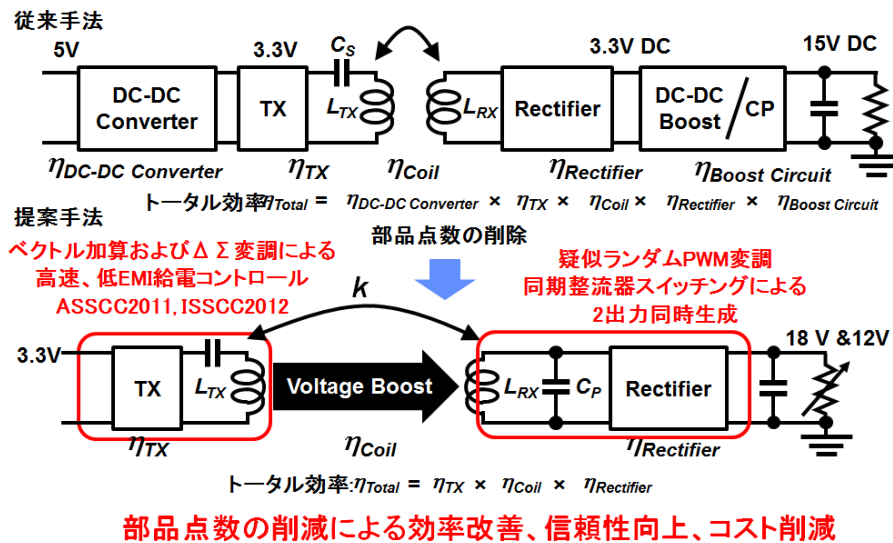


図26 本研究におけるワイヤレス SSD 用非接触電力伝送システム実現にむけたアプローチ

2009 年度は、電力受信側（2 次側）の整流後の電圧をモニターして、負荷変動により生じる電圧変動を検出して、データチャネルを介して電力送信側（ホスト側）にフィードバックして送信電力を調整する方式を考案した。送信電力の制御にはパルス数を変調する PDM を用いた（図 2 7, 2 8）。フィードバック制御システムの検証をメインとするため送信電力は小さいものの、シミュレーションレベルで 1 桁程度の負荷変動に対して一定の効率を達成できることを確認した。また、このチップではデータチャネルに差動コイルを用いることで、電力チャネルとデータチャネルの磁界直交を実現しチャネル間干渉を軽減する方式も考案して実装している。チップを用いた実証を行い、チップの測定を進めた。研究成果を Symposium on VLSI Circuits2010 にて発表した。また、負荷固定の状態で 1.5W の大電力を 70%の効率で送信するための回路およびボードを設計して試作を行った。無線電力伝送と同時に NAND の書き換えで必要となる 20V への昇圧を行なう。適応制御のための基礎データを取得するためにマッチング条件を変えた際の送信電力、効率の変動のデータをシミュレーションで取得し、無線給電ボードを用いた性能評価の準備を進めた。

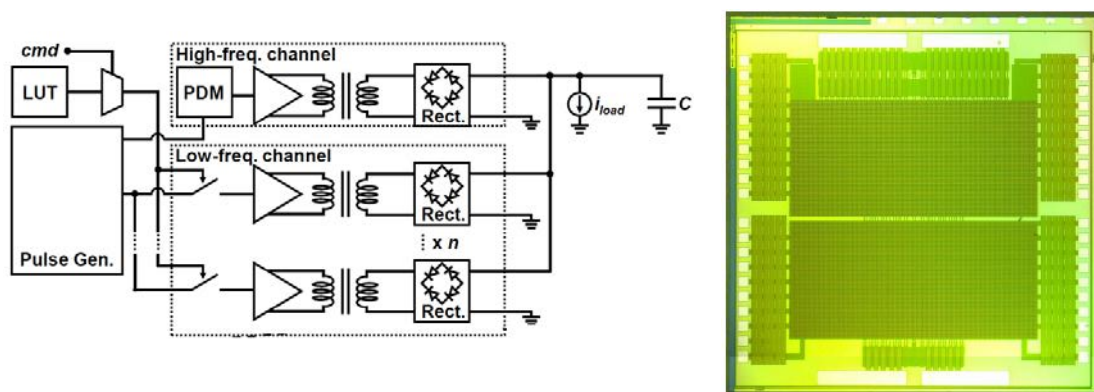


図 2 7 高速電力制御ワイヤレス給電システムのブロック図(左)と試作チップ写真(右)

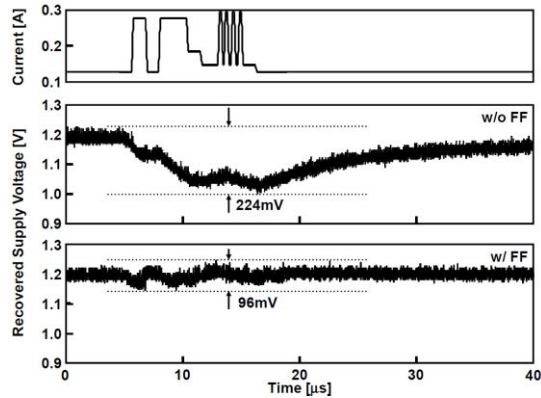


図 2 8 高速電力制御ワイヤレス給電システムの負荷側発生電圧の変動（右）。電力制御有りの場合(w/ FF)と無の場合(w/o FF)を比較。

2010 年度は、負荷の消費電力の変動に応じて、電力伝送チャンネル数やインピーダンスマッチングの調整により送信電力を制御することで、負荷変動が存在するなかで高効率な電力伝送を実現する手法を考案しテストシステムを試作した。試作システムの評価により、0.1W～0.5W の範囲で高速に負荷が変動した場合でも高い効率を維持し、負荷側の電圧を安定に保持できることを確認した。高速な電力制御をおこなうことで、負荷側 (SSD カード側) に不必要に高電圧、および熱の発生を抑制することができシステムの信頼性を改善することができる。

2011 年度は、システムのディペンダビリティを高めるために不要輻射 (EMI) の少ないワイヤレス電力伝送の方式を考案して給電システムを試作した (図 2 9)。前述のとおり受電側の電圧を一定に保つために、カードの動作状態 (読み出し/書き込み) に応じて、高速に大きく変動するカード側消費電力に追従して送信電力を高速に制御する必要がある。高速電力制御のためには、バッテリー充電の用途で通常よく使われる数 100kHz より高い周波数 (数 MHz～10 数 MHz) でのスイッチングが適しているが、その場合、使用可能な周波数が厳しく制限される。電力伝送チャンネルを複数使用して、それぞれのスイッチング信号の位相を調整することで磁場をベクトル的に合成し、固定周波数において電力制御することを可能とした。また、スイッチング周波数を共振周波数およびその分数調波の間で変調することで、高効率を維持しながら高速かつ不要輻射の少ない電力制御を可能とした。本提案方式により、無線データ伝送と同時に給電を行う場合でもデータチャンネルへの干渉の少ない給電が可能となる。図 3 0 のように、カード側の消費電力が数マイクロ秒以内に 1 桁変動した場合においても、受電側の最大電圧降下は 3% 程度に抑えられる (従来技術に対して 2 桁以上の高速化)。また、分数調波によるスイッチングを用いることで、不要輻射を 10dB 程度低減できることを実証した。

本研究成果の一部を纏めた論文を A-SSCC2011 および ISSCC 2012 にて発表し、また考案した技術を実装したデモシステム (図 3 1) を開発して Embedded Technology 2011 にて実演を行った。

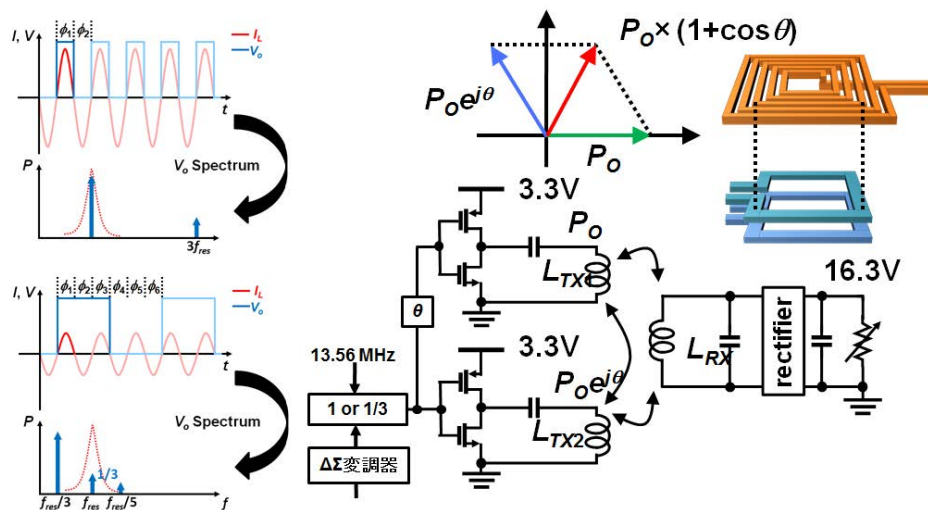


図29 ベクトル合成による高速送信電力制御と分数調波スイッチングを用いた低EMI電力伝送

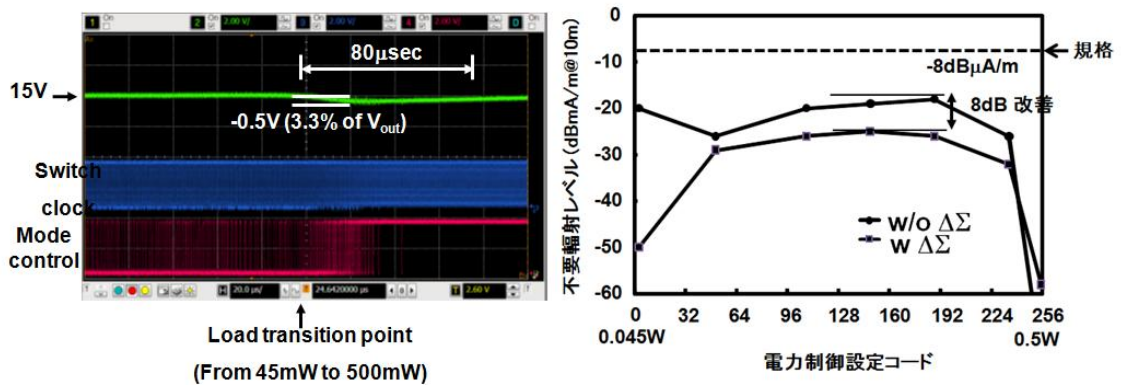


図30 消費電力変動時における受電側電圧変動と分数調波スイッチングによるEMI抑制

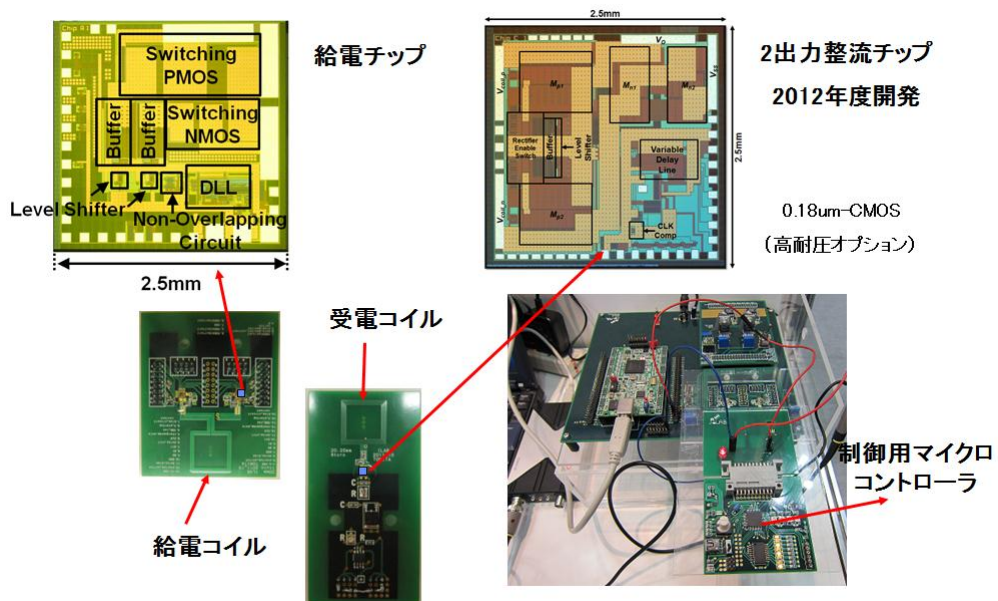


図31 高速負荷応答機能を実装した無線給電デモボード

2012年度および2013年度は、昨年度までに開発した給電システムのさらなる効率改善および給電能力の増強のための研究と並行して、受電側において1つのインダクタで2つの電圧を出力する無線給電方式の実現に向けた研究に取り組んでいる。NANDフラッシュメモリの中では複数の電圧が利用される。書き込み用の20V程度の高圧、program inhibitのための中間電圧、さらにインターフェース回路用の低圧等がある。従来は無線給電を行った後にチャージポンプ回路等で昇圧を行っていたが、電力効率が悪く熱の発生等によりディペンダビリティの観点から好ましくない。

近年、一つのインダクタで2つの電圧を出力するSingle-inductor-dual-output (SIDO)型のDC-DCコンバータが盛んに研究されており、無線給電システムの受電側整流回路の後にSIDO DC-DCコンバータを搭載すれば多出力が可能となるが、メモ리카ードのような小型システムではDC-DCコンバータ用のインダクタを追加で搭載するのは困難である。本研究では無線給電に用いる磁界結合コイル1つのみを用いて、多数の電圧を出力することを試みている。SIDO DC-DCコンバータと異なり、無線給電では効率改善のためにLC共振を用いており、インダクタの電圧は正弦波状となる。したがって、SIDO DC-DCコンバータのように連続的なPWMを用いて二つの出力に電力を振り分ける単純な方法では、電圧・電流の不連続変化が発生して、効率の低下および不要輻射(EMI)の増大につながる。

本研究では、受電側で二つの整流器に要求する電力をスイッチング信号に同期して振り分けることで、高効率を維持したまま低EMIで2つの出力を生成する方式を考案した(図3.2)。また、整流器の切り替えにおいて、電流経路に配置するMOSスイッチの数を減らすことで整流器の損失を削減できる手法を考案した。さらに、2入力2出力系における高速かつ安定なフィードバックループを実現する手法を考案した。

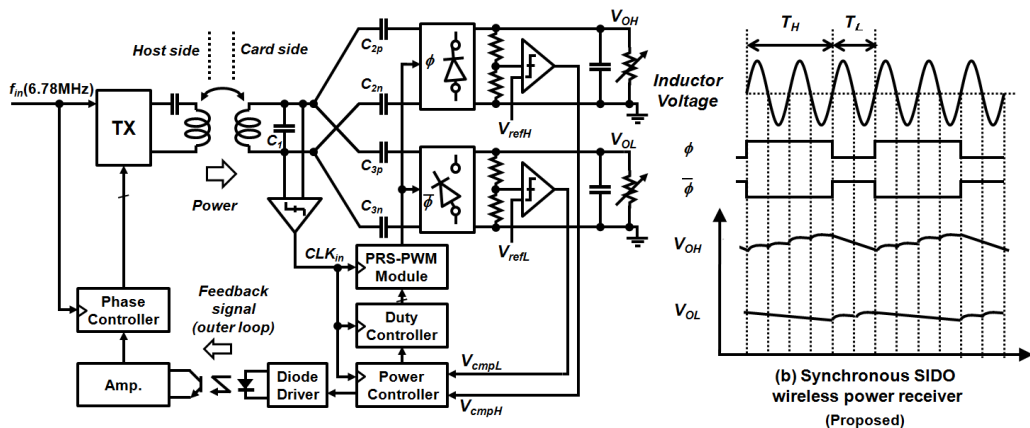


図 3.2 高速・高安定2電圧出力ワイヤレス給電システム

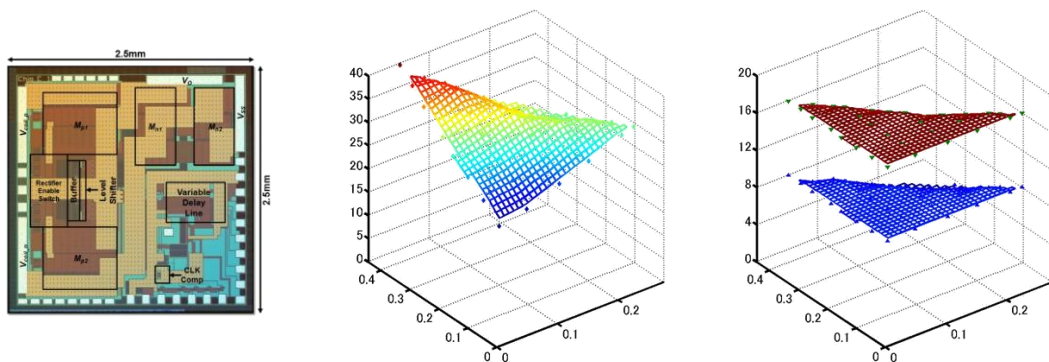


図 3.3 2電圧出力システムの試作チップと出力電圧レギュレーションの実測結果

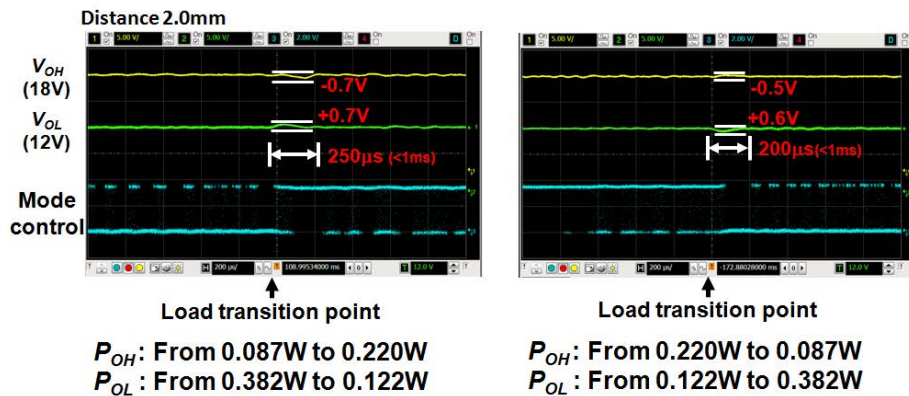


図 3 4 2 電圧出力システムの試作チップと負荷応答性能の実測結果

図 3 3 は実際に試作した Single-inductor-dual-output 型の無線給電システムのテストチップおよびレギュレーション性能の実測値である。幅広い負荷状態で出力電圧を一定状態が一定に保たれることを確認した。また図 3 4 に示すように 2 出力の負荷が変動した倍でも高速に追従できていることを確認した。以上の研究成果をまとめて A-SSCC2013 で論文を発表した。

2014 年度は、前年度までに開発した多出力無線給電システムにおいて、給電量および整流器の切り替え制御信号の変調方式(ランダム化)を工夫することで EMI をさらに削減できる手法を考案した。研究成果を ASP-DAC2015 で発表する予定である。

また、これまで、竹内グループが開発してきた高信頼メモリシステム、黒田グループが開発してきた高信頼非接触コネクタ技術、および石黒グループが開発してきた高信頼無線給電システムで得られた成果を合わせて、ワイヤレス SSD のデモシステムを開発中である(図35)。開発中ボードには、無線給電およびデータ送受信の結合器を接続することで、NAND フラッシュメモリに、非接触で給電を行いながらデータの書き込みを行なうことが可能となる。

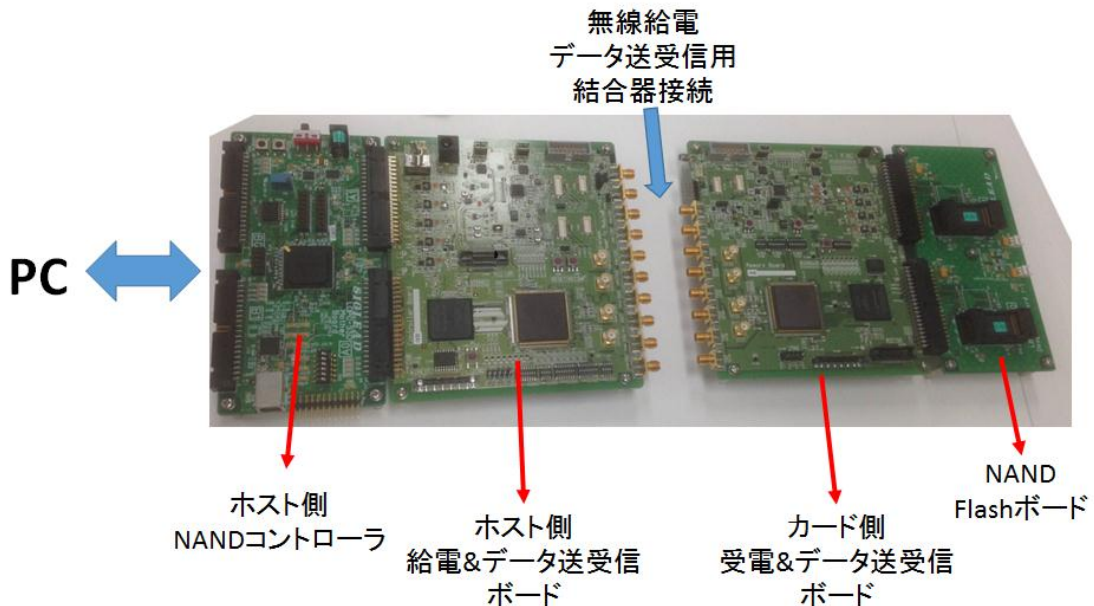


図 3 5 ワイヤレス SSD デモシステム (非接触給電、通信、NAND コントローラ実装)

② 創造性

本研究で開発中の電力伝送システムは、メモリカード等のバッテリーを搭載できない小型システムに対して、マイクロ秒オーダーという従来に比べて2桁以上高速にかつ大きく変動する負荷に追従してワットクラスの電力を伝送できる、これまでに例を見ない電力伝送インターフェースである。また、機器の動作に悪影響を与える EMI を抑えるスイッチング手法を取り入れている。提案手法のユニークさが認められ、LSI とシステムのワークショップ 2012 および 2014 にて Academic Research Award を受賞している。

③ 有用性

本技術を用いることで、大容量メモリカードを利用する機器からから金属端子を排除することができ、水周り等様々な環境でも高い信頼性を確保することができる。また、高効率かつ高速な電力制御により、不要な熱発生や電圧ストレスによるカード内部のデバイス信頼性の低下を防ぐことができる。さらに、不要輻射が抑えられるため、例えばデータ通信等における機器の誤動作を防ぐことができる。また、今回のモチーフである大容量メモリカードだけではなく、今後普及が期待されるウェアラブルデバイス用の無線電力伝送等にも適用できる汎用性の高い技術である。

④ 優位比較

従来の無線給電技術に対して、高効率を維持しながら2桁程度速い負荷追従性能を実現した。また、多電圧を出力できるシステムとしては所要部品点数が大幅に少なく、小型機器への適用範囲が広い。これまで ISSCC 等での学会発表を活発に行なってきた。

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 0件、国際(欧文)誌 16件)

1. Masafumi Doi, Shuhei Tanakamaru and Ken Takeuchi, "A Scaling Scenario of Asymmetric Coding to reduce both Data Retention and Program Disturbance of NAND Flash Memories," *Solid-State Electronics*, vol. 92, pp. 63-69, 2014.
2. A. Kosuge, W. Mizuhara, T. Shidei, T. Takeya, N. Miura, M. Taguchi, H. Ishikuro, and T. Kuroda, "A 0.15-mm-Thick Noncontact Connector for MIPI Using a Vertical Directional Coupler," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 49, no. 1, pp. 223-231, January 2014.
3. Shuhei Tanakamaru, Masafumi Doi and Ken Takeuchi, "NAND Flash Memory / ReRAM Hybrid Unified Solid-State-Storage Architecture," *IEEE Transactions on Circuits and Systems I*, 2014.
4. Ken Takeuchi, "NAND Flash Application and Solution," *IEEE Solid-State Circuits Magazine*, vol. 5, no. 4, pp. 34-40, December 2013.
5. Shuhei Tanakamaru, Yuki Yanagihara and Ken Takeuchi, "Error-Prediction LDPC and Error-Recovery Schemes for Highly Reliable Solid-State Drives (SSDs)," *IEEE J. of Solid-State Circuits*, vol. 48, no. 11, pp. 1-14, November 2013
6. A. Kosuge, T. Takeya, M. Shioya, M. Taguchi, and T. Kuroda, "A 3 Gbps Non-Contact Inter-Module Link with Twofold Transmission Line Couplers and Low Frequency Compensation Equalizer," *Japanese Journal of Applied Physics (JJAP)*, vol. 52, no. 4, April 2013.
7. Kazutoshi Tomita, Ryota Shinoda, Tadahiro Kuroda, and Hiroki Ishikuro, "1W 3.3V-to-16.3V Boosting Wireless Power Transfer Circuits with Vector Summing Power Controller," *IEEE J. of Solid-State Circuits*, vol. 47, no. 10, October 2012.
8. Teruyoshi Hatanaka and Ken Takeuchi, "NAND Controller System with Channel Number Detection and Feedback for Power-Efficient High-Speed 3D-SSD," *IEEE J. of Solid-State Circuits*, vol. 47, no. 6, pp. 1460-1468, June 2012.
9. Ken Takeuchi, Teruyoshi Hatanaka and Shuhei Tanakamaru, "Highly Reliable, High Speed and Low Power NAND Flash Memory-Based Solid State Drives (SSDs)," vol. 9, no. 8, pp. 779-794, *IEICE Electronics Express (ELEX)*, 2012.
10. Koh Johguchi, Teruyoshi Hatanaka and Ken Takeuchi, "Through-Silicon-Via (TSV) Design with Clustering Structure and Adaptive TSV Control for 3D Solid-State-Drive Boost Converter System," vol. 51, no. 2, pp. 02BE02, *Japanese Journal of Applied Physics (JJAP)*, February 2012.
11. Shuhei Tanakamaru, Chinglin Hung and Ken Takeuchi, "Highly Reliable Lower Power Solid-State Drives (SSDs) Embedded with and Intelligent NAND Flash Memory Controller with Asymmetric Coding and Stripe Pattern Elimination Algorithm," *IEEE J. of Solid-State Circuits*, vol. 47, no. 1, pp. 85-96, January 2012.
12. Koichi Ishida, Tadashi Yasufuku, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "1.8V Low-Transient-Energy Adaptive Program-Voltage Generator Based on Boost Converter for 3D-Integrated NAND," *IEEE J. of Solid-State Circuits*, vol. 46, no. 6, pp. 1478-1487, June 2011.
13. Koh Johguchi, Teruyoshi Hatanaka, Koichi Ishida, Tadashi Yasufuku, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "Through-Silicon-Via (TSV) design for a 3D-Solid-State-Drive (SSD) System with Boost Converter in a Package," *IEEE Transactions on Advanced Packaging*, February 2011. (DOI 10.1109/TCPMT.2010.2101930)
14. Shuhei Tanakamaru, Atsushi Esumi, Mitsuyoshi Ito, Kai Li and Ken Takeuchi,

- “Post-manufacturing, 17-times Acceptable Raw Bit Error Rate Enhancement, Dynamic Codeword Transition ECC Scheme for Highly Reliable Solid-State Drives, SSDs,” Solid-State Electronics, January 2011. (DOI: 10.1016/j.sse.2010.11.025)
15. H. Ishikuro and T. Kuroda, “Wireless proximity interfaces with a pulse-based inductive coupling technique,” IEEE Communications Magazine, Vol.48, No. 10, pp.192-199, October 2010. (DOI 10.1109/MCOM.2010.5594696)
 16. Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “Inductor and TSV Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories,” IEICE Transactions on Electronics, March 2010.

(2)その他の著作物(総説、書籍など)

1. 竹内健, “驚きのテクノロジー フラッシュメモリ データの携帯に欠かせない高性能小型記憶媒体”, ニュートン, 2014年8月.
2. 竹内健, “半導体メモリーを搭載したソリッドステートドライブ”, 映像情報メディア学会誌, vol. 68, no. 1, pp. 26-31, 2014年1月.
3. 竹内健, “未来予測レポート メガトレンド 半導体 2014-2023”, 日経 BP 社, 2013.
4. 黒田忠広, “未来予測レポート メガトレンド 半導体 2014-2023”, 日経 BP 社, 2013.
5. 竹内健, “半導体ストレージ 2014”, 日経 BP 社, 2013.
6. 竹内健, “フラッシュメモリの高信頼信号処理技術”, 信頼性, vol. 35, no. 8, pp. 460, 2013.
7. 黒田忠広, “非接触インタコネクタのアプリケーション”, 日本信頼性学会誌, vol. 35, no. 8, p. 473, December 2013.
8. 黒田忠広, “実装インタコネクタの課題”, 日本信頼性学会誌, vol. 35, no. 8, p. 469, December 2013.
9. 黒田忠広, “近接場ワイヤレス通信が拓く三次元実装”, エレクトロニクス実装学会誌, vol. 15, no. 4, pp. 231-235, May 2012.
10. 竹内健, “SSD 向けメモリーコントローラ技術”, 映像情報メディア学会誌, vol.66, no.8, pp.85-90, 2012.
11. 竹内健, “限界に挑戦するフラッシュメモリと SSD の最新動向”, 電子情報通信学会会誌 小特集号 2012年11月.
12. 竹内健, “浸透してきた半導体ディスク装置”, 電気学会誌, vol. 131, no. 10, pp. 687-691, 2011.
13. 黒田忠広, “磁界結合による無線インタコネクション技術”, 電子情報通信学会誌, vol. 94, no. 12, pp. 1041-1045, 2011.
14. 黒田忠広, “ワイヤレス給電”, 電子情報通信学会誌, Vol.93, No.11, pp.964-957, November 2010.
15. 竹内健, “手軽に情報を運ぶ フラッシュメモリ”, ニュートン 2010年8月.
16. 竹内健, “ソリッド・ステート・ドライブ(SSD)の高信頼性化技術(High Reliability Technologies of Solid-State Drives (SSD))”, 信頼性, vol. 32, no.3, pp. 156-161, 2010.
17. 竹内健, “2020年の半導体未来像, そこに向けた課題と克服策”, 半導体技術年鑑 2010 2009年11月.
18. 竹内健, “SSD 2010”, 日経 BP 2009年10月.

(3)国際学会発表及び主要な国内学会発表

- ① 招待講演 (国内会議 54件、国際会議 28件)

〈国内会議〉

1. 石黒仁揮「超小型システム向けワイヤレス電力伝送技術」 日本学術振興会シリコン超集積化システム第 165 委員会 7 月研究会、東京、2014 年 7 月 (招待講演)
2. 小菅敦丈, 石塚秀, 劉楽昌, 岡田晃, 田口眞男, 石黒仁揮, 黒田忠広, “An Electromagnetic Clip Connector for In-Vehicle LAN to Reduce Wire Harness Weight by 30%,” ISSCC 報告会, 2014 年 5 月. 【招待講演】
3. 田中丸周平, 山沢裕紀, 徳富司, 寧渉洋, 竹内健, “Hybrid Storage of ReRAM/TLC NAND Flash with RAID-5/6 for Cloud Data Centers”, ISSCC 報告会, 2014 年 5 月. 【招待講演】
4. 田中丸周平, 土井雅史, 竹内健, "高信頼ビッグデータ向けフラッシュメモリ/ReRAM 統合ソリッド・ステート・ストレージシステム", 集積回路研究会, 信学技報, vol. 113, no. 1, ICD2013-14, pp. 67-72, 2013 年 4 月. 【招待講演】
5. 竹内健, "ビッグデータに向けたストレージ・クラス・メモリとフラッシュメモリのハイブリッド SSD", 第 77 回半導体・集積路技術シンポジウム, 2013 年 7 月. 【招待講演】
6. 竹内健, "ストレージ・クラス・メモリが実現するリアルタイム性に優れたビッグデータのサービス", TEL Advanced Technology Forum 2013, 2013 年 8 月. 【招待講演】
7. 竹内健, "ストレージクラスメモリとフラッシュメモリが切り拓くリアルタイムのビッグデータのサービス", 日経 BP 半導体リサーチ, 2013 年 8 月. 【招待講演】
8. 竹内健, "フラッシュメモリとストレージ・クラス・メモリで構成するビッグデータ向けハイブリッド・ストレージ", IDEMA セミナー, 2013 年 10 月. 【招待講演】
9. 竹内健, "ストレージクラスメモリとフラッシュメモリが切り拓くビッグデータのサービス", 産総研新アプリ研究会, 2013 年 10 月. 【招待講演】
10. 竹内健, "半導体メモリが切り拓くビッグデータのアプリケーション", 京都賞 先端技術部門 記念ワークショップ 「集積回路の発展 50 年とその未来 超高集積メモリ・超省電力 LSI に向けて」, 2013 年 11 月. 【招待講演】
11. 竹内健, "3 次元 NAND 型フラッシュメモリによる大容量ストレージの構築に向けて", Electronic Journal Technical Seminar, 2013 年 12 月. 【招待講演】
12. 竹内健, "ReRAM/NAND Flash Memory Hybrid Memory System for Big Data Application", 応用物理学会, 2014 年 3 月. 【招待講演】
13. 竹内健, "ストレージクラスメモリの課題とアプリケーション", SPI フォーラム, 2014 年 3 月. 【招待講演】
14. 黒田忠広, "近接場ワイヤレス通信が拓く集積システムとユビキタスセンサ (招待講演)," 電子情報通信学会 (ASN) (NS) (RCS) (SR) (RRRC) 合同研究会, July 2013. 【招待講演】
15. 石黒仁揮, "バッテリーレス小型システム向け無線給電回路技術", 電子情報通信学会ソサイエティー大会, 2013 年 9 月. 【招待講演】
16. 石黒仁揮, "デジタル制御電源および無線給電システムの技術動向" Mathworks (MATLAB) セミナー, 2013 年 10 月. 【招待講演】
17. 竹内健, “不揮発性メモリを使いこなす”, 日経エレクトロニクス セミナー 2012 年 12 月. 【招待講演】
18. 竹内健, “ストレージクラスメモリを搭載したハイブリッド SSD”, NE テクノロジー・シンポジウム 2012 2012 年 10 月. 【招待講演】
19. 石黒仁揮, “大容量非接触メモリカードのための高効率、高速応答、低 EMI 無線給電回路”, 電子情報通信学会 ICD 研究会 2012 年 8 月. 【招待講演】
20. 竹内健, “SSD とストレージ・クラス・メモリを用いたメモリシステム”, 電気学会 ナノエレクトロニクス集積化・応用技術調査専門委員 2012 年 7 月. 【招待講演】

21. 石黒仁揮, “SimElectronics と HDL coder を用いた非接触給電用ミックスド・シグナルシステムのトップダウン設計,” MathWork 社セミナー 2012 年 6 月. 【招待講演】
22. 石黒仁揮, 尹元柱, 中野慎也, 水原渉, 小菅敦丈, 三浦典之, 黒田忠広, “メモリアンターフェース用非接触高速データ伝送技術,” 電子情報通信学会 ICD メモリ研究会 2012 年 4 月. 【招待講演】
23. 黒田忠広, “誘導結合を用いた近接無線通信技術,” IEEE MTT-S Kansai Chapter マイクロ波センシング技術ワークショップ November 2011. 【招待講演】
24. 竹内健, “不揮発性メモリを使いこなす”, 日経エレクトロニクス セミナー 2011 年 10 月. 【招待講演】
25. 黒田忠広, “誘導結合を用いた近接無線通信技術,” 電子情報通信学会 2011 年ソサイエティ大会 C-12-30 September 2011. 【招待講演】
26. 竹内健, “3 次元 NAND フラッシュメモリ&SCM”, Electronic Journal 第 771 回 Technical Seminar 2011 年 8 月 2 日. 【招待講演】
27. 畑中輝義, 竹内健, “3 次元 SSD 向けワイドレンジ対応ブーストコンバーター回路”, IEEE Solid-State Circuits Society (SSCS) Japan Chapter, Symposium on VLSI Circuits 報告会 2011 年 7 月 28 日. 【招待講演】
28. 黒田忠広, “近接場ワイヤレス通信が拓く 3 次元 LSI”, 第 7 5 回半導体・集積回路技術シンポジウム July 2011. 【招待講演】
29. 石黒仁揮, “CMOS 集積回路技術によるワイヤレス給電システム”, 第 4 回 AET ワークショップ 2011 年 6 月. 【招待講演】
30. 竹内健, “不揮発性メモリを使いこなす～SSD からストレージ・クラス・メモリまで～”, 日経エレクトロニクス セミナー 2011 年 5 月. 【招待講演】
31. 上口光, 田中丸周平, 洪慶麟, 竹内健, “95%-lower-BER 43%-lower-power intelligent Solid-State Drive (SSD) with Asymmetric Coding and Stripe Pattern Elimination Algorithm”, ISSCC2011 報告会 2011 年 5 月 23 日. 【招待講演】
32. 竹谷勉, Nan Lan, 中野慎也, 三浦典之, 石黒仁揮, 黒田忠広, “A 12Gb/s Non-Contact Interface with Coupled Transmission Lines”, IEEE SSCS Kansai Chapter Technical Seminar, May 2011. 【招待講演】
33. 黒田忠広, “近接場ワイヤレス通信が拓く 3 次元 LSI と実装”, 第 19 回 LSI・アプリケーション産学連携会議 May 2011. 【招待講演】
34. 黒田忠広, “近接ワイヤレス接続が創る 3 次元集積計算システム”, 情報処理学会 先進的計算基盤システムシンポジウム SACSIS 2011 May 2011. 【招待講演】
35. 竹内健, “3 次元積層ソリッド・ステート・ドライブ(SSD)”, 集積回路研究会 2011 年 1 月.
36. 黒田忠広, “近接場ワイヤレス通信が拓く 3 次元実装”, システム Jisso-CAD/CAE 研究会 公開研究会 2010 年 12 月.
37. 竹内健, “SSD の技術動向と拡大する SSD 市場—SSD がもたらすメモリシステムイノベーション”, 外国系半導体商社協会(DAFS) 市場・業界及び技術動向セミナー 2010 年 11 月.
38. 黒田忠広, “近接場高速無線通信が拓くワイヤレス実装,” NE テクノロジー・シンポジウム 2010 2010 年 11 月
39. 竹内健, “SSD の使いこなし方”, 日経エレクトロニクス セミナー 2010 年 9 月.
40. 竹内健, “デジタル LSI の技術動向 - メモリ技術”, 電子情報通信学会 集積回路研究会 サマースクール 2010 年 8 月. 【招待講演】
41. 竹内健, “ナノスケールメモリ LSI:材料・デバイス・回路・システムを総動員し微細化を極限まで延命する”, VDEC デザイナーフォーラム 2010 年 6 月. 【招待講演】
42. 竹内健, “フラッシュメモリ/SSD の技術動向”, Electronic Journal 第 491 回 Technical Seminar, フラッシュメモリ/SSD 技術・市場・業界動向 2010 年 4 月.

43. 黒田忠広, “誘導結合を用いたチップ間無線通信”, 第1回再生可能集積システム研究会 2010年4月.
44. 石黒仁揮, “3次元集積化のための積層チップ間非接触インターフェース”, 電子情報通信学会 集積回路研究会 2010年4月.
45. 竹内健, “新材料・デバイス・回路・システムを総動員して LSI の微細化限界に挑む”, 広島大学エレクトロニクスセミナー 2010年3月. 【招待講演】
46. 竹内健, “SSD の使いこなし方”, 日経エレクトロニクス セミナー 2010年3月. 【招待講演】
47. 竹内健, “低電力 SSD/強誘電体メモリ技術”, 応用物理学会シリコンテクノロジー分科会 Si ナノテクノロジー研究委員会「シリコンプラットフォームテクノロジー」2010年3月. 【招待講演】
48. 竹内健, “データセンター向け高信頼・低電力強誘電体 NAND フラッシュメモリ技術”, 技術情報協会 2010年2月.
49. 黒田忠広, “スルーチップインタフェース(TCI)”, 広島大学講演会 February 2010. 【招待講演】
50. 竹内健, “システム化する NAND フラッシュメモリ”, 産業技術総合研究所 エレクトロニクスフォーラム 2009年12月.
51. 黒田忠広, “近接場高速無線通信”, SEMI テクノロジーシンポジウム December 2009. 【招待講演】
52. 竹内健, “グリーン IT を目指した低電力3次元積層 SSD 技術”, Electronic Journal 第224回 Technical Symposium・フラッシュメモリ/SSD 徹底検証 2009年11月.
53. 黒田忠広, “誘導結合通信による低消費電力3次元システムインテグレーションとその展望”, 応用物理学会・電子情報通信学会共同研究会 November 2009. 【招待講演】
54. 黒田忠広, “誘導結合を用いたチップ間無線データ通信”, URSI-C 第21期第5回研究会 November 2009. 【招待講演】

〈国際会議〉

1. Ken Takeuchi, "Solid-State Drives (SSDs) with Flash Memories and Storage Class Memories," IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT) and IEEE International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), April 2013. 【招待講演】
2. Ken Takeuchi, "Scaling Challenges of NAND Flash Memory and Hybrid Memory System with Storage Class Memory & NAND flash memory," IEEE Custom Integrated Circuits Conference (CICC), pp. 1-6, September 2013. 【招待講演】
3. Ken Takeuchi, "Storage Class Memory & NAND Flash Memory Hybrid Solid-State Drives (SSD)" 224th Electrochemical Society Meeting (ECS) Transactions, vol. 58, no. 5, pp 3-8, October 2013. 【招待講演】
4. T. Kuroda, "3D Heterogeneous Integration by Near Field Coupling," 2013 European Solid-State Circuits Conference (ESSCIRC'13) Tutorial, Sep 2013. 【招待講演】
5. T. Kuroda, "3D Integration, Power Delivery, and Contactless Interconnect by Near Field Coupling," IEEE International Solid-State Circuits Conference (ISSCC'14), Tutorial T3, Feb. 2014. 【招待講演】
6. Ken Takeuchi, “Signal Processing and Data Management Technologies for NAND&ReRAM Hybrid SSD,” New Non-Volatile Memory Workshop 2012, November 2012. 【招待講演】
7. Ken Takeuchi, “Signal Processing and Data Management of Storage Class Memory & NAND Flash Hybrid SSD,” NVMTS, October 2012. 【招待講演】
8. Ken Takeuchi, “Application Perspectives for Storage Class Memory,” ITRS ERD (Emerging Research Device) Workshop on Emerging Architectures for Storage Class Memory, July 2012.

【招待講演】

9. T. Kuroda, "Near-Field Wireless Connection for 3D-System Integration," IEEE Symposium on VLSI Technology, Dig. Tech. Papers, pp. 105-106, June 2012.
10. Ken Takeuchi, "NAND & Controller Co-design for SSD," IEEE International Memory Workshop Short Course, May 2012. 【招待講演】
11. Ken Takeuchi, "Highly reliable low power Solid-State Drives (SSDs)," The 2012 International Meeting for Future of Electron Devices, Kansai (IMFEDK), May 2012. 【招待講演】
12. T. Kuroda, "Proximity IOs Using Inductive Coupling," IEEE International Symposium on Radio-Frequency Integration Technology (RFIT 2011), December 2011. 【招待講演】
13. Ken Takeuchi, "Highly reliable Low Power Storage Class Memory & NAND Flash Memory Hybrid Solid-State Drive (SSD)," IEEE Non-Volatile Memory Technology Symposium (NVMTS), November 2011. 【招待講演】
14. Ken Takeuchi, "Green High Performance Storage Class Memory & NAND Flash Memory Hybrid SSD System," IEEE International Symposium on Low Power Electronics and Design (ISLPED), pp.369-370, August 2011. 【招待講演】
15. Ken Takeuchi, "NAND Flash and Storage Class Memory-integrated Hybrid Solid-State Drive (SSD)," Silicon Nanoelectronics Workshop (SNW) , Rump Session: Non-Volatile Memories for Storage Device and New Applications, June 2011. 【招待講演】
16. Ken Takeuchi, "Storage Class Memory and Memory System Innovation - International Collaboration for Material, Device, Circuit, Signal Processing and OS Integration," The Seventh International Nanotechnology Conference on Communication and Cooperation (INC7), May 2011. 【招待講演】
17. T. Kuroda, "ThruChip Interface (TCI) for 3D Integration of Low-Power System," 2010 IEEE International Electron Devices Meeting (IEDM'10), Dig. Tech. Papers, p 17.1.1, December 2010.
18. T. Kuroda, "Through Chip Interface (TCI) for 3D System Integration," 2010MPSoC, pp.733-744, July 2010.
19. Ken Takeuchi, "Low Power 3D-integrated Solid-State Drive (SSD) with Adaptive Voltage Generator," IEEE International Memory Workshop, pp.13-16, May 2010.
20. T. Kuroda, "Through Chip Interface (TCI) for 3D System Integration," 2010VLSI-TSA/VLSI-DAT Symposium, pp.733-744, April 2010.
21. T. Kuroda, "Inductively Coupled Through-Chip Interface," IEEE International Solid-State Circuits Conference (ISSCC'10) Evening Session, February 2010.
22. H. Ishikuro, "Contactless Interfaces in 3D-Integration," IEEE International Solid-State Circuits Conference (ISSCC'10) Forum, February 2010.
23. T. Kuroda, "ThruChip Interface," Institute of Microelectronics (IME) Seminar, December 2009. 【招待講演】
24. T. Kuroda, "Inductive Coupling Transceivers for Inter-chip Data Communication," IEEE International Symposium on Radio-Frequency Intefration Technology (RFIT2009), Dig. Tech. Papers, TH1A-2, December 2009. 【招待講演】
25. T. Kuroda, "Inductive-Coupling Through-Chip Interface for 3D System Integration," A-SSCC2009 tutorial, November 2009.
26. Ken Takeuchi, "Solid State Drive (SSD) and Memory Subsystem Innovation," CMOS Emerging Technologies, October 2009.
27. T. Kuroda, "Low-Power 3D CMOS Integration," JSAP Solid State Devices and Materials (SSDM) Workshop, pp. 18-26, October 2009.
28. T. Kuroda, "Wireless CMOS TSV," JSAP Solid State Devices and Materials (SSDM), Dig. Tech. Papers, pp. 60-61, October 2009. 【招待講演】

②口頭発表 (国内会議 27 件、国際会議 39 件)

〈国内会議〉

1. 山沢裕紀, 徳富司, 田中丸周平, 寧渉洋, 竹内健, “RAID-5/6 構成のクラウドデータセンタ向け ReRAM/TLC NAND フラッシュメモリのハイブリッドストレージ”, 信学技報, vol. , no. 1, 2014 年 4 月.
2. 畑中輝義, 上口光, 蜂谷尚悟, 竹内健, “3 次元積層 ReRAM/NAND フラッシュメモリハイブリッドソリッド・ステート・ドライブ向け Vset/reset(3V)、Vpgm(20V)生成回路の設計”, 集積回路研究会, 信学技報, vol. 113, no. 1, ICD2013-16, pp. 79-84, 2013 年 4 月.
3. 田中丸周平, 土井雅史, 竹内健, “ビッグデータ向け高信頼 NAND フラッシュメモリ/ReRAM 統合ストレージ”, Symposium on Advanced Computing Systems and Infrastructures (SAC SIS), pp. 101-102, 2013 年 6 月.
4. 石井智也, 上口光, 竹内健, “低電力ハイブリッド SSD(Solid State Drive)の 3 次元実装方法に関する検討”, 集積回路研究会, 信学技報, vol. 113, no. 419, ICD2013-121, pp. 47, 2014 年 1 月.
5. 北村雄太, 田中丸周平, 竹内健, “NAND フラッシュメモリの信頼性の評価”, 集積回路研究会, 信学技報, vol. 113, no. 419, ICD2013-121, pp. 43, 2014 年 1 月.
6. 山沢裕紀, 田中丸周平, 竹内健, “抵抗変化型メモリ(ReRAM)のデータ保持特性の解析”, 集積回路研究会, 信学技報, vol. 113, no. 419, ICD2013-121, pp. 37, 2014 年 1 月.
7. 徳富司, 田中丸周平, 竹内健, “NAND フラッシュメモリ向けエラー予測 LDPC 符号”, 集積回路研究会, 信学技報, vol. 113, no. 419, ICD2013-121, pp. 23, 2014 年 1 月.
8. 山崎泉樹, 田中丸周平, 竹内健, “1Xnm NAND フラッシュメモリの各書き換え回数における最適な非対称符号化手法”, 集積回路研究会, 信学技報, vol. 113, no. 419, ICD2013-121, pp. 19, 2014 年 1 月.
9. 土井雅史, 田中丸周平, 竹内健, “NAND フラッシュメモリ向け書き込みディスタートエラーに対する最適な非対称符号化手法”, 応用物理学関係連合講演会, 2014 年 3 月.
10. 山沢裕紀, 田中丸周平, 寧渉洋, 竹内健, “抵抗変化型メモリ向け高信頼、高性能化コントローラ技術”, 応用物理学関係連合講演会, 2014 年 3 月.
11. 徳富司, 田中丸周平, 寧渉洋, 竹内健, “TLC NAND フラッシュメモリ向け高信頼化コントローラ技術”, 応用物理学関係連合講演会, 2014 年 3 月.
12. 山崎泉樹, 江上徹, 上口光, 竹内健, “超格子相変化メモリの SET 書き込み最適化の研究”, 応用物理学関係連合講演会, 2014 年 3 月.
13. 小菅敦丈, 水原渉, 四手井綱章, 竹谷勉, 三浦典之, 田口眞男, 石黒仁揮, 黒田忠広, “方向性結合器を用いた携帯機器用途向け 0.15mm 厚非接触コネクタ,” シリコン材料・デバイス研究会(SDM)/集積回路研究会(ICD), Aug. 2013.
14. 田中丸周平, 土井雅史, 竹内健, “統合ソリッドステートストレージアーキテクチャ”, 応用物理学関係連合講演会 2013 年 3 月.
15. 土井雅史, 田中丸周平, 竹内健, “統合ソリッドステートストレージの信頼性評価”, 応用物理学関係連合講演会 2013 年 3 月.
16. 山根佳彦, 蜂谷尚悟, 田中丸周平, 竹内健, “20nm 世代 TLC(3bit/cell) NAND フラッシュメモリの信頼性評価”, 応用物理学関係連合講演会 2013 年 3 月.
17. 土井雅史, 田中丸周平, 竹内健, “高信頼性 SSD 向け非対称符号の効果の 20~40nm 世代の比較および符号長依存性の解析”, 集積回路研究会, 信学技報, vol. 112, no. 365, ICD2012-93, pp. 33, 2012 年 12 月.
18. 田中丸周平, 柳原裕貴, 竹内健, “エラー予測 LDPC とエラー回復機構により 10 倍の長寿命、

- エラーを 76%削減した SSD”, 集積回路研究会, 信学技報, vol.112, no.15, ICD2012-5, pp.23-28, 2012 年 4 月.
19. 畑中輝義, 竹内健, “3 次元積層ソリッド・ステート・ドライブ向け 4 倍高速、15%低消費電力 Vpass(10V)、Vpgm(20V)生成電源システム”, 集積回路研究会, 信学技報, vol.112, no.15, ICD2012-8, pp.37-42, 2012 年 4 月.
 20. 畑中輝義, 竹内健, “3 次元積層ソリッド・ステート・ドライブ向け4倍高速 Vpass(10V)生成、15%低消費電力 Vpgm(20V)生成、ワイドレンジ電圧生成システム”, 集積回路研究会, 信学技報, vol.111, no.352, ICD2011-117, pp.81-86, 2011 年 12 月.
 21. 竹谷勉, Nan Lan, 中野慎也, 三浦典之, 石黒仁揮, 黒田忠広, “A 12Gb/s Non-Contact Interface with Coupled Transmission Lines”, IEEE SSCS Kansai Chapter Technical Seminar, May 2011.
 22. 畑中輝義, 上口光, 石田光一, 安福正, 高宮真, 桜井貴康, 竹内健, “高速・低消費電力3次元積層ソリッド・ステート・ドライブ向け書き込み電圧(20V)発生回路と TSV の検討”, 集積回路研究会, 信学技報, vol. 111, no. 6, ICD2011-13, pp. 71-76, 2011 年 4 月 19 日.
 23. 竹谷勉, Nan Lan, 中野慎也, 三浦典之, 石黒仁揮, 黒田忠広, “A 12Gb/s Non-Contact Interface with Coupled Transmission Lines”, 集積回路研究会(ICD) April 2011.
 24. 田中丸周平, 江角淳, 伊東充吉, 李凱, 竹内健, “SSD 向けエラー訂正手法の比較と符号長の動的最適化手法”, 集積回路研究会, 信学技報, vol. 110, no. 344, ICD2010-124, pp. 147-152 2010 年 12 月 17 日.
 25. 畑中輝義, 石田光一, 安福正, 宮本晋示, 中井弘人, 高宮真, 桜井貴康, 竹内健, “NAND チャンネル数検出回路・インテリジェント書き込み電圧発生回路を備えた、60%高速・4.2Gbps・24 チャンネル、3 次元ソリッド・ステート・ドライブ (SSD)”, 集積回路研究会, 信学技報, vol. 110, no. 183, ICD2010-55, pp. 89-94, 2010 年 8 月 27 日.
 26. 田中丸周平, 江角淳, 伊東充吉, 李凱, 竹内健, “高信頼性 SSD 向け ECC 符号長の動的最適化手法”, 集積回路研究会, 信学技報, vol. 110, no. 183, ICD2010-53, pp. 77-82, 2010 年 8 月 27 日.
 27. 安福正, 石田光一, 高宮真, 桜井貴康, 竹内健, “3 次元 SSD 用 20V ブーストコンバータ向けのインダクタ設計 (Inductor Design of 20-V Boost Converter for Low Power 3D Solid State Drive)”, 電子情報通信学会 集積回路研究会, 信学技報, vol. 109, no. 336, ICD2009-103, pp.151-156, 2009 年 12 月.

〈国際会議〉

1. Tsukasa Tokutomi, Masafumi Doi, Shogo Hachiya, Atsuro Kobayashi, Shuhei Tanakamaru and Ken Takeuchi, “Enterprise-Grade 6x Fast Read and 5x Highly Reliable SSD with TLC NAND Flash Memory for Big-Data Storage,” *IEEE International Solid-State Circuits Conference (ISSCC'15)*, Feb. 2015.
2. Atsutake Kosuge, Shu Ishizuka, Junichiro Kadomoto, Tadahiro Kuroda, “A 6Gb/s 6pJ/b 5mm-Distance Non-Contact Interface for Modular Smartphones Using Two-Fold Transmission Line Coupler and EMC-Qualified Pulse Transceiver,” *IEEE International Solid-State Circuits Conference (ISSCC'15)*, Feb. 2015.
3. Atsutake Kosuge, Shu Ishizuka, Mami Abe, Satoshi Ichikawa, Tadahiro Kuroda, “A 6.5Gb/s Shared Bus using Electromagnetic Connectors for Downsizing and Lightning Satellite Processor System by 60%,” *IEEE International Solid-State Circuits Conference (ISSCC'15)*, Feb. 2015.
4. Tsukasa Tokutomi, Shuhei Tanakamaru, Tomoko Ogura Iwasaki and Ken Takeuchi, “Advanced

- Error Prediction LDPC for High-Speed Reliable TLC NAND-based SSDs," *IEEE International Memory Workshop*, May 2014.
5. Shuhei Tanakamaru, Yuta Kitamura, Senju Yamazaki, Tsukasa Tokutomi and Ken Takeuchi, "Application-Aware Solid-State Drives (SSDs) with Adaptive Coding," *IEEE Symp. on VLSI Circuits*, June 2014.
 6. Hiroki Yamazawa, Sheyang Ning, Tomoko Ogura Iwasaki, Shuhei Tanakamaru, Koh Johguchi and Ken Takeuchi, "50 nm AlxOy ReRAM Array Retention Characteristics Before and After Endurance," *Silicon Nanoelectronics Workshop (SNW)*, June 2014.
 7. Shuhei Tanakamaru, Tsukasa Tokutomi and Ken Takeuchi, "Highly Reliable Storage System with Triple-Level Cell (TLC) NAND Flash Memories," *Flash Memory Summit*, August 2014.
 8. Teruyoshi Hatanaka, Koh Johguchi and Ken Takeuchi, "Investigation of Program-Voltage Generator Integration for ReRAM and NAND Flash Memory Hybrid Three-Dimensional Solid-State Drive," *International Conference on Electronics Packaging*, pp. 473-477, April 2013.
 9. Shuhei Tanakamaru, Masafumi Doi and Ken Takeuchi, "Error-Prediction Analyses in 1X, 2X and 3Xnm NAND Flash Memories for System-Level Reliability Improvement of Solid-State Drives (SSDs)," *IEEE International Reliability Physics Symposium (IRPS)*, 3B.3.1-3B.3.6, April 2013.
 10. Masafumi Doi, Shuhei Tanakamaru and Ken Takeuchi, "An Optimum Asymmetric Coding Strategy to Improve Program-Disturb Error in 2X, 3X and 4Xnm NAND Flash Memories for Highly Reliable Enterprise Solid-State Drives (SSDs)," *Silicon Nanoelectronics Workshop (SNW)*, pp.7-8, June 2013.
 11. Shuhei Tanakamaru, Yuki Yanagihara and Ken Takeuchi, "SSDs with Error-Prediction LDPC (EP-LDPC) and Error-Recovery Schemes," *Flash Memory Summit*, August 2013.
 12. Shuhei Tanakamaru, Masafumi Doi and Ken Takeuchi, "Unified Solid-State-Storage with NAND Flash Memory / ReRAM Hybrid Architecture," *Flash Memory Summit*, August 2013.
 13. Shuhei Tanakamaru, Hiroki Yamazawa, Tsukasa Tokutomi, Sheyang Ning and Ken Takeuchi, "Hybrid Storage of ReRAM/TLC NAND Flash with RAID-5/6 for Cloud Data Centers," *IEEE International Solid-State Circuits Conference (ISSCC)*, pp.335-338, February 2014.
 14. Shuhei Tanakamaru, Masafumi Doi and Ken Takeuchi, "Highly Reliable Techniques for NAND Flash Memory / ReRAM Hybrid Storage," *5th Non-Volatile Memories Workshop 2014 (NVMW)*, March 2014.
 15. A. Kosuge, S. Ishizuka, L. Liu, A. Okada, M. Taguchi, H. Ishikuro, and T. Kuroda, "An Electromagnetic Clip Connector for In-Vehicle LAN to Reduce Wire Harness Weight by 30%," *IEEE International Solid-State Circuits Conference (ISSCC'14)*, Dig. Tech. Papers, pp. 496-497, Feb. 2014.
 16. Y. Hasegawa, K. Tomita, S. Ishihara, R. Honma, and H. Ishikuro, "Single-Inductor-Dual-Output Wireless Power Receiver with Synchronous Pseudo-Random-Sequence PWM Switched Rectifiers," *IEEE Asian Solid State Circuits Conference (A-SSCC)*, pp261-264, Nov. 2013.
 17. W. Mizuhara, T. Shidei, A. Kosuge, T. Takeya, N. Miura, M. Taguchi, H. Ishikuro, and T. Kuroda, "A 0.15mm-Thick Non-Contact Connector for MIPI Using Vertical Directional Coupler", *IEEE International Solid-State Circuits Conference (ISSCC'13)*, Dig. Tech. Papers, pp. 200-201, February 2013.
 18. H. Fukuda, T. Terada, and T. Kuroda, "Retrodirective Transponder Array with Universal On-Sheet Reference for Wireless Mobile Sensor Networks Without Battery or Oscillator", *IEEE*

- International Solid-State Circuits Conference (ISSCC'13), Dig. Tech. Papers, pp. 204-205, February 2013.
19. N. Miura, M. Saito, M. Taguchi, and T. Kuroda, "A 6nW Inductive-Coupling Wake-Up Transceiver for Reducing Standby Power of Non-Contact Memory Card by 500x", IEEE International Solid-State Circuits Conference (ISSCC'13), Dig. Tech. Papers, pp. 214-215, February 2013.
 20. Y. Take, N. Miura, H. Ishikuro, and T. Kuroda, "3D Clock Distribution Using Vertically/Horizontally Coupled Resonators", IEEE International Solid-State Circuits Conference (ISSCC'13), Dig. Tech. Papers, pp. 258-259, February 2013.
 21. Shuhei Tanakamaru, Masafumi Doi and Ken Takeuchi, "Unified Solid-State Storage Architecture with NAND Flash Memory and ReRAM that Tolerates 32X Higher BER for Big-Data Applications," IEEE International Solid-State Circuits Conference (ISSCC), pp.226-227, February 2013.
 22. Teruyoshi Hatanaka and Ken Takeuchi, "VSET/RESET and VPGM Generator without Boosting Dead Time for 3D-ReRAM and NAND flash Hybrid Solid-State Drives," IEEE Asian Solid-State Circuits Conference (A-SSCC), November 2012.
 23. A. Kosuge, W. Mizuhara, N. Miura, M. Taguchi, H. Ishikuro, and T. Kuroda, "A 12.5Gb/s/Link Non-Contact Multi Drop Bus System with Impedance-Matched Transmission Line Couplers and Dicode Partial-Response Channel Transceivers," in Proc. IEEE Custom Integrated Circuits Conf. (CICC), September 2012.
 24. Shuhei Tanakamaru, Yuki Yanagihara and Ken Takeuchi, "Over 10-times Extended Lifetime, 76% Reduced Error Solid-State Drives (SSDs) with Error Prediction LDPC Architecture and Error Recovery Scheme," IEEE International Solid-State Circuits Conference (ISSCC), February 2012.
 25. W.-J. Yun, S. Nakano, W. Mizuhara, A. Kosuge, N. Miura, H. Ishikuro, T. Kuroda, "A 7Gb/s/Link Non-Contact Memory Module for Multi-Drop Bus System Using Energy-Equipartitioned Coupled Transmission Line," IEEE International Solid-State Circuits Conference (ISSCC), February 2012.
 26. R. Shinoda, K. Tomita, Y. Hasegawa, H. Ishikuro, "Voltage-Boosting Wireless Power Delivery System with Fast Load Tracker by $\Delta\Sigma$ -Modulated Sub-Harmonic Resonant Switching," IEEE International Solid-State Circuits Conference (ISSCC), February 2012.
 27. Teruyoshi Hatanaka, Koh Johguchi and Ken Takeuchi, "A 3D-Integration Method to Compensate Output Voltage Degradation of Boost Converter for Compact Solid-State-Drives," IEEE International Conference on 3D System Integration (3D IC), January 2012.
 28. Andrzej Radecki, Noriyuki Miura, Hiroki Ishikuro, and Tadahiro Kuroda, "Rotary Coding for Power Reduction and S/N Improvement in Inductive-Coupling Data Communication," IEEE Asian Solid-State Circuits Conference (A-SSCC), November 2011.
 29. Kazutoshi Tomita, Ryota Shinoda, Tadahiro Kuroda, and Hiroki Ishikuro, "1W 3.3V-to-16.3V Boosting Wireless Power Transfer Circuits with Vector Summing Power Controller," IEEE Asian Solid-State Circuits Conference (A-SSCC), November 2011.
 30. T. Kuroda, "High-Speed Chip-to-Chip Interconnect: Wireless, Optical, or Something Else? (Panel Discussion)," 33rd IEEE Compound Semiconductor IC (CSIC) Symposium, October 2011.
 31. Koh Johguchi, Teruyoshi Hatanaka and Ken Takeuchi, "Adaptive Through-Silicon-Via Control

- with Clustering for 3D Solid-State-Drive Boost Converter System,” International Conference on Solid State Devices and Materials (SSDM), September 2011.
32. Teruyoshi Hatanaka and Ken Takeuchi, “4-Times Faster Rising V_{PASS} (10V), 15% Lower Power V_{PGM} (20V), Wide Output Voltage Range Voltage Generator System for 4-Times Faster 3D-integrated Solid-State Drives,” IEEE Symp. on VLSI Circuits, pp.200-201, June 2011.
 33. Shuhei Tanakamaru, Chinglin Hung, Atsushi Esumi, Mitsuyoshi Ito, Kai Li and Ken Takeuchi, “95% Lower Bit Error Rate, 35% Lower Power Intelligent Solid-State Drives (SSDs) with Asymmetric Coding and Stripe Pattern Elimination Algorithm,” IEEE International Solid-State Circuits Conference (ISSCC), February 2011.
 34. T. Takeya, L. Nan, S. Nakano, N. Miura, H. Ishikuro, T. Kuroda, “A 12Gb/s non-contact interface with coupled Transmission lines,” IEEE International Solid-State Circuits Conference (ISSCC), February 2011.
 35. Y. Take, N. Miura and T. Kuroda, “A 30Gb/s/link 2.2Tb/s/mm² Inductively-Coupled Injection-Locking CDR,” IEEE Asian solid state circuit conference (A-SSCC'10), pp. 81-84, November 2010.
 36. Teruyoshi Hatanaka, Koichi Ishida, Tadashi Yasufuku, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “A 60% Higher Write Speed, 4.2Gbps, 24-Channel 3D-Solid State Drive (SSD) with NAND Flash Channel Number Detector and Intelligent Program-Voltage Booster,” IEEE Symp. on VLSI Circuits, pp.233-234, June 2010.
 37. Y. Yuan, A. Radecki, N. Miura, I. Aikawa, Y. Take, H. Ishikuro, T. Kuroda, “Simultaneous 6Gb/s Data and 10mW Power Transmission using Nested Clover Coils for Non-Contact Memory Card,” IEEE Symposium on VLSI Circuits, Dig. Tech. Papers, pp. 199-200, June 2010.
 38. Shuhei Tanakamaru, Atsushi Esumi, Mitsuyoshi Ito, Kai Li and Ken Takeuchi, “Post-manufacturing, 17-times Acceptable Raw Bit Error Rate Enhancement, Dynamic Codeword Transition ECC Scheme for Highly Reliable Solid-State Drives, SSDs,” IEEE International Memory Workshop, pp88-91, May 2010.
 39. M. Saito, K. Kasuga, T. Takeya, N. Miura, and T. Kuroda, “An Extended XY Coil for Noise Reduction in Inductive-coupling Link,” IEEE Asian Solid-State Circuits Conference (A-SSCC'09), Proceedings, pp.305 - 308, November 2009.

③ポスター発表 (国内会議 6 件、国際会議 2 件)

〈国内会議〉

1. 川尻徹, 長谷川雄哉, 石黒仁揮, “スイッチト整流器を用いた NAND フラッシュメモリ向け単一インダクタ 2 出力非接触給電システム”, LSI とシステムのワークショップ 2014, 小倉, 2014 年 5 月
2. 畑中輝義, 上日光, 竹内健, “3次元積層 SSD 向け 20V 昇圧回路の EMI 測定と出力性能の解析”, LSI とシステムのワークショップ 2012, ポスターセッション 2012 年 5 月.
3. 富田和寿, 篠田亮太, 黒田忠広, 石黒仁揮 “ベクトル加算型高速電力制御を用いた 1W, 3.3V - 16.3V 電圧ブースト非接触給電回路”, LSI とシステムのワークショップ 2012, ポスターセッション 2012 年 5 月.
4. 長谷川雄哉, 篠田亮太, 富田和寿, 石黒仁揮, “DS 変調分数調波共振を用いた高速負荷追従型低スプリアス非接触給電回路”, LSI とシステムのワークショップ 2012, ポスターセッション 2012 年 5 月.
5. 田中丸周平, 洪慶麟, 竹内健, “非対称符号・ストライプパターン除去符号による高信頼・低消費電力ソリッド・ステート・ドライブ(SSD)”, LSI とシステムのワークショップ

2011, ポスターセッション 2011 年 5 月.

6. 上口光, 畑中輝義, 竹内健, “3次元積層 SSD のためのプログラム電圧発生回路と TSV の検討”, LSI とシステムのワークショップ 2011, ポスターセッション 2011 年 5 月.

〈国際会議〉

1. Junki Hashiba, Toru Kawajiri, Yuya Hasegawa, and Hiroki Ishikuro, "Dual-Output Wireless Power Delivery System for Small Size Large Volume Wireless Memory Card," 20th Asia and South Pacific Design Automation Conference (ASP-DAC 2015), Jan., 2015.
2. Shuhei Tanakamaru, Yuki Yanagihara and Ken Takeuchi, “Highly Reliable Solid-State Drives (SSDs) with Error-Prediction LDPC (EP-LDPC) Architecture and Error-Recovery Scheme,” 18th Asia and South Pacific Design Automation Conference (ASP-DAC 2013) University LSI Design Contest, January 2013.

(4)知財出願

①国内出願 (15 件)

②海外出願 (20 件)

(5)受賞・報道等

① 受賞

1. 黒田忠広, エレクトロニクスソサイエティ賞, “誘導結合を用いた近接無線通信技術に関する先駆的研究開発,” 電子情報通信学会 2011 年 9 月.
2. NE ジャパン・ワイヤレス・テクノロジー・アワード 2013、小菅敦丈, 石黒仁揮, 黒田忠広、2013/5/21
3. IEEE International Solid-State Circuits Conference (ISSCC'15) Silkroad Award, Tsukasa Tokutomi, Masafumi Doi, Shogo Hachiya, Atsuro Kobayashi, Shuhei Tanakamaru and Ken Takeuchi, “Enterprise-Grade 6x Fast Read and 5x Highly Reliable SSD with TLC NAND Flash Memory for Big-Data Storage”, Feb. 2015.

② マスコミ(新聞・TV等)報道

1. “リアルタイムデータ処理に向けた高速・高信頼の SSD、中央大が開発”, 日経テクノロジー online, 2015 年 2 月 25 日.
2. “中央大、SSD の処理速度を 6 倍に高速化する技術開発ー読み出しレベル調整”, 日刊工業新聞, 2015 年 2 月 26 日.
3. "18 Views of ISSCC -Enabling modular smartphone-,"EE Times, Feb. 26, 2015
4. "米粒大の非接触コネクタでスマホを変える" 日経産業新聞, 2015 年 2 月 24 日
5. "新技術 非接触コネクタ:いよいよスマホ搭載か!?! 電磁界結合による非接触コネクタで開発成果," EE Times Japan, 2015 年 2 月 23 日
6. “制御技術で実用化目前? ReRAM 搭載 SSD”, キーマンズネット, 2014 年 4 月 16 日.
7. “中央大、SSD のエラーを 80%減らす技術開発”, 日刊工業新聞, 2014 年 6 月 18 日.
8. “中央大、1000 年先までデータ保存 半導体メモリ新方式”, 日本経済新聞, 2014 年 6 月 17 日.
9. “デジタルデータの長期保存へ道 1000 年記憶を目指して SSD のエラーを 80%低減”, 共同通信, 2014 年 6 月 13 日.
10. “中央大、フラッシュメモリの SSD エラーを 80%低減する技術を開発”, マイナビニュース, 2014 年 6 月 13 日.

11. “100年以上の長期記憶が可能な SSD 技術、中央大が開発”, RBB TODAY, 2014年6月13日.
12. “デジタルデータの長期保存へ道 1000年記憶を目指して SSD のエラーを80%低減”, SankeiBiz, 2014年6月13日.
13. “フラッシュメモリーのビット誤り訂正技術回路の高機能化の発表が相次ぐ”, 日経テクノロジー online, 2014年6月13日.
14. “デジタルデータの長期保存へ道 1000年記憶を目指して SSD のエラーを80%低減”, 朝日新聞デジタル, 2014年6月13日.
15. “SSDは100年を超える長期アーカイブにも使える、TLC NANDの信頼性向上技術を中央大学が開発”, 日経テクノロジー online, 2014年6月13日.
16. “中央大学、ReRAM/NAND ハイブリッド・ストレージの信頼性を高めるコントローラ技術を開発”, 日経 Tech-On, 2014年2月.
17. “ISSCC 2014 - 中大など、高速 SSD 技術と高速車載ネットワーク技術を開発”, マイナビニュース, 2014年2月.
18. “中央大、ハイブリッドSSD向け誤り訂正機能開発ーエラー80%削減”, 日刊工業新聞, 2014年2月19日.
19. “ReRAM エラー8割減 誤り訂正システム 33倍高速化”, 化学工業新聞, 2014年2月19日.
20. “高速・大容量・高信頼の SSD で無線データ処理技術に道 中央大 慶応大 ビッグデータサービス基盤実現に寄与”, 科学新聞 4面, 2014年2月21日.
21. “ついに最優秀賞が決定！栄冠は慶応大学 黒田・石黒研究室に”, Tech-On, 2013年5月21日.
22. “ISSCC 2013 - 中大、高信頼性のフラッシュ/ReRAM ストレージシステムを開発”, マイナビニュース 2013年2月.
23. “中央大学、ReRAM とフラッシュを統合した高信頼ストレージ技術を開発”, 日経コンピュータ 2013年2月.
24. “【ISSCC】信頼性を従来比3.2倍に改善できる NAND/ ReRAM 統合ストレージ・システム、中央大学が開発”, 日経エレクトロニクス 2013年2月.
25. “【ISSCC プレビュー】メモリ：ReRAMが32Gビットに飛躍、SRAMは20nmの最小セル面積品が登場”, 日経エレクトロニクス 2012年12月.
26. “インタビュー／東大大学院工学系研究科・竹内健准教授 “統合制御”技術がカギ”, 日刊工業新聞 2012年4月3日.
27. “ワイヤレス SSD に関する3つの革新的技術を開発「128ギガビット以上」の大容量メモリー製作も可能に！”, JST ニュース, vol. 9, no. 1, pp. 4, 2012年4月号.
28. “ワイヤレス SSD の実現に向けた技術 東大と慶応大が「ISSCC2012」で発表”, 日経エレクトロニクス 2012年3月.
29. “ISSCC 2012 - 東大など、固体記憶媒体 SSD メモリに関する3つの技術を開発”, マイナビニュース 2012年2月.
30. “SSDをワイヤレス/バッテリーフリーに、東大と慶応大が新技術で狙う”, EE Times Japan, 2012年2月.
31. “【ISSCC】東京大学と慶応義塾大学、ワイヤレス SSD の実現につながる三つの技術を開発”, 日経エレクトロニクス 2012年2月.
32. “東大竹内研、SSDの寿命を10倍以上向上させるエラー訂正技術を開発 2/22 ISSCC で論文発表”, EDA エクスプレス 2012年2月.

33. “ワイヤレス SSD メモリー 毎秒 7 ギガビットの最速 東大が基本技術開発”, 日刊工業新聞 2012 年 2 月.
34. “ISSCC from a memory analyst’s view”, Solid State Technology, 2012 年 2 月.
35. “New Technologies Expected to Realize Wireless SSD's”, EESAGE, 2012 年 2 月.
36. “ISSCC: Pictures from a silicon exhibition”, EE Times, 2012 年 2 月.
37. “無線メモリーカード”, 小学館 DIME 2012 年 1 月 10 日号
38. “「ばたつく相手でも大丈夫です」、高速負荷応答の非接触充電技術が開発”, EE Times Japan 2011 年 11 月.
39. “メモリーカード 無線で電力供給”, 日本経済新聞 2011 年 11 月
40. “3 次元 SSD の書き込み性能を 4 倍に、東大の竹内研が新電圧生成システム開発”, 日経エレクトロニクス 2011 年 6 月.
41. “ISSCC NAND の 32G~64G ビット品が量産レベルに、新メモリーの発表も相次ぐ”, 日経エレクトロニクス 2011 年 2 月.
42. “ISSCC 2011 - 東大ら、SSD の高信頼化と非接触高速インタフェース技術を開発”, マイコミジャーナル 2011 年 2 月.
43. “ISSCC SSD の動作信頼性を 95% 高め、書き込み電力を 43% 削減するデータ変調技術、東京大学などが開発”, 日経エレクトロニクス 2011 年 2 月.
44. “高速データ通信 非接触機器、毎秒 12 ギガでメモリーカード応用”, 日経産業新聞朝刊 10 面 2011 年 2 月.
45. “記憶装置 SSD エラーを 95% 減少 東大慶大 12 ギガビットで消費電力半減”, 日刊工業新聞 朝刊 23 面 2011 年 2 月.
46. “非接触型 SSD メモリー新技術 エラーを 95% 削減 43% 低電力化”, 電波新聞 朝刊 4 面 2011 年 2 月.
47. “エラーを大幅削減 世界最速の SSD メモリー”, 日本情報産業新聞 朝刊 2 面 2011 年 2 月.
48. “まだまだ続く半導体技術革新”, 日経エレクトロニクス 2010 年 11 月.
49. “東大最前線 フラッシュメモリー 竹内健准教授 (工学系研究科)”, 東京大学新聞 2010 年 8 月.
50. “FPGA やメモリー, さらに SSD, 3 次元化に沸く LSI 開発 VLSI Symposia 詳報”, 日経エレクトロニクス 2010 年 7 月.
51. “東大と慶大、毎秒 6 ギガビットでデータ伝送する非接触メモリーカード開発”, 朝日新聞 2010 年 6 月.
52. “J S T と東大と慶大、毎秒ギガビットを超える非接触メモリーカードを開発”, 日本経済新聞 2010 年 6 月.
53. “SSD の書き込み速度を 4.2G ビット/秒へ高める電源技術”, 東大などが開発”, 日経エレクトロニクス 2010 年 6 月.
54. “非接触メモリーカード 毎秒 6 ギガビットでデータ伝送 東大と慶大など開発”, 日刊工業新聞 2010 年 6 月.
55. “誤り訂正強度を状況に合わせる手法提案”, EE Times Japan 2010 年 6 月.
56. “6 月にハワイで開催する LSI 回路技術の国際会議「VLSI Circuits シンポ」の注目論文, 13 件を一挙紹介”, 日経エレクトロニクス 2010 年 5 月.
57. “NAND の信頼性を 10 倍以上に高める誤り訂正技術, 東大らが開発”, 日経エレクトロニクス, 2010 年 5 月.
58. “SSD の国家プロジェクトがスタート, 10G ビット/秒の超高速無線通信技術を採用”, 日

(6)成果展開事例、出口活動

①社会還元的な展開活動

- ・本研究で得られた成果は、ISSCC・VLSI シンポジウムなど世界トップの学会で発表を行い、プレスリリースも1年間に1-2回行っている。その結果、上記のように研究成果はメディアに広く取り上げられている。

【プレスリリースのリスト】

- ・中央大学「性能を11倍化、電力を93%削減、寿命を7倍化する、ReRAMとフラッシュメモリのハイブリッドSSD」2014年6月11日。
- ・中央大学「自動運転やインダストリ4.0に向けてリアルタイムにデータを処理・記憶するSSDを開発」2015年2月25日。
- ・中央大学「信頼性を32倍高めたビッグデータ向けフラッシュメモリ/ReRAM統合ストレージシステム」2013年2月14日。
- ・JST、東京大学、慶應義塾大学「固体記憶媒体SSDメモリーに関する3つの革新的新技術を開発、家電の超小型化へー寿命10倍化、世界最高速（毎秒7ギガビット）、0.52W給電ー」2012年2月16日。
- ・JST、東京大学、慶應義塾大学「飛躍的にエラーを削減するSSDメモリーの開発に成功ー世界最速・毎秒12ギガビットの非接触インタフェースも実現ー」2011年2月18日。
- ・JST、東京大学、慶應義塾大学「世界最速、毎秒ギガビット超の非接触メモリカードを開発ー動作中の誤使用や劣化にも高い信頼性と安全性を確保」2010年6月11日。

§6 研究期間中の活動

6.1 主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
2012年2月19日	ISSCC フォーラム "Reliable Robust VLSI Circuit System"	サンフランシスコ	100人	VLSIのディベンダビティに関するフォーラムを開催