

戦略的創造研究推進事業 CREST

研究領域「ディペンダブル VLSI システムの基盤技術」

研究課題「自己修復機能を有する3次元VLSIシステムの
創製」

研究終了報告書

研究期間 平成 21 年 11 月～平成 26 年 3月

研究代表者：小柳 光正

(東北大学 未来科学技術共同研究センター、
教授)

§ 1 研究実施の概要

(1) 実施概要

本研究プロジェクトでは、3次元LSIの特徴を生かして、高性能、低電力の車載用ディペンダブル画像処理プロセッサの実現可能性を示すことを目指して研究を行った。具体的には、2020年に、1Tflop、5Wの性能と消費電力を達成できるかと、ディペンダビリティを確保するための信頼性として80Fitをクリアできるかに重点を置いて研究を行った。しかし、1Tflops、5Wの三次元積層型画像処理プロセッサを実際に設計、試作することは難しいので、エネルギー効率からみた目標性能として、200GFlops/W（1Tflops、5W）を設定し、この目標をどのように達成するかについて検討した。想定している2020年には、8nmCMOS技術が使われる可能性があるが、22nmCMOS技術から8nmCMOS技術へと微細化されるとエネルギー効率が1桁改善されると予測されていることから、2020年には20GFlops/Wが実現されると考えられる。しかし、これだけでは200GFlops/Wを実現できないので、本研究では、3次元化とベクトル化で更に1桁エネルギー効率を改善することを目指して研究を行った。しかし、やはり、200GFlops/Wのエネルギー効率を有する三次元積層型画像処理プロセッサを実際に設計、試作することは難しいので、三通りの方法による評価結果を合わせることによって実現可能性を示すこととした。第一の方法では、90nmCMOS技術を用いて実際に3次元積層型プロセッサを設計・試作し、プロセッサの3次元積層化による性能改善率を評価し、この結果を2020年の技術である8nmCMOS技術まで外挿することによって、その可能性を示す。第二の方法では、8nmCMOS技術を想定して、3次元積層化とベクトル化をベースとした新しいアーキテクチャを採用し、システムシミュレーション、ソフトウェアシミュレーションにより、性能を一桁改善できることを示す。第三の方法では、90nm技術よりは性能の良い45nmCMOS技術により作製されたマルチコアプロセッサRP-X(ルネサス製)に青木グループが開発した位相相関法による画像処理プログラムを走らせて性能を評価し、その結果も合わせて、200GFlops/Wの可能性を明らかにする。第一の方法は、小柳チーム、末吉チームが中心となって、第二の方法は小林チームが中心となって、また、第三の方法は青木チームが中心となって、研究を進め、それぞれが連携することによって研究の成果が上がるよう心掛けた。

信頼性に関しては、まだ信頼性が確立されていない3次元LSIで80Fitを実現できるかどうかの可能性を示すために、プロセッサに、オンタイムによる自己診断・修復機能を搭載することとした。このような自己診断・修復機能を有する積層プロセッサをチェックポイント・リスタート機能を使ってSupervisor Processor (SVP) で管理し、オンタイムのサイクリックテストと三重化 (TMR) を組み合わせることで80Fitという信頼性目標を達成することを目指した。信頼性確保のためのテスト容易化設計とテストアルゴリズムの検討は鎌田チームと小柳チームが中心となって行った。

以上のやり方で研究を進め、第一の方法に関しては、90nmCMOS技術による3次元積層型プロセッサの試作に成功し、現在詳細性能の評価中である。自己診断・修復機能を有するこのような3次元積層型画像処理マルチコアプロセッサの試作は世界初の試みであり、世界の3次元LSIの研究開発に与えるインパクトは極めて大きい。実際、マイクロンのHybrid Memory Cube (HMC) 3次元DRAMにも自己診断・修復機能が取り入れられようとしていることからわかるように、自己診断・修復機能を搭載して3次元LSIのディペンダビリティを向上させようとする動きが広まっている。第二の方法に関しては、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能の搭載とそれを制御するためのSVP (Supervisor Processor) の採用、運転支援・画像処理システムのための画像処理の

高性能化を図るための新しいアルゴリズムの採用によって、運転支援用のハードウェア・ソフトウェア協調型ディペンダブル 3次元積層型画像処理マルチコアプロセッサ LSI を設計している。ハードウェア・ソフトウェア協調型の 3次元積層型画像処理マルチコアプロセッサに関しては、アーキテクチャ設計レベルで動的に様々な情報をモニタリングし、アプリケーションに適切な計算資源を割り当てる新しい機構を導入しており、性能向上や消費電力の低減だけではなく、ディペンダビリティの向上に有効に働く。また、3次元 LSI 技術を用いて、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能を搭載するとともに、それを制御するための SVP を画像処理プロセッサコア上に積層することによって、3次元 LSI の特徴である並列性と接続の柔軟性を利用して、システム性能を低下させることなくシステムのディペンダビリティを高めている。また、メモリ・ソフトウェア検出・救済のためのリコンフィギュラブルロジックの採用や一部の回路を多重化することによって SVP 自身のディペンダビリティを向上させ、それによってシステム全体のディペンダビリティの向上を図っている。スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するための SVP を搭載して画像処理プロセッサのディペンダビリティを向上するという試みはこれまで例がなく、極めて独創的である。これらの手法は運転支援用画像処理プロセッサだけでなく、高いディペンダビリティを必要とする LSI に広く適用できる。

本研究プロジェクトでは更に、3次元積層型画像処理プロセッサにおける画像処理の高性能化のための新しいアルゴリズムとして、位相限定相関法 (POC) に基づく超高精度ステレオビジョンのための新しいアルゴリズムを導入している。このアルゴリズムは従来の SAD (Sum of Absolute Differences) や SSD (Sum of Squared Difference) を用いた方法に比べて計測精度が高く、車載用画像処理システムだけでなく、各種のマシンビジョン (監視カメラ, 物体認識, FA, 生体認証など) にも応用可能であり、極めて独創的な技術である。第三の方法では、このアルゴリズムによる画像処理プログラムをマルチコアプロセッサ RP-X に実装して性能評価を行い、200GFlops/W の性能が達成可能かどうかの見極めを行うためのデータが積上がっている。

(2) 顕著な成果

<優れた基礎研究としての成果>

1.

概要: オンタイムテスト機能を有するディペンダブル三次元積層型プロセッサの試作に世界で初めて成功した。このような自己診断・修復機能を有する三次元 LSI は今後の LSI の標準的な形になっていくと考えられ、本研究プロジェクトでこのような 3次元 LSI の試作に成功したことは今後の LSI 研究に大きなインパクトを与えると思われる。これらの成果については、半導体の殿堂である IEEE IEDM2013 の Plenary Talk、ISSCC Forum 2014 の招待講演で発表予定である。

2.

概要: 3次元積層型画像処理マルチコアプロセッサのディペンダビリティを向上するために、API プロキシと呼ばれる別プロセスで OpenCL の API 呼び出しを暗黙裏に全て監視し、OpenCL 経由で利用されるプロセッサの状態の保存と復元に必要なデータをアプリケーションからは透過的に管理する新しいチェックポイント・リスタート機構について機構を提案した。その有用性は、並列分散処理の一流会議である IPDPS2011 に関連論文が採択されるなど、高く評価されている。

3.

概要：3次元積層型画像処理マルチコアプロセッサのための動作性能を著しく劣化させることなくディペンダビリティを高めるための新しいオンタイム自己診断・修復手法を提案した。オンタイムテストでは、1フレームの処理時間内にテスト期間を設け、このテスト期間をプロセッサ層間でサイクリックにシフトさせることによって、プロセッサ全体の性能をそれほど低下させることなく、故障検出率を高めて修復を行う。このような3次元積層構造を利用した新しい自己診断・修復手法はこれまで報告がなく、3次元LSIのテスト容易化設計(3D-DfT)分野の研究に大きなインパクトを与えられられる。

<科学技術イノベーションに大きく寄与する成果>

1.

概要：信頼性の高い3次元LSIプロセス技術を開発し、その技術を用いて3次元LSIの試作に成功した。3次元作製プロセスを400℃以上で行うと、積層時の機械的な応力やCu汚染によってLSIの信頼性が低下する。そこで、Back-Via方式の3次元積層化技術を採用することによって300℃以下で積層が可能な信頼性の高い3次元LSIプロセス技術を開発した。この技術は、通常の2次元LSIチップを用いて3次元LSIを作製するという他ではまねのできない特徴を有する。この技術の開発によって、今後3次元LSIの実用化が加速されるとともに、応用分野の拡大が期待でき、そのインパクトは極めて大きいと思われる。この技術についてはこれまで、IEDMで毎年発表するとともに、VLSIシンポジウムやIEEE 3EICなどの国際会議で招待講演を行っている。

2.

概要：符号化訂正回路とスクラビングを組み合わせた、リコンフィギャラブルロジックのソフトエラー耐性向上のためのエラー訂正回路を提案した。本エラー訂正回路では、従来の訂正回路と違って動的にソフトエラーを検知・復旧することが可能である。また、ECCチェック時に発生するハザードは瞬間的に回路情報を書き換えて致命的なエラーを引き起こすが、本訂正回路ではエラー訂正時にも遅延回路を用いることでハザードを発生させないという特徴がある。本成果は特許出願も行っている(特願2010-197048)。

3.

概要：車両前方等の障害物検出および距離計測を高精度に行うことを可能とする位相限定相関法と車載ステレオビジョンシステムのための高精度化手法を開発した。本手法を用いるとサブピクセル(0.1~0.01ピクセル)分解能のロバスト画像マッチングが可能であり、他の画像処理手法に比べて優位性が高い。本研究の成果は、位相情報を利用する画像解析・画像処理技術に関する研究では世界をリードしている。本研究では、これらの手法がディペンダブル3次元積層型画像処理マルチコアプロセッサを用いた車載画像処理にも応用可能なことを示した点でも、インパクトが高いと言える。

§2. 研究構想

(1)当初の研究構想、課題設定

①本研究の背景、社会や産業に存在する問題と本研究の課題設定

Mooreの法則で知られるように、これまで、LSIは、微細加工技術の進歩に伴う半導体素子の微細化により、著しい速度で高性能化、大容量化が達成されてきた。しかし、微細加工技術が32nmノード、22nmノードと進むにつれて、素子の微細化に伴う様々な問題が顕在化してきている。チップあたりのトランジスタ数や総配線

長の増加により、消費電力も著しく増加している。また、微細化とともに低電圧化が進み、加工ばらつきや不純物濃度の統計的なゆらぎの影響も無視できなくなっている。そのため、十分なディペンダビリティを確保しながら安定に動作する LSI の開発が次第に難しくなっている。このような将来の LSI の微細化限界に対処するために、3 次元 LSI 技術の研究開発が盛んになっている。特に、欧米、韓国、台湾では大規模な国家プロジェクトが発足して、3 次元 LSI 技術の実用化へ向けて精力的に研究開発が行われている。TSV (Through-Si via) を使った FPGA マルチチップモジュールや CMOS イメージセンサーなど、一部、量産もはじまっているが、2013 年から、メモリ/ロジック積層も含めて本格的な量産がはじまると言われている。また、マイクロン、IBM 主導で Hybrid Memory Cube (HMC) という 3 次元 DRAM コンソーシアムも設立され、2015 年からの実用化を目指した動きが始まっている。米国では、2010 年に、DARPA 主導で、MOSIS を通して全米の大学に 3 次元 LSI 試作チップを供給して、新しい 3 次元 LSI 探索を行う戦略的なシステムが構築されている。また、3 次元 LSI のテスト手法や信頼性についての標準化を行うための標準化委員会も IEEE に設置されている。

本研究プロジェクトでは、将来の主流技術となると考えられているこのような 3 次元 LSI を念頭に置いて、自動車、ロボット、環境、航空宇宙、バイオテクノロジーなど、今後更なる発展が期待される分野での使用に耐える新しいディペンダブル LSI を実現するための基盤技術を開発することを目的として研究を開始した。具体的には、将来の自動車の高度化やロボット化を見据えて、自動車の運転支援のための車載用ディペンダブル画像処理システムの中核となる画像処理システム LSI を実現することを目指した。画像処理をベースとした多重化システムでは、処理するデータ量が膨大となるために(制御系に比べて 3~4 桁多い)、高性能化が必須となる。また、このような画像処理システム LSI は今後、車載応用も含めていろいろな分野で応用が広がると期待されるので、高性能化だけでなく、低電力化、小型化も重要となる。しかし、このような高性能化、低電力化、小型化は従来技術だけでは達成できない。たとえば 5 年後に 1Tflops で 5W の画像処理システム LSI を実現しようとする、消費電力を 2 桁以上低減する必要があるが、単なる素子の微細化だけでは達成できない。そこで、本研究プロジェクトでは 3 次元 LSI と素子の微細化を組み合わせることによって、画像処理システム LSI の高性能化、低電力化、小型化を達成することを想定した。しかし、このような画像処理システム LSI を自動車の運転支援システムに応用する場合には、ディペンダビリティが大きな問題となる。特に、3 次元 LSI では、2 次元 LSI では使用しないシリコン貫通配線(TSV)や金属マイクロバンプを多数使用することからそれによる信頼性の低下が懸念される。

そこで、本研究プロジェクトでは、ディペンダブル 3 次元 LSI 技術を基盤として、運転支援システムとしての画像処理システム LSI のディペンダビリティ向上を、1)画像処理・認識の高性能化による測距制度の向上と、2)ソフトウェア/ハードウェア協調による自己診断・修復機能の搭載によって実現し、それによって、ASIL=C(故障率 80FIT 以下、SPFM97%以上、LFM80%以上)の信頼性を確保する見通しを明らかにすることを目指して研究を行った。

②本研究チームの達成目標

ディペンダブル 3 次元 LSI 技術を基盤として、ASIL=C(故障率 80FIT 以下、SPFM97%以上、LFM80%以上)の信頼性を確保できる自動車運転支援用ディペンダブル画像処理システム LSI の実現可能性を示す。

このような画像処理システム LSI が実現可能となると、基線長:12cm、焦点距離:6.5mm、画像サイズ: SXGA、ウィンドウサイズ:48 画素×31 ライン、再構成点数:3 万点、対応付け精度:1/20 画素、の仕様のシステムで、50m 先で 80cm 分解能、100m 先で 3m 分解能という測距精度が実現可能となる。このようなディペンダブル画像処理システム LSI を用いた自動車運転支援用画像処理システムの実現可能性が示されることによって、システムの実用化が促進され、高齢者の運転ミスによる交通事故の低減につながる。また、ディペンダブル 3 次元

LSI 技術の確立は、素子の微細化によらない新しい LSI の創製につながり、LSI 技術の更なる発展をもたらす。

③本研究の特徴

本研究の特徴は、3次元 LSI の特徴を生かして、高性能、低電力の車載用ディペンダブル画像処理システム LSI の実現可能性を示した点にある。具体的には、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能の搭載とそれを制御するための SVP (Supervisor Processor) の採用、運転支援・画像処理システムのための画像処理の高性能化を図るための新しいアルゴリズムの採用によって、運転支援用のハードウェア・ソフトウェア協調型ディペンダブル 3次元積層型画像処理マルチコアプロセッサ LSI を設計、試作した点にある。

ハードウェア・ソフトウェア協調型の 3次元積層型画像処理マルチコアプロセッサに関しては、アーキテクチャ設計レベルで動的に様々な情報をモニタリングし、アプリケーションに適切な計算資源を割り当てる新しい機構を導入しており、性能向上や消費電力の低減だけではなく、ディペンダビリティの向上に有効に働く。また、3次元 LSI 技術を用いて、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能を搭載するとともに、それを制御するための SVP を画像処理プロセッサコア上に積層することによって、3次元 LSI の特徴である並列性と接続の柔軟性を利用して、システム性能を低下させることなくシステムのディペンダビリティを高めている。また、メモリ・ソフトウェア検出・救済のためのリコンフィギュラブルロジックの採用や一部の回路を多重化することによって SVP 自身のディペンダビリティを向上させ、それによってシステム全体のディペンダビリティの向上を図っている。スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するための SVP を搭載して画像処理プロセッサのディペンダビリティを向上するという試みはこれまで例がなく、極めて独創的である。これらの手法は運転支援用画像処理プロセッサだけでなく、高いディペンダビリティを必要とする LSI に広く適用できる。以上のような自己診断・修復機能を有する 3次元積層型画像処理マルチコアプロセッサの試作は世界初の試みであり、世界の 3次元 LSI の研究開発に与えるインパクトは極めて大きい。実際、マイクロンの Hybrid Memory Cube (HMC) 3次元 DRAM にも自己診断・修復機能が取り入れられようとしていることからわかるように、自己診断・修復機能を搭載して 3次元 LSI のディペンダビリティを向上させようとする動きが広まっている。

本研究プロジェクトでは更に、3次元積層型画像処理プロセッサにおける画像処理の高性能化のための新しいアルゴリズムとして、位相限定相関法 (POC) に基づく超高精度ステレオビジョンのための新しいアルゴリズムを導入している。このアルゴリズムは従来の SAD (Sum of Absolute Differences) や SSD (Sum of Squared Difference) を用いた方法に比べて計測精度が高く、車載用画像処理システムだけでなく、各種のマシンビジョン (監視カメラ、物体認識、FA、生体認証など) にも応用可能であり、極めて独創的な技術である。

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本研究プロジェクトでは、自動車運転支援用のディペンダブル画像処理システム LSI を開発するために、システムのディペンダビリティについて、画像処理・認識のディペンダビリティ、システムソフトウェアに関わるディペンダビリティ、システムハードウェアに関わるディペンダビリティという 3つの視点から検討することとし、チーム全体を下記の 3つのグループに分けて研究を進めることとした。

①画像処理システムの高性能化と全体設計に関する研究グループ

②ディペンダブルソフトウェア技術に関する研究グループ

③ディペンダブルハードウェア技術に関する研究グループ

グループ ①では、鎌田グループが自動車運転支援用画像処理システムの全体構成と目標仕様の検討、青木グループがその目標を達成するための画像処理アルゴリズムの開発を担当する。鎌田グループは、グループ③が開発、試作する積層型画像処理マルチコアプロセッサにおいて、目標とするディペンダビリティを達成するための信頼性設計・解析も担当する。

グループ ②では、小林グループが、グループ ①の青木グループ、グループ ③の小柳グループ、末吉グループと協力しながら、ハードウェア・ソフトウェア協調型の 3 次元積層型画像処理マルチコアプロセッサの研究を行う。

グループ ③では、小柳グループ、末吉グループが、グループ②の小林グループと協力しながら、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するための SVP の機能の検討を行う。小柳グループが画像処理プロセッサに搭載するためのハードウェア設計、末吉グループが SVP のディペンダビリティを向上させるためのメモリ・ソフトエラー検出・救済も含めたリコンフィギュラブルロジックの検討を行う。小柳グループは元吉グループと協力して、積層型画像処理マルチコアプロセッサを試作するための 3 次元 LSI 技術の確立も行う。また、元吉グループは、末吉グループ、小柳グループと協力して、積層型画像処理マルチコアプロセッサに搭載するメモリのソフトエラー耐性を評価する。

2) 領域外部の企業等との連携

3 次元積層型マルチコアプロセッサに関して半導体企業と共同研究の可能性を検討中である。また、マルチコアプロセッサの設計・評価、自己診断・修復回路の設計・評価に関して共同研究を行っている。3 次元 LSI 技術に関しては、半導体装置メーカー4 社、半導体材料メーカー1 社と共同研究を行っており、東北大学内で 3 次元積層型画像処理マルチコアプロセッサの試作が可能な体制が整っている。

3) 領域内他研究チームとの連携関係

画像処理プロセッサのディペンダビリティを高めるための自己診断・修復機能の基本となるテスト設計技術に関して、他研究チームの研究会に参加して情報交換を行った。ディペンダブル画像処理プロセッサ実現の鍵を握るソフトエラー対策に関しても、関係する他研究チームと議論を行った。

(2) 新たに追加・修正など変更した研究構想、発展テーマ

① 中間評価で受けた指摘や助言、それを踏まえて対応した結果について

設定した目標が、ディペンダブル三次元積層型画像処理プロセッサで、2020 年時点での性能 1TFlops、消費電力 5W で、ディペンダビリティの指標となる信頼度 80Fit と大変高い目標であったため、どのようにして目標達成するかとチーム内でも議論が紛糾していた。そのような状況の中で中間評価を受け、中間評価では、チーム内各グループの連携関係が明確でなく、目標達成までの具体的なアプローチも見えないとの厳しい指摘を頂いた。その後、領域代表とアドバイザーの先生方から適切な助言を頂き、研究内容を絞ることと、目標達成へ向けての戦略の練り直しを図った。まず、性能と省電力の目標に関しては、限られた研究期間と研究予算の中で、1Tflops, 5W の三次元積層型画像処理プロセッサを実際に試作することは難しいので、エネルギー効率からみた目標性能として、200GFlops/W (1Tflops, 5W) を設定し、この目標の達成可能性をどのように示すかについて検討した。そして、図

1 に示すような 3 通りの検討結果を合わせることでその可能性を示すこととした。一つ目の方法は、90 nm CMOS 技術を用いて実際に 3 次元積層型プロセッサを設計・試作し、プロセッサの 3 次元積層化による性能改善率を評価し、この結果を 2020 年の技術である 8nmCMOS 技術まで外挿することによって、その可能性を示すという方法である。もう一つの方法は、3 次元積層化とベクトル化をベースとした新しいアーキテクチャを採用することによって、性能を一桁改善できることを示すことである。8nmCMOS 技術を用いると、素子の微細化により性能を現在のプロセッサに比べて一桁改善できると予測されている。しかし、性能が一桁改善されたとしても、20GFlops/W にしかならず、200GFlops/W は達成できない。そこで、3 次元積層化とベクトル化でもう一桁改善しようということである。その可能性をシステムシミュレーション、ソフトウェアシミュレーションにより評価する。ハードウェアを用いた評価結果とソフトウェアシミュレーションによる評価結果を合わせて可能性を明らかにしようということであるが、その間をつなぐ評価も必要と言うことで三つめの方法も検討することとした。三つめの方法では、90nm 技術よりは性能の良い 45nmCMOS 技術により作製されたマルチコアプロセッサ RP-X(ルネサス製)に青木グループが開発した位相相関法による画像処理プログラムを走らせて性能を評価し、その結果も合わせて、200GFlops/W の可能セスを明らかにする(マルチコアプロセッサ RP-X(ルネサス製)は長谷川領域アドバイザーのご厚意により無償貸与頂いた)。

一方、信頼性に関しては、まだ信頼性が確立されていない 3 次元 LSI で 80Fit を実現できるかどうかの可能性を示すために、プロセッサに、オンタイムによる自己診断・修復機能を搭載することとした。このような自己診断・修復機能を有する積層プロセッサをチェックポイント・リスタート機能を使って Supervisor Processor (SVP) で管理し、オンタイムのサイクリックテストと三重化 (TMR) を組み合わせることで 80Fit という信頼性目標を達成することを目指した。

中間評価結果の指摘を受けて以上のような研究の進め方の見直しを行った結果、チーム間の連携も明確になり、研究も進めやすくなった。

②中間報告書 § 6. 今後の研究の進め方、および研究成果の見通しの記載事項に関し、研究を進めた結果について

図 1 に示した三通りの方法を採用し、第一の方法は、小柳チーム、末吉チームが中心となって、第二の方法は小林チームが中心となって、また、第三の方法は青木が中心となって、研究を進め、それぞれが連携することによって研究が円滑に進むようになった。また、信頼性確保のためのテスト容易化設計とテストアルゴリズムの検討は鎌田チームと小柳チームが中心となって行った。第一の方法に関しては、90nmCMOS 技術による 3 次元積層型プロセッサの試作に成功し、3 次元積層型プロセッサの基本動作を確認することができた。第二の方法についても、テクノロジースケーリングも考慮したシステムシミュレーションツールを開発して、半導体素子の微細化、ベクトルアーキテクチャの採用と

1TFlops/5Wの性能を有する3次元積層型画像処理マルチコアプロセッサの可能性実証

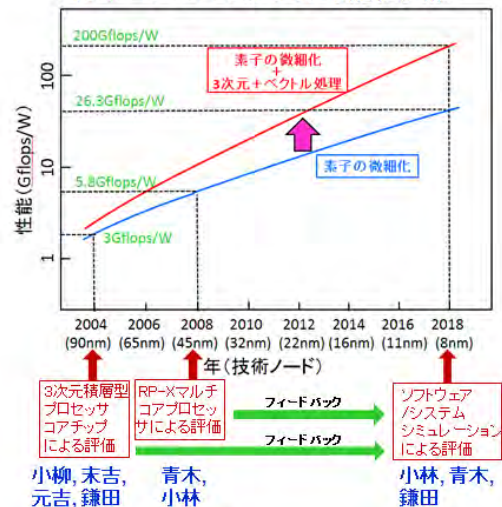


図 1 1TFlops/5W の 3 次元積層型画像処理プロセッサの実験可能性の評価

最適化、ソフト/ハード協調設計、三次元積層型 LSI の採用によって、当初の目標である 1TFlops、5W の性能を実現できる見通しを得た。第三の方法については、22nm～65nm ノード CMOS 技術にて作製された RP-X を含む市販の高性能プロセッサに POC によるソフトウェアを実装してその処理性能を評価し、評価結果をフィードバックすることによって三次元積層型画像処理マルチコアプロセッサの更なる高性能化と低電力化が可能であることを示した。自己診断・修復機能については、試作した積層プロセッサを用いて、Memory-BIST、Logic-BIST が良好に動作すること、それぞれのテストカバレッジが 100%、90%以上であることを確認した。この画像処理用プロセッサチップを 3 層積層して、積層プロセッサの基本動作、Memory-BIST による自己診断、バンダリー・スキャンによる TSV の自己診断・修復機能が良好に行われることも確認した。

③上記①②以外で生まれた新たな展開について

平成 25 年 3 月に、東北大学未来科学技術共同研究センターに、12 インチ/8 インチ・ウェハによる 3 次元 LSI の小規模製造ライン「三次元スーパーチップ LSI 試作製造拠点 (GINTI)」が完成したが、ライン完成までに試作装置が競合したため、3 次元積層型プロセッサの試作が少し遅れた。しかし、今は、ラインも立ち上がって、3 次元 LSI の試作環境が整っていることから、このラインを使って本研究成果の実用化を進めていきたいと考えている。

§3 研究実施体制

(1) 研究チームの体制について

①「小柳」グループ

研究参加者

氏名	所属	役職	参加時期
小柳 光正	東北大学未来科学技術共同研究センター	教授	H21.11～H26.3
田中 徹	東北大学大学院医工学研究科	教授	H21.11～H26.3
福島 誉史	東北大学未来科学技術共同研究センター	准教授	H21.11～H26.3
李 康旭	同上	准教授	H22.4～H26.3
裴 志哲	同上	助教	H22.4～H26.3
裴 艶麗	東北大学国際高等融合領域研究所	助教	H21.11～H25.3
清山 浩司	東北大学未来科学技術共同研究センター	非常勤講師	H21.11～H26.3
楊 贇	東北大学大学院工学研究科	教育研究支援者	H21.11～H22.3
Mariappan Murugesan	東北大学未来科学技術共同研究センター	産学官連携研究員	H22.4～H26.3
橋本 宏之	同上	産学官連携研究員	H22.1～H26.3
大西 正樹	同上	産学官連携研究員	H23.4～H26.3
佐藤 優	同上	産学官連携研究員	H24.4～H26.3
小林 吏悟	東北大学大学院工学研究科	研究支援者	H21.11～H23.3

木野 久志	同上	助教	H21.11～H26.3
大原悠希	同上	D3	H21.11～H25.3
乗木暁博	同上	D3	H21.11～H26.3
菅野壮一郎	東北大学大学院医工学研究科	D3	H21.11～H25.3
海法 克享	同上	D3	H21.11～H22.3
開 達郎	東北大学大学院工学研究科	D3	H21.11～H23.3
岩田 永司	同上	D3	H21.11～H23.3
中澤隆太	東北大学大学院工学研究科	M2	H21.11～H24.3
雪田嘉穂	東北大学大学院医工学研究科	M2	H21.11～H24.3
長沼 秀樹	東北大学大学院工学研究科	D1	H23.4～H26.3
橋口日出登	同上	M2	H23.4～H26.3
中島 悠	同上	M1	H24.4～H26.3
竹下 博隆	同上	D3	H21.11～H23.3

研究項目

自己修復機能を有する3次元積層型画像処理マルチコアプロセッサの全体設計および性能評価

- ・ ディペンダブル 3 次元積層型画像処理マルチコアプロセッサのシステム性能評価
- ・ プロトタイプ 3 次元積層型画像処理マルチコアプロセッサの設計・試作
- ・ 3次元 LSI テスト回路の設計、試作および3次元 LSI の信頼性評価
- ・ ディペンダブルメモリの設計、試作、評価

②小林グループ

研究参加者

氏名	所属	役職	参加時期
小林広明	東北大学サイバーサイエンスセンター	教授	H21. 11～H26. 3
滝沢寛之	東北大学大学院情報科学研究科	准教授	H21. 11～H26. 3
江川隆輔	東北大学サイバーサイエンスセンター	准教授	H21. 11～H26. 3
多田十兵衛	山形大学工学部	助教	H24. 1～H26. 3
村田義智	東北大学サイバーサイエンスセンター	研究員	H23. 4 ～H24. 6
佐藤雅之	東北大学サイバーサイエンスセンター	研究員	H24. 4～H26. 3
高 也	東北大学大学院情報科学研究科	D3	H21. 4～H26. 3
高井 拓実	同上	M2	H24. 4～H26. 3
ムハマド アルフィアン アムリザル	同上	M2	H24. 4～H26. 3
スギヤント アンカサ	同上	M2	H25. 4～H26. 3
肖 熊	同上	M2	H24. 4～H26. 3
千葉雄太	同上	M2	H24. 4～H25. 9
玉橋 直樹	同上	M1	H25. 4～H25. 9
佐藤 貴英	同上	M1	H25. 4～H26. 3

庄司直樹	同上	M2	H23. 4～H25. 3
菅原誠	同上	M2	H23. 4～H25. 3
東方雄亮	同上	M2	H23. 4～H25. 3
安田一平	同上	M2	H24. 4～H25. 3
佐藤裕輝	同上	D3	H23. 4～H24. 3
船矢祐介	同上	D3	H21. 11～H24. 3
佐藤義永	同上	D3	H21. 11～H24. 3
佐藤雅之	同上	D3	H21. 11～H24. 3
遠藤裕亮	同上	M2	H22. 4～H24. 3
津下憲弘	同上	M2	H22. 4～H24. 3
姚佳立	同上	M2	H22. 4～H24. 3
程 顕坤	同上	M2	H23. 4～H23. 4
永岡龍一	同上	M2	H22. 4～H23. 3
小山賢太郎	同上	M2	H22. 4～H23. 3
チャイヤナンサタヤ ピワット	同上	M2	H21. 11～H22. 3
張 浩	同上	M1	H22. 10～H22. 3

研究項目

- ・アプリケーションの特性を考慮した3次元積層型画像処理マルチコアプロセッサのハードウェア構成技術の研究開発
- ・ディペンダブルなアプリケーションスケジューリング機構の研究開発

③「青木」グループ

研究参加者

氏名	所属	役職	参加時期
青木 孝文	東北大学大学院情報科学研究科	教授	H21.11～H26.3
本間 尚文	東北大学大学院情報科学研究科	准教授	H21.11～H26.3
伊藤 康一	東北大学大学院情報科学研究科	助教	H21.11～H26.3
宮澤 一之	東北大学大学院情報科学研究科	D3	H21.11～H22.3
宮本 篤志	東北大学大学院情報科学研究科	D3	H21.11～H22.3
菅原 健	東北大学大学院情報科学研究科	D3	H21.11～H23.3
高橋 徹	東北大学大学院情報科学研究科	D3	H21.11～H23.3

金 用大	東北大学大学院情報科学 学研究科	M2	H21.11～H22.3
飯塚 智	東北大学大学院情報科学 学研究科	M2	H21.11～H22.3
川野 達也	東北大学大学院情報科学 学研究科	M2	H21.11～H22.3
茄子川 慈苑	東北大学大学院情報科学 学研究科	M2	H21.11～H22.3
野畑 幸里	東北大学大学院情報科学 学研究科	M2	H21.11～H22.3
半澤 雄希	東北大学大学院情報科学 学研究科	M2	H21.11～H22.3
馬場 祐一	東北大学大学院情報科学 学研究科	M2	H21.11～H22.3
栗山 貴好	東北大学大学院情報科学 学研究科	M2	H21.11～H23.3
鈴木 絢子	東北大学大学院情報科学 学研究科	M2	H21.11～H23.3
ファジャル メ ガ プラタマ	東北大学大学院情報科学 学研究科	M2	H21.11～H23.3
田島 裕一郎	東北大学大学院情報科学 学研究科	D3	H21.11～H26.3
ルイス ラファ エル マルヴァ ル ペレズ	東北大学大学院情報科学 学研究科	D2	H21.11～H26.3
青山 章一郎	東北大学大学院情報科学 学研究科	D2	H22.4～H26.3
遠藤 翔	東北大学大学院情報科学 学研究科	D2	H22.4～H26.3
齋藤 和也	東北大学大学院情報科学 学研究科	M2	H22.4～H24.3
酒井 修二	東北大学大学院情報科学 学研究科	D2	H22.4～H26.3
三浦 衛	東北大学大学院情報科学 学研究科	D2	H22.4～H26.3
石井 純平	東北大学大学院情報科学 学研究科	M2	H23.4～H25.3
佐々木 満春	東北大学大学院情報科学 学研究科	M2	H23.4～H25.3

響 崇史	東北大学大学院情報科学 学研究科	M2	H23.4～H25.3
和泉 圭祐	東北大学大学院情報科学 学研究科	M2	H24.4～H26.3
岡本 広太郎	東北大学大学院情報科学 学研究科	M2	H24.4～H26.3
山中 佑人	東北大学大学院情報科学 学研究科	M2	H24.4～H26.3
上野 嶺	東北大学大学院情報科学 学研究科	M1	H25.4～H26.3
宇野 甫	東北大学大学院情報科学 学研究科	M1	H25.4～H26.3
佐藤 拓杜	東北大学大学院情報科学 学研究科	M1	H25.4～H26.3
野呂 和正	東北大学大学院情報科学 学研究科	M1	H25.4～H26.3
山尾 創輔	東北大学大学院情報科学 学研究科	M1	H25.4～H26.3

研究項目

- ・位相限定相関法に基づく超高精度ステレオビジョンのためのアルゴリズム開発
- ・上記アルゴリズムのソフトウェア実装および性能評価
- ・上記アルゴリズムの GPU への実装および性能評価
- ・車載用超高精度ステレオビジョンのための3次元 VLSI アーキテクチャの検討

④「末吉」グループ

研究参加者

氏名	所属	役職	参加時期
末吉敏則	熊本大学大学院自然科学研究科	教授	H21.11～H26.3
飯田全広	同上	准教授	H21.11～H26.3
久我守弘	同上	准教授	H23.4～H26.3
尼崎太樹	同上	助教	H21.11～H26.3
趙 謙	同上	D3	H21.11～H26.3
宇多貴重	同上	M2	H24.4～H26.3
高野光平	同上	M2	H24.4～H26.3
田中宏樹	同上	M2	H24.4～H26.3
江島慎弥	同上	M2	H24.4～H26.3
西谷祐樹	同上	M2	H24.4～H26.3
柳田恭成	同上	M2	H24.4～H26.3

濱田哲郎	同上	M2	H25.9～H26.3
岡本隆志	同上	M1	H25.4～H26.3
梶原拓也	同上	M1	H25.4～H26.3
藤澤賢太郎	同上	M1	H25.4～H26.3

研究項目

- ・不良救済技術およびメモリ・ソフトウェア検出救済技術の検討・評価
- ・3次元リコンフィギャラブルロジックおよびCADツールの検討・評価

⑤鎌田グループ

研究参加者

氏名	所属	役職	参加時期
鎌田 忠	(株)デンソー	担当部長	H21.11～H26.3

研究項目

車載用画像処理システムの概念設計と高頼化技術の検討

- ・誤認識(測位誤差)の問題から見た性能目標の検討
- ・ディペンダビリティの目標値を達成する方式の評価方法の検討

⑥元吉グループ

研究参加者

氏名	所属	役職	参加時期
元吉 真	(株)ザイキューブ	仙台開発センター長	H21.11～H26.3

研究項目

自己修復機能を有する3次元LSIテスト回路の試作および評価

- ・メモリ・ソフトウェア検出・救済手法の確定と自己修復機能を有する3次元LSIテスト回路設計および評価
- ・3次元LSIテスト回路、プロトタイプ3次元積層型画像処理プロセッサ試作用3次元LSI技術のプロセス条件の確定

(2) 国内外の研究者や産業界等との連携によるネットワーク形成の状況について

12インチ/8インチ・ウェハによる3次元LSI小規模製造ライン「三次元スーパーチップLSI試作製造拠点：Global INTEgration Initiative (GINTI)」を介して国内外の半導体メーカー、半導体装置メーカー、半導体材料メーカーと共同研究または共同研究へ向けての協議を行っている。また、研究代表者の小柳は3次元LSI開発のパイオニアとして世界的に知られており、その知名度を使って3次元LSIの世界ネットワークを構築すべく、国内外の大学、研究機関と協議をしている。

§ 4 研究実施内容及び成果

4.1 3次元積層型画像処理マルチコアプロセッサの試作・評価

(東北大学 小柳グループ、小林グループ、(株)ザイキューブ 元吉グループ)

(1)研究実施内容及び成果

①実施方法・実施内容

図2に示すような自己診断・修復機能を有する3次元積層型画像処理プロセッサを90nmCMOS技術で設計・試作し、パッケージに実装してその基本性能を評価した。その結果、設計結果通りに200Mz、350Mips(Dhrystone2.1)で良好に動作することを確認した。プロセッサに搭載した自己診断回路であるMemory-BIST、Logic-BISTも良好に動作すること、また、それぞれのテストカバレッジが100%、90%以上であることも確認できた。図3はパッケージに実装したプロセッサコアを評価ボードに搭載して、ホストコンピュータを介してあるソフトウェアを実行させている時の写真である。試作したチップが良好に動作することが確認できたので、Back-Via方式のプロセスで、チップレベルのリソグラフィを行って、チップ表面マイクロバンプ、TSV、チップ裏面マイクロバンプ、再配線等を形成した後、Siインターポーザー上に4層積層した。図4に、Siインターポーザーに搭載した積層型プロセッサの鳥瞰写真を示す。また、積層プロセッサチップのSEM断面観察写真を図5に、X線CTスキャン像を図6に示す。この積層プロセッサの動作をSiインターポーザーを介して評価した結果、図7に示すように積層プロセッサが良好に動作することを確認した。TSVを介した自己診断・自己修復機能についても評価し、Memory-BISTによる自己診断、バンダリー・スキャンによるTSVの自己診断・修復機能が良好に行われることを確認した。図8は自己テスト機能(M-BIST)を用いた積層プロセッサチップからのテスト出力波形である。出力波形に示す1st Check期間で12サイクル連続でデータ”1”が読み出され、2nd Check期間では、最初の2サイクルでデータ”0”、後の10サイクルでデータ”1”が読み出されており、良好な動作が確認できた。図9はバンダリー・スキャンによるTSVの自己診断後のテスト出力波形である。バンダリー・スキャンの先頭8bitに対応する入力ピン(data20~data13)について、順次1ピンだけ”Low”にした場合の出力波形である。入力に対応する出力の各bitが”Low”となっていることから、バンダリー・スキャン回路が正常に動作し、スキャンチェーンに接続されているTSVがすべて導通していることが確認できた。

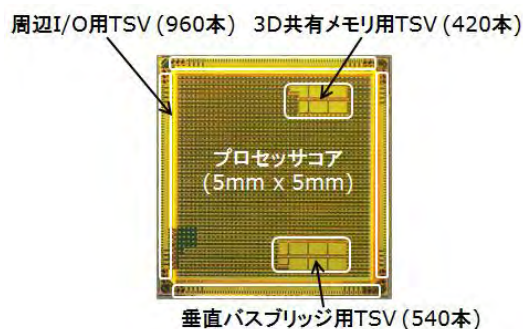


図2. 試作したプロセッサコアチップの写真

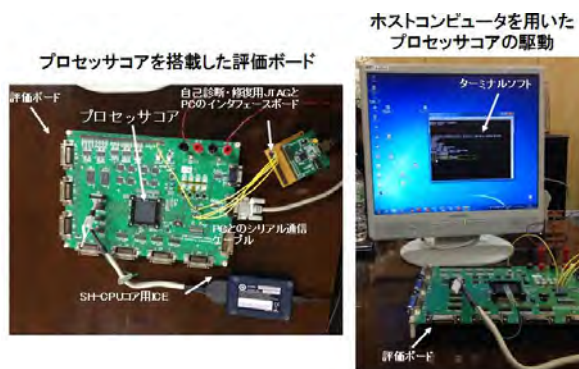


図3. パッケージ実装プロセッサコアの性能評価

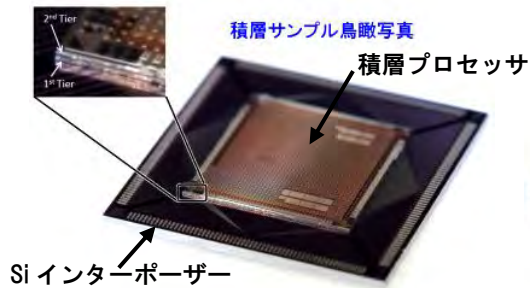


図4 Si インターポージャーに搭載した積層型プロセッサの鳥瞰写真

走査型電子顕微鏡断面観察写真

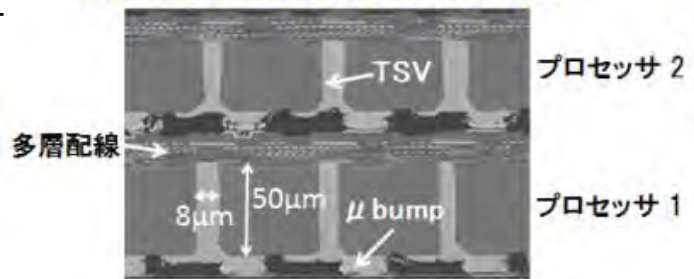


図5 試作した積層型プロセッサのSEM断面観察写真(2層積層部分)

X線CTスキャン画像

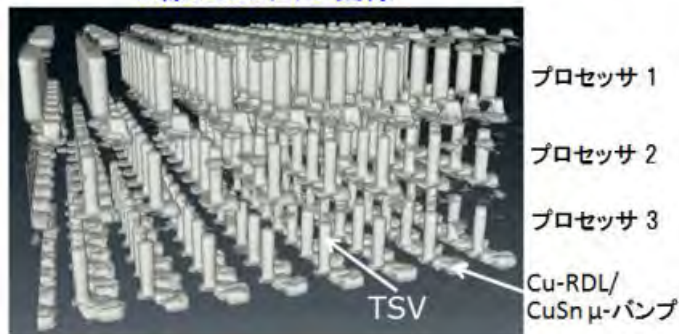


図6 試作した積層型プロセッサのX線CTスキャン像(3層積層部分)

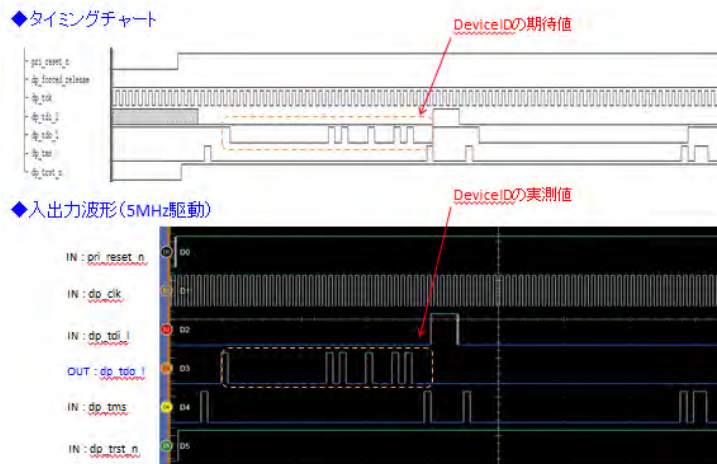


図7 試作した3次元積層型プロセッサの動作波形

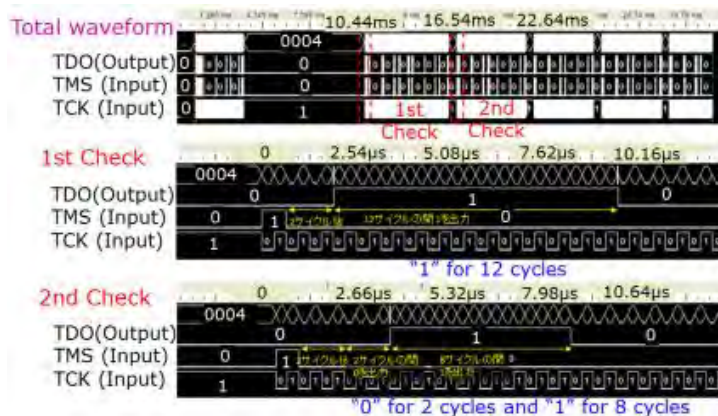


図8 試作した3次元積層型プロセッサの自己テスト機能 (M-BIST) を用いたテスト出力波形

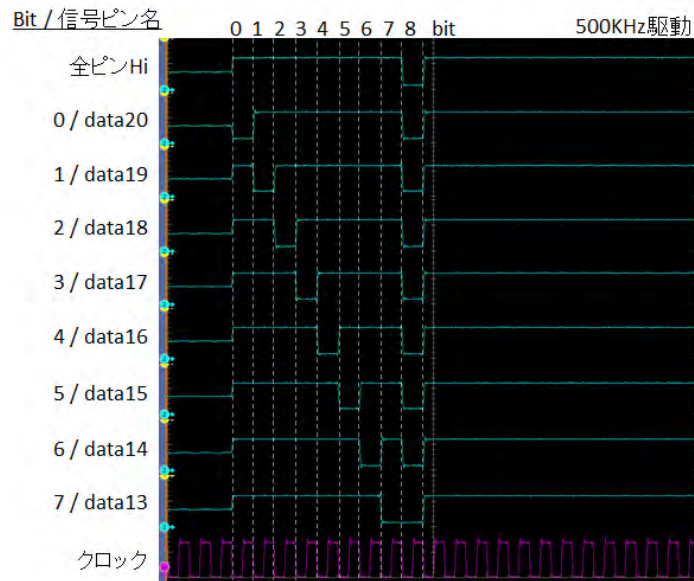


図9 試作した三次元積層型プロセッサのバンダリー・スキャンによる TSV の自己診断後のテスト出力波形

②創造性

自己診断・自己修復機能付きの3次元積層型プロセッサの試作に世界で初めて成功しており、極めて独創的な成果である。

③有用性

試作に成功した3次元積層型プロセッサは画像処理用プロセッサだけでなく、モバイル機器からパソコン、家電製品まで広く用いることができ、有用性は極めて高い。

④優位比較

3次元積層型プロセッサに関しては、ISSCC2012で、ジョージア工科大学、ミシガン大学から発表されているが、メモリとプロセッサの積層に重点を置いており、ディペンダビリティについては一切言及していない。自己診断・修復機能を搭載して多層に積層したプロセッサのディペンダビリティを高めるという取組は本研究プロジェクトが初めてと言える。また、本研究プロジェクトでは、3次元積層型共有メモリという新しい概念を導入しているが、このような新しい共有メモリはまだ実現されていない。本研究では、これらの新しい試みを搭載した4層積層の3次元積層型プロセッサを、直径 $5\mu\text{m}$ という微細TSVを用いた3次元技術を用いて試作し、基本動作の確認に成功している。このような3次元積層型プロセッサの試作は世界で初めてである。

4.2 ディペンダブル3次元積層型画像処理プロセッサのための動的な自己診断・修復手法

((株)デンソー 鎌田グループ、東北大学 小柳グループ、小林グループ)

(1)研究実施内容及び成果

①実施方法・実施内容

3次元積層型画像処理マルチコアプロセッサのための動作性能を著しく劣化させることなくディペンダビリティ

ィを高めるための新しい自己診断・修復手法を提案し、それによって ASIL=C (故障率 80FIT 以下、SPFM97% 以上、LFM80%以上)レベルの信頼性を確保する見通しを得た。

3 次元積層型画像処理マルチコアプロセッサのテストとして、1)初期テスト、2)動作中テスト、3)未使用時テスト、4)3重化テストの4種類を考えた。初期テストは通常のLSIと同様に全てのテストが製造後の行われ良品判定に用いられる。具体的には①M-BIST、②L-BIST、③TSVのテスト、④SVP(スーパーバイザープロセッサ)のテストである。初期テストで良品と判定されたものの中にも、不良品が混入していると考えられる。主な理由は、①テストベクトル不足、②テスト条件不足などの静的故障と、③ソフトウェア、④ホットスポット、⑤エレクトロマイグレーション(劣化)などの動的故障がある。動作中テストは、動作中検査は図10に示すシーケンスで、1フレーム以内に各部のテストを完了する。図10では4層積層の3次元積層型画像処理マルチコアプロセッサを想定しているが、ここで提案する手法は4層以上の積層数を有する3次元積層型画像処理マルチコアプロセッサにも適用できる。使用されるテスト手法は、M-BIST、L-BIST、対象となる故障モードは、テスト条件不足、ホットスポット、エレクトロマイグレーションなどの劣化故障となる。これらの理由より同一検出率の初期テストに比べ故障検出能力が高いと考えられる。故障が検出されれば、該当する疑わしい処理はSVPにより破棄され新しいフレームデータ入力にて再計算される。

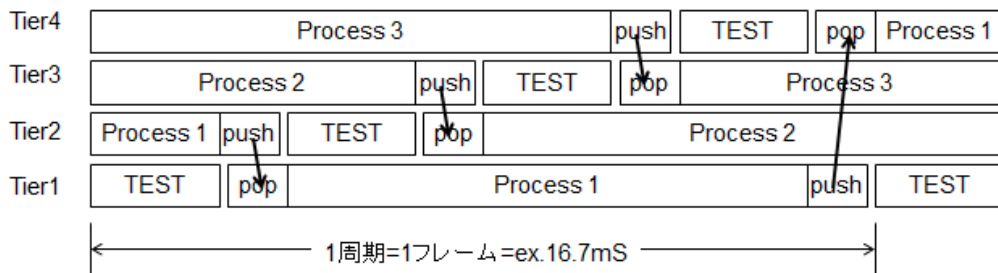


図10 動作中テストのシーケンス例

未使用時テストでは、初期テストと同じ試験を行う。使用されるテスト手法は、M-BIST、L-BIST、TSVのテストであるJTAG、およびSVPのテストである。対象となる故障モードは、エレクトロマイグレーションなどの劣化故障のみである。図11に未使用時テストのシーケンス例を示す。M-BISTやL-BISTで故障がされた場合は該当部分を使用しない処置をSVPが行う。これらの試験は動作時もされているので特記事項はないが、TSVの試験は未使用時検査のみで実施されており、劣化故障があれば冗長TSVを使って救済を行うが、テスト間隔例えば12時間システムが停止もしくは誤動作するため、致命的なモードとなる。また、SVPのテストで故障が検出された場合はSVPの劣化故障となり、これもシステムが停止するモードとなる。

3重化テストでは、リソースを多く消費するので、重要なプロセスのみを3重化するのが現実的である。図12に3重化検査のシーケンス例を示す。この場合Process4は「重要なタスク」で、多数決がテストの直後に来るので、より劣化不良の確立が低い状態で処理が出来るため、高信頼である。3重化テストでは実プロセスを走らせるの

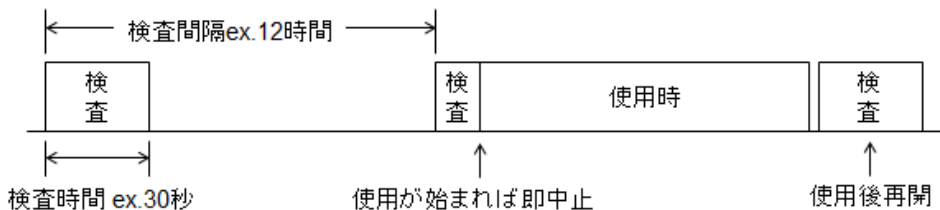


図11 未使用時検査のシーケンス例

で特別な検査は不要である(図のTESTと言う部分はTier1部分の動作中検査である)。また、対象となる故

障モードは、テストベクタ不足、テスト条件不足などの静的故障と、ソフトウェア、ホットスポット、エレクトロマイグレーション(劣化)などの動的故障の全てとなる。未検出モードは3重同一故障と多数決処理の一致側故障となる。図13に、より実際のな3重化テストのシーケンスを示す。図でProcess4とProcess8は3重化プロセスで、Process5,6,7は非3重化プロセスである。このシーケンスでは時刻tに例えば電源ノイズなどの全Tier共通の外乱が入り同じエラーをしてしまうのを避けるために、ProcessのスタートがTier毎にずらしてあり、さらにTESTをTier間で循環させていくこと、検査後の故障確率を減らすためTESTのなるべく直後に多数決を行う処理を実行することなどの工夫が盛り込まれた例である。これらのスケジューリングは基本的にSVP上のシステムソフトウェアが実行する。

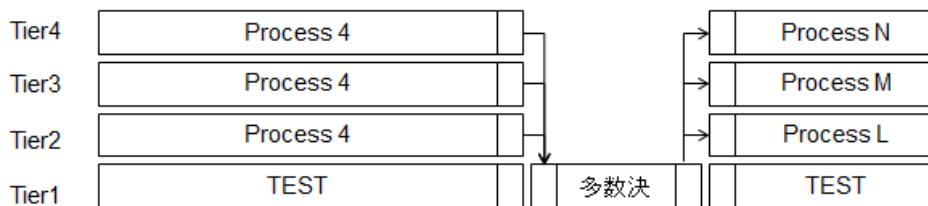


図12 3重化シーケンス例1

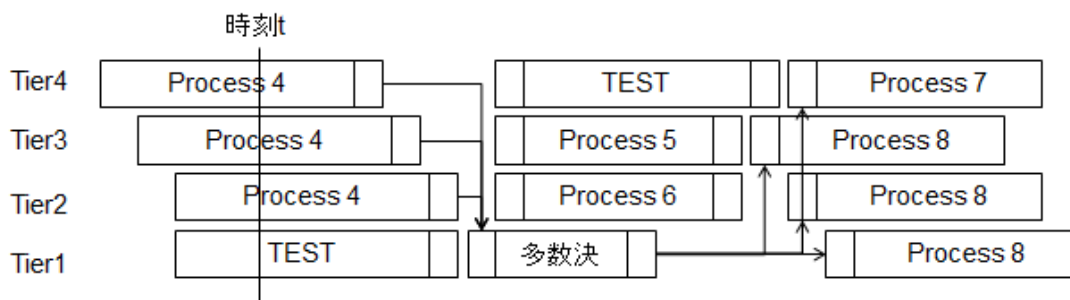


図13 3重化検査のシーケンス例2

以上のようなテストシーケンスを最適化することによって、ASIL=C(故障率 80FIT 以下、SPFM97%以上、LFM80%以上)レベルの信頼性を確保する。以下にその見積もり結果について示す。

まず、エラーが発生するケースとそれによるエラー発生確率を()内に定義しまとめると

- 1) 3重化プロセス部分 ……3重化プロセスの比率(P3)
 - ①3重同一故障(Pa)
 - ②多数決処理の一致側故障(Pb)
- 2)非3重化プロセス部分
 - ①ロジック部分の検査ベクタ不足(Pc)
 - ②メモリ部分の検査ベクタ不足(Pd)
 - ③ソフトウェア(Pe)
 - ④動作中検査の TEST 時間内[ex.16mS]に検査条件が変化してしまいエラーを見逃す場合(Pf)
 - ⑤動作中検査の TEST 時間内[ex.16mS]に温度が下がりホットスポットエラーを見逃す場合(Pg)
 - ⑥TSV の劣化不良が未使用時検査の前回検査後[ex.12 時間]に発生した場合(Ph)
 - ⑦TSV のエラーが検出出来たが救済するリソースが無い場合(Pi)
 - ⑧SVP のエラー(Pj)

従って、エラー発生確率 P は下式の様に表わされる。

$$P=P3(Pa+Pb) + (1-P3)(Pc+Pd+Pe+Pf+Pg+Ph+Pi+Pj)$$

ここで Pa、Pb は SVP のハードウェア部分の信頼性故障率で決まるので末吉 G の研究、Ph、Pi は小柳 G の研究、Pj に関しては小林 G の研究に依存する。ただし Pj に関しては、SVP のシステム制御ソフトウェア部分は優先的に 3 重化プロセスに割り当てると考えられるため $Pj=Pa+Pb$ と考える。

これらの値を数式化することは重要であるが、実際の設計では P3 と Pc、Pi で決定されると思われる。Pc は一般的に 0.01~0.1 で、通常は同じ様なレベルにあることが多い Pd は今回の動作中検査で劇的に下がると考えられ、また、Pa、Pb、Pe、Pf、Pg、Ph は一般には PPM オーダの問題であると考えられるからである。したがって

$$Pc \gg Pa, Pb, Pd, Pe, Pf, Pg, Ph$$

と考えると

$$P=(1-P3)(Pc+Pi)$$

と簡素化される。Pa、Pb、Ph、Pi は各 G の研究の中で考察・検証されているが、Pi に関しては小柳 G の研究成果に基づいて 0.001 程度に設計されている。仮に、平均的な値として $Pc=0.05$ を採用するとして、

$$P=0.051(1-P3)$$

となるので、図 14 に示すように、目標である単一故障の発見率 97% から $P < 1-0.97=0.03$ となるので、これから考えると、

$$P3 > 0.37$$

となり 37% のプロセスの 3 重化が必要となる。つまり信頼性の問題が性能の問題に帰着する。

そこで通常のプロセッサの必要性能で正規化された必要性能を F、SVP のオーバーヘッドを Fs 、多数決のオーバーヘッドを Fm とすると、

$$F=3(P3+Fs)+Fm+(1-P3)$$

仮に、 $Fs=0.05$ 、 $Fm=0.05$ とすると、前述の $P=0.37$ より $F=1.94$ となり、約 2 倍の性能を要求する事になる。

以上のことより、小柳 G の研究に示す様な TSV の冗長性回路(後述)の採用により、現実的と考えられる故障率 95% の故障検出ベクトルにおいて、研究の目標の一つである単一故障検出率 97% は、3 次元化により性能が 2 倍以上に引き上げられる事により達成可能である事が考察出来た。

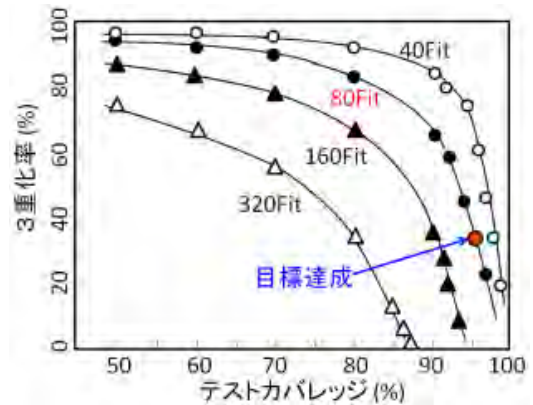


図 14 目標信頼度を達成するための自己テスト回路のテストカバレッジと三重化テスト比率の関係

②創造性

3次元 LSI の積層構造を利用したオンタイム・サイクリックテストという考え方はこれまで報告されておらず極めて独創的なテスト手法である。また、その手法を基にした自己診断・修復機能を用いた LSI のディベンダビリティ向上というのもこれまで例がなく極めて独創的である。

③有用性

3次元 LSI の特徴を生かした自己診断・修復機能を活用することによって、3次元積層型画像処理プロセッサの性能を著しく低下させることなくディベンダビリティを向上させる手法を提案しているが、この手法は 3次元積層型画像処理プロセッサに限られるものではなく、3次元 LSI に広く適用できる。今後、3次元 LSI の市場が急激に立ち上がってくると予測されていることから、その有用性は極めて高いと言える。

④優位比較

3次元LSI技術の立ち上がりとともに、3次元LSIのテスト技術の検討が世界的に活発化してきて、IEEEで標準化も始まっている。しかし、これらのテストは初期テストのみを考慮したものであり、本研究プロジェクトで提案しているような、動作中テスト、未使用時テスト、3重化テストは想定されていない。また、メモリのPush-Pop機能を3次元マルチコアプロセッサのプロセッサ層間で行わせることによって、タスク実行と動作時テストを積層プロセッサ層間で順次シフトさせていくことによって、全体の性能を著しく低下させることなくディペンダビリティを高めるという概念は本研究プロジェクトで初めて提案されたものである。以上のような自己診断・修復機能を持ったディペンダブル3次元積層型画像処理マルチプロセッサの提案はこれまでに報告されていない。

4.3 3次元積層型画像処理マルチコアプロセッサの設計

(東北大学 小柳グループ、小林グループ、(株)サイキューブ 元吉グループ)

(1)研究実施内容及び成果

①実施方法・実施内容

3次元積層型画像処理マルチコアプロセッサの中核となるプロセッサコアの設計評価を行った。設計にあたっては、プロセッサコアのディペンダビリティを高めるために、表1に示すような自己診断・修復機能を実装した。プロセッサコアの回路ブロック図を図15に示す。プロセッサコアはSH-X2をベースに設計している。デザインルールは90nm、メタル8層を想定している。プロセッサコアは主要部分の使用を表2に示す。このようなプロセッサコアを4層積層した場合の構成を図16に示す。図では、最下層がプロセッサコアはシステムSVPとして働くようになっている。積層プロセッサコア間の垂直方向の信号伝達は、制御信号バス(TCK/TMS/TRST)、入出力バス(TDI/TDO)、垂直システムバス、垂直共有メモリバス、外部メモリバスなどの垂直方向バスによって行われる。ディペンダビリティを高めるために、制御信号バス(TCK/TMS/TRST)、入出力バス(TDI/TDO)、外部メモリバスにはTSVを4重化したバスを用いている。また、垂直システムバス、垂直共有メモリバスには修復機能をもった冗長TSV(後述)を用いている。垂直システムバスは、リクエスト信号用に64ビット、レスポンス信号用に64ビットの双方向性バスで構成している。垂直共有メモリバスのバス幅は256ビットである。各層には自己診断・修復のためのL-BIST、M-BISTが搭載され、On-Line Self-Controller、IEEE 1149.1 TAP Controllerにより制御される。但し、システムSVP以外の層のOn-Line Self-ControllerはDisableとなっており、全てのプロセッサコアの自己診断・修復はシステムSVPによって制御、管理されるようになっている。各層の自己診断結果は各層のTAP Controllerに蓄えられており、システムSVPはTAP Controllerからの情報により修復動作を行う。システムSVPに故障が発見された場合は、別の層のプロセッサコアがシステムSVPとして働く。外部メモリとのデータのやり取りは、各層に搭載されたMemory Controllerを介して行うが、この場合も、システムSVP以外の層のMemory ControllerはDisableとなっており、外部メモリとのメモリアクセスもシステムSVPが制御する。

処で、3次元積層型画像処理マルチコアプロセッサを安定に動作させるためには、垂直システムバスを使った高速で安定なデータ転送が重要となる。本研究プロジェクトでは、垂直システムバスを使った高速で安定なデータ転送を実現するために、図17に示すように、垂直システムバスをリクエストバスとレスポンスバスの双方向バスで構成し、データの位相ずれをFiFOによって調整している。3次元積層型画像処理マルチコアプロセッサの高速・安定動作には、層間にまたがるクロックスキューの問題を解決する必要がある。3次元積層型画

像処理マルチコアプロセッサでは、プロセッサコア層毎に個別のPLLによって動作するため、互いのクロックの位相が合う保証は無い。そこで、図18に示すように、本研究プロジェクトでは、dual-clock FIFOを用いて、パケット送信・受信バッファのクロック乗せ変えを行うことによってクロックスキューの問題を解決している。

この他、本研究プロジェクトでは、プロセッサコア間のメモリアクセス競合の問題を緩和するために、3次元積層型共有メモリを新たに導入している。この新しい共有メモリでは、高速の垂直共有メモリバスを用いてすべての層にデータをブロードキャストして、同じデータを書き込む。各層のプロセッサは、他の層のプロセッサと競合することなく同じデータを読み出すことができるので、メモリアクセス競合を避けることができる。

以上のような、3次元積層型画像処理マルチコアプロセッサに関して、ソフトウェア検証環境を構築して、自己診断・修復機能も含めて動作確認を行い、良好に動作することを確認している。

表1 プロセッサコアに搭載した自己診断・修復機能

<ul style="list-style-type: none"> ▶ 自己診断制御 <ul style="list-style-type: none"> ▶ (層単位) BIST実行制御 ▶ TSV周りの設計手法実証 <ul style="list-style-type: none"> ▶ DFT for TSV <ul style="list-style-type: none"> ▶ 信号用TSV1本1本の導通テストを行う技術 ▶ TSV修復技術 <ul style="list-style-type: none"> ▶ 信号用TSVのグループごとにグループ専用の修復用TSVを配置 ▶ 導通テストをfailした信号用TSVを、導通テストをpassした修復用TSVと切り替える ▶ TSVを用いたモジュールの実装 <ul style="list-style-type: none"> ▶ 垂直バス・垂直バスブリッジ ▶ 積層共有メモリの実装 <ul style="list-style-type: none"> ▶ Consistency(一貫性)の確保 <ul style="list-style-type: none"> □ メモリ更新用垂直バスにより随時更新して一貫性を保つ □ Line単位で更新中メモリ領域をロック(アクセス禁止)して制御 □ Pageごとにメモリ更新専用の垂直バスを配置 ▶ キャッシュのようなReplace機構は考えていない

表2 プロセッサコアの仕様

<ul style="list-style-type: none"> ▶ 自己診断制御回路 <ul style="list-style-type: none"> ▶ 検証用エラー挿入機構を含む ▶ TSV導通テストおよび修復機構 ▶ シングル汎用コア(ルネサスSH-X2コア) <ul style="list-style-type: none"> ▶ 目標: プロセッサ 266MHz/SuperHyway 133MHz/周辺回路 66MHz ▶ 垂直共通バス <ul style="list-style-type: none"> ▶ 目標: 133MHz(64bit)あるいは66MHz(128bit) ▶ SuperHywayのクラスタ間を接続する積層バスブリッジに内包される形で実装 ▶ アクセス調停用アービタ ▶ 積層型共有メモリ(中容量) <ul style="list-style-type: none"> ▶ プロセッサ間の通信に利用(Mailboxの実装に使用) ▶ Line単位で随時更新を行って層間のConsistency(一貫性)を保つ ▶ ローカルメモリ(中容量) <ul style="list-style-type: none"> ▶ 積層型共有メモリとの比較用
--

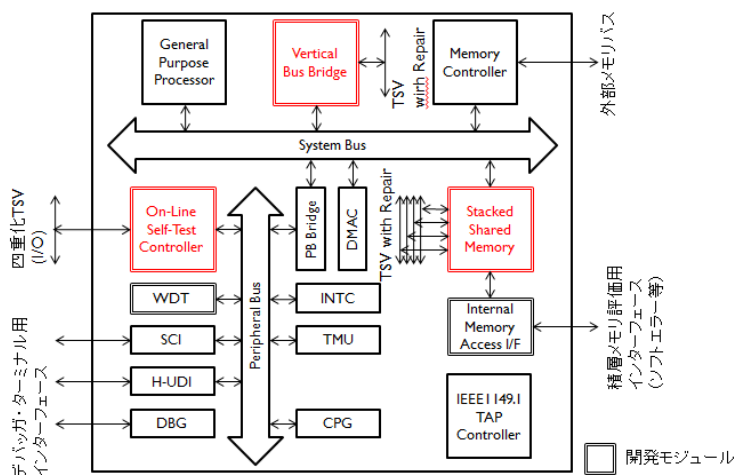


図15 プロセッサコアの回路ブロック図

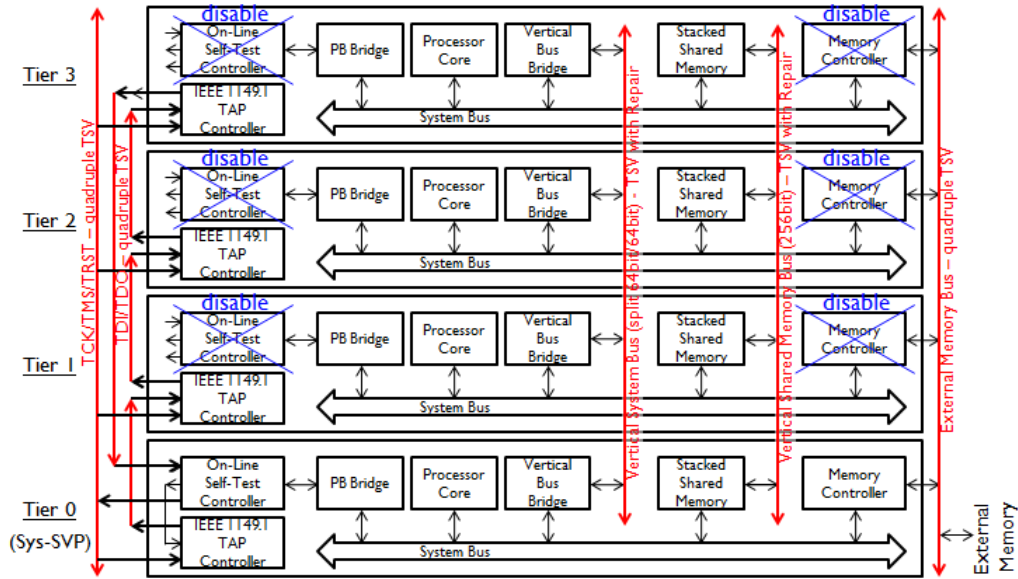


図 16 4層積層画像処理マルチコアプロセッサの構成

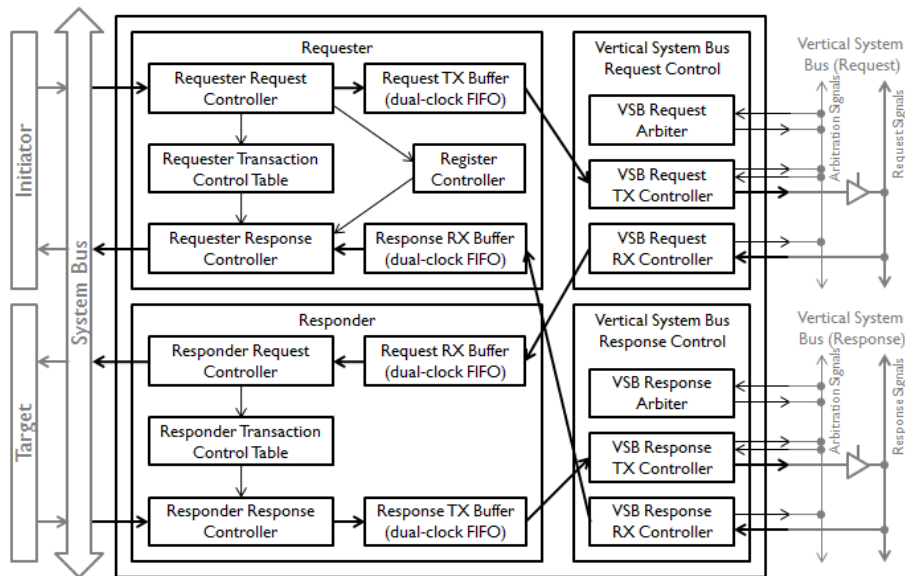


図 17 垂直システムバスを用いたデータ転送制御回路の構成

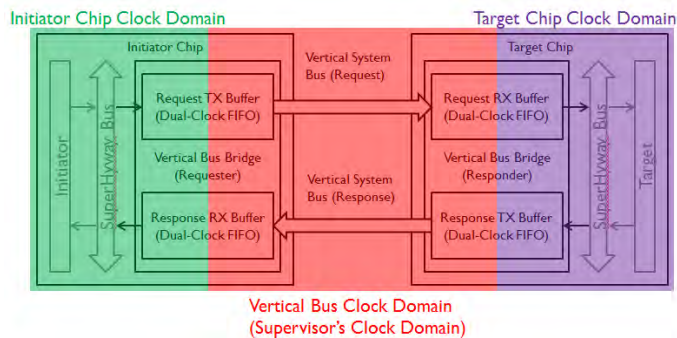


図 18 dual-clock FIFO を用いたクロック乗せ変えによるプロセッサコア層間クロックスキューの低減

②創造性

積層された複数のプロセッサの一つを Supervisor Processor (SVP)として使用し、この SVP によって積層プロセッサ全体のディペンダビリティを制御するような 3 次元積層型プロセッサはこれまでに報告がなく、極めて独創性が高い。このような考え方のもとに、本研究プロジェクトでは、BIST、Scan Chain、TAP controller、TSV によるテストバス、システムバス、メモリバスなどを搭載した自己診断・自己修復機能付き 3 次元積層型画像処理プロセッサを設計しているが、このような画像処理プロセッサの設計はこれまで例がない。

③有用性

3 次元積層型画像処理プロセッサのディペンダビリティを高めるための自己診断・修復機能の搭載や、垂直システムにおける信号伝達方法、層間クロックスキューの低減方法は、3 次元積層型画像処理プロセッサだけでなく、3 次元 LSI に広く適用でき、極めて有用性が高いと思われる。

④優位比較

3 次元積層型プロセッサに関しては、ISSCC2012 で、ジョージア工科大学、ミシガン大学から発表されているが、メモリとプロセッサの積層に重点を置いており、ディペンダビリティについては一切言及していない。自己診断・修復機能を搭載して多層に積層したプロセッサのディペンダビリティを高めるという取組は本研究プロジェクトが初めてと言える。また、本研究プロジェクトでは、3 次元積層型共有メモリという新しい概念を導入しているが、このような新しい共有メモリはまだ実現されていない。本研究では、これらの新しい試みを搭載した 4 層積層の 3 次元積層型プロセッサを、直径 $5\mu\text{m}$ という微細 TSV を用いた 3 次元技術を用いて試作し、基本動作の確認に成功している。このような 3 次元積層型プロセッサの試作は世界で初めてである。なお、最近、3 次元 LSI で、DfT (Design for Test) の重要性が認識されるようになってきて、自己診断回路や修復回路を搭載する検討が始まっているが、これら初期テストや歩留まり向上を目指したものであり、本研究プロジェクトで提案しているような、動作中テスト、未使用時テスト、3 重化テストには対応できない。

4.4 3 次元 LSI におけるシリコン貫通配線 (TSV) の信頼性設計とテストチップ試作 (東北大学 小柳グループ、(株)サイキューブ 元吉グループ)

(1)研究実施内容及び成果

① 実施方法・実施内容

積層チップ間を多数の TSV で接続する 3 次元 LSI では、TSV の製造歩留まり、信頼性が、3 次元 LSI の歩留まり、ディペンダビリティに大きな影響を与える。そこで、本研究では、TSV の導通状態をリアルタイムでチェックし、不良があれば正常な TSV と入れ替えることによって TSV の信頼性を向上させる手法を提案している。図 19 に示すように、冗長 TSV を含む複数の TSV を一つの TSV ブロックとし、スキャンパスを使って TSV の導通状態をリアルタイムでチェックするとともに、不良 TSV を正常 TSV と入れ替える。TSV の信頼性を高めるためには、冗長 TSV の本数を増やせば良いが、TSV の本数が増えるとチップ面積へのペナルティが増えるため、ブロックを形成する TSV の本数、冗長 TSV の本数には最適値が存在する。本研究では、表 3 に示すように、TSV 本数とその内訳を最適化することにより、少ない面積ペナルティで、99.9%以上の高い信頼性が得られる TSV 設計指針を得ることができた。

- ▶ TSVをグループ分け(例: 3個×3個、4個×4個、5個×5個)
- ▶ グループごとに修復用の予備TSVを数個配置
- ▶ 導通テストの結果から使用するTSVを切替

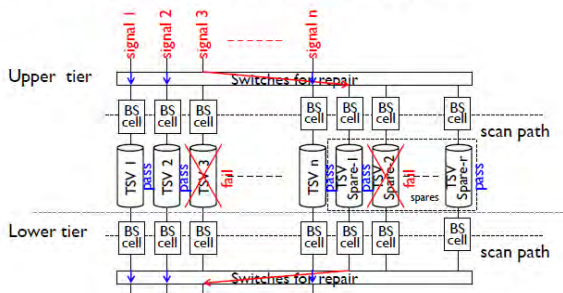


図 19 TSV の冗長性と自己診断・修復回路

表 3 TSV の冗長構成

	単純多重化		修復(専用TSVなし)		修復(専用TSVあり)	
	多重度m		信号n:修復r		信号n:修復r	
	2	4	4:2	16:4	4:2	16:4
TSV面積/信号	+100%	+300%	+50%	+25%	+50%	+25%
TSV容量/信号	+100%	+300%	+0%	+0%	+0%	+0%
スイッチ/信号	0	0	3	5	3	5
信号/TSV	1	1	3	5	4	16
TSV Group Yield	$(1 - (1 - R_{TSV})^m)^n$		$\sum_{i=0}^{n+r} \binom{m+r}{i} R_{TSV}^i (1 - R_{TSV})^{n+r-i}$		$(1 - R_{TSV})^{n+r-1}$	
Assembly Yield *	2,000	81.87%	99.99%	99.03%	99.98%	99.98%
	5,000	60.65%	99.99%	97.59%	99.96%	99.96%
	10,000	36.79%	99.99%	95.23%	99.91%	99.91%
	20,000	13.53%	99.98%	90.69%	99.83%	90.69%

*垂直インターコネクションの成功率 R_{TSV} を99%とし、全ての接続が成功する確率として計算

②創造性

3次元LSIの信頼性の鍵を握るシリコン貫通配線(TSV)に関して、通常の2次元チップを用いて3次元LSIを作製する際のシリコン貫通配線(TSV)の自己診断・修復手法を提案している。通常の3次元LSIでは、ウェハレベルでTSVを形成するため、種類の異なるチップを積層することが難しいが、通常の2次元チップを用いて3次元LSIを作製することができれば、低コストで、高いスループットで3次元LSIを供給できる。本成果は、このような2次元チップにチップレベルでTSVを作製するためのTSVの自己診断・修復手法を提案しており、独創的である。

③有用性

少ない面積ペナルティで、高いTSV信頼性が得られるので、3次元LSIの信頼性、歩留まりを高めるには必須の技術である。また、TSV、マイクロバンプ用に設定したデザインルールは3次元LSIの設計の際に有用である。

④優位比較

ISSCC 2009で、Samsungが3次元積層型DRAM(2Gb×4層)で、4:2という冗長構成を有するTSVを採用しているが、信頼性と面積ペナルティの間のペナルティを考えた場合、最適の構成とは言えない。また、TSVの導通状態をリアルタイムでチェックできる構成となっていないので、ディペンダビリティの向上という点では本研究で採用している冗長TSVの方が優位である。

また、本研究プロジェクトでは、通常の2次元チップにリソグラフィやドライエッチ、CVD、Cuメッキなどのプロセス工程を行って、直径5μmという微細なTSVを有する3層積層3次元LSIテストチップを試作しているが、このような3次元LSIプロセス技術を確立しているのは本研究プロジェクトのみである。

4.5 ハードウェア・ソフトウェア協調型ディペンダブルシステムに関する研究

(アプリケーション/アーキテクチャ/3次元積層協調設計) (東北大学 小林グループ)

(1)研究実施内容及び成果

本研究課題で対象としている車載向け高精度画像処理用3次元VLSIの高効率化と、ディペンダビリティを

維持可能な 3 次元積層型のアーキテクチャの実現を達成するために、「アプリケーションの特性を考慮した 3 次元 VLSI ハードウェアの構成技術」と「ディペンダブルなアプリケーションスケジューリング機構」について研究した。また、これらの研究結果を基に、2020 年に、1Tflop の性能を有する低電力(5W)のディペンダブル画像処理プロセッサが実現可能かどうかを、システムシミュレーション・ソフトウェアシミュレーションにより明らかにすることを目指して研究を行った。

①実施方法・実施内容

「アプリケーションの特性を考慮した 3 次元 VLSI ハードウェアの構成技術の研究開発」においては、以下の 3 つのテーマを掲げ研究を遂行した。

- (1)演算回路設計からプロセッサ設計まで様々な粒度における TSV による 3 次元積層技術を用いた VLSI の設計空間の探索
- (2)本課題がターゲットとしているアプリケーションを高速に実行可能なベクトルアーキテクチャの設計
- (3)ベクトルプロセッサにおけるアプリケーションの高効率実行を可能とするキャッシュメモリサブシステムの開発

(1)においては、TSV の基本特性解析に基づき、これまで適用例の少ない細粒度な 3 次元積層技術のみばかりでなく、プロセッサを構成する要素（コア・キャッシュ・I/O 等）レベルで積層する先進的な粗粒度な積層を検討し、各設計粒度に応じて適切に TSV を用いて 3 次元積層技術を導入する事で、高速かつ低消費電力の回路およびプロセッサを設計可能なことを明らかにした。また、(2)では、青木グループの開発しているアプリケーションを高速に実行することが可能なアウトオブオーダーの命令処理機構を搭載したベクトルアーキテクチャの提案、評価に取り組み、その有効性を明らかにした。更に、(3)においては 3 次元積層技術によって初めて実現可能な大規模、かつ高速なオンチップメモリ機構を提案した。シミュレーションおよび実設計に基づく評価によって、提案するオンチップメモリ機構が電力消費とアクセスレイテンシの大きなオフチップメモリへのアクセスを軽減し、高速かつ低消費電力なベクトルプロセッサを実現可能なことを明らかにした。

一方、「ディペンダブルなアプリケーションスケジューリング機構の研究」においては、以下の 2 つの課題を設定し、研究に取り組んだ。

- (4)オンラインで VLSI を構成する要素の各種モニタリング情報に基づき、恒常的に安定動作している計算資源へアプリケーションをスケジューリングすることにより、アプリケーション実行の高効率化とディペンダビリティの向上を実現する機構の開発
- (5)将来の複雑化する車載システムを見据えたヘテロジニアスな環境においても、高い効率で実行可能なジョブスケジューリングとチェックポイント・リスタート機構の開発

(4)は、ウェイごとに活性化・不活性化が可能なキャッシュメモリ機構とスレッドスケジューリング機構を協調させることで、エネルギー効率とディペンダビリティの向上を図るものである。研究結果から、プロセッサの各種性能情報を動的に採取し、マルチコアプロセッサ上で実行される複数のスレッドに適切な計算資源を割り当てることで、性能を維持したまま消費電力を削減可能なことを明らかにできた。また、本機構をヘルスマニタリング情報に基づくスレッドスケジューリングに発展させ、かつ、小柳・末吉グループのデバイスレベルでのディペンダビリティ向上技術と融合、協調設計を行うことで、システムのディペンダビリティの向上も実現可能であることを明らかにした。また、(5)においては、本研究課題で対象とする異種複数の計算資源が混在する 3 次元 LSI を想定し、スカラプロセッサコアとベクトル処理機

構などアクセラレータからなるヘテロジニアスな計算システムにおいて効率的なジョブ実行とディペンダビリティを向上させるためのジョブの冗長実行が可能な計算環境の詳細設計を行うとともに、これまでに例のないヘテロジニアスな環境におけるチェックポイント・リスタート機構を開発した。また、本研究がターゲットとするシステムに近い CPU と GPU から構成される実システムを用いた評価を通して、提案する機構の有用性を明らかにするとともに、提案する機構を導入することによって異種複数プロセッサ環境のディペンダビリティを向上させることができることを確認した。

以上の研究結果を基に、テクノロジースケールも考慮したシステムシミュレーションツールを開発して提案するシステムアーキテクチャの評価を行い、半導体素子の微細化、ベクトルアーキテクチャの採用と最適化 (Vector Load/Store Queue, FPU, Broadcast Bus 等の最適化) (図 23)、ソフト/ハード協調設計 (位相限定相関法 (POC) による障害物検出ソフトウェア)、三次元積層型 LSI の採用 (図 24) によって、図 25 に示すように、当初の目標である 1TFlops、5W の性能を実現できる見通しを得ることができた。

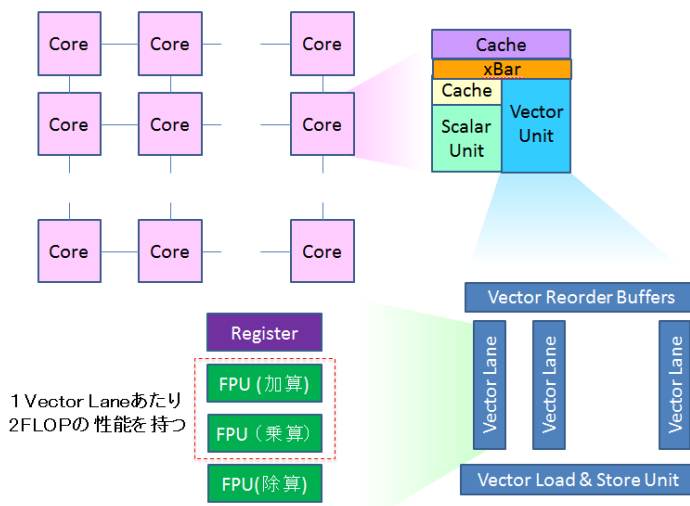


図 23 1TFlops, 5W を達成するためのシステムアーキテクチャ

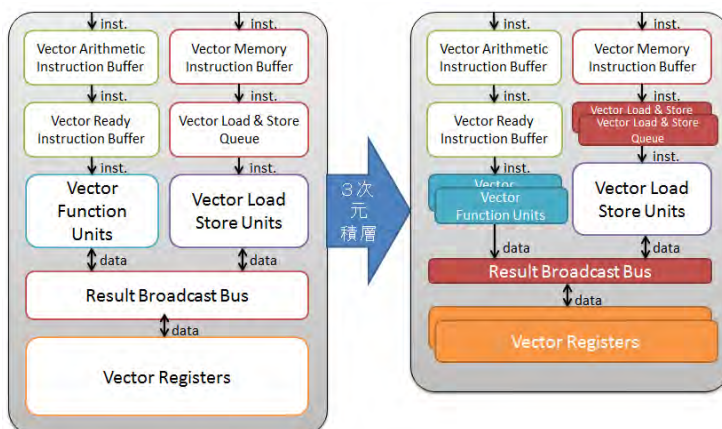


図 24 ベクトルユニットの三次元積層化

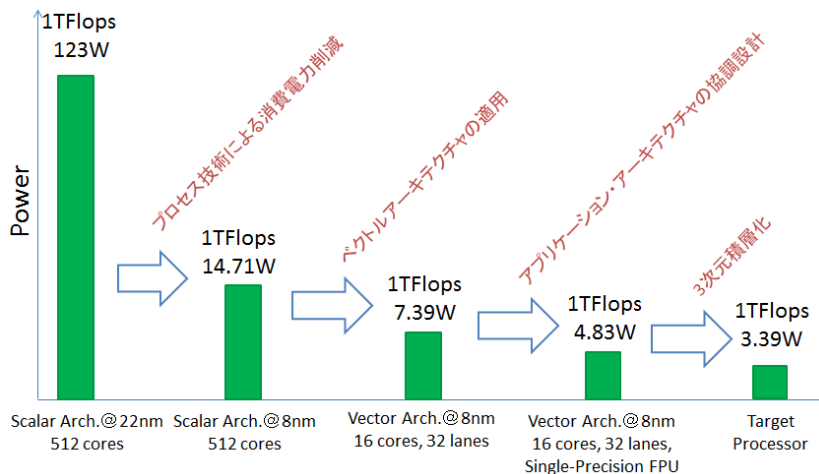


図 25 素子微細化、ベクトルアーキテクチャ、ソフト/ハード協調設計、三次元積層化による目標性能の達成

②創造性

「アプリケーションの特性を考慮した 3 次元 VLSI ハードウェアの構成技術の研究開発」における研究項目(1)では、粗粒度の積層のみを考慮した従来の研究の殻を打ち破り、将来の半導体加工技術と TSV 加工技術を踏まえ、様々な設計粒度におけるチップ積層に基づくアーキテクチャの設計空間を明確化している点に高い創造性がある。また、研究項目(2)においては、これまで科学技術計算を処理するために用いられてきた大規模スーパーコンピュータ向けのベクトルアーキテクチャをマルチメディア向けに再設計するなど、従来のアーキテクチャ資産を継承しつつ新たなアーキテクチャの設計を試みている点が独創的であると言える。研究項目(3)では、前述のアーキテクチャに更にマルチバンクキャッシュを追加することによって、低消費電力化と高性能化を図った点が独創的である。

「ディペンダブルなアプリケーションスケジューリング機構の研究開発」では 3 次元積層技術によってもたらされる潤沢で多種多様な計算資源と膨大なメモリ空間を有効に活用することで、性能だけでなく信頼性の向上を図っている点に特徴がある。研究項目(4)では、アーキテクチャとソフトウェアとの協調設計により、キャッシュメモリの電力効率を高めつつ高いディペンダビリティを実現する新しいスレッドスケジューリングの手法を採用しており、極めて斬新的である。また研究項目(5)では、これまで主に高性能計算システムに用いられてきたチェックポイントリスタート機構をヘテロジニアスな高性能車載システムへと応用している点に高い独創性がある。

③有用性

「アプリケーションの特性を考慮した 3 次元 VLSI ハードウェア構成技術の研究開発」における研究項目(1)では、従来の 2 次元 LSI 設計のための EDA ツール用いて 3 次元 LSI 設計を行うための設計フローを提案するとともに、3 次元 LSI の性能、消費電力を評価するためのシステムシミュレーションツールを開発しており、市販の 3 次元 LSI 設計ツールが普及していない現状では極めて有用性が高い。また、本研究では、これまでの 2 次元 LSI 設計における長配線と 3 次元 LSI 設計における TSV の相対的な性能比較を、遅延時間と消費電力の点から定量的に評価し、適材適所で TSV を利用する最適設計手法を確立している。2 次元長配線と 3 次元 TSV の相対的な性能比較の結果はキャッシュ設計のみならず、様々な LSI の 3 次元設計に用いることができ極めて有用性が高い。研究項目(2)では、本研究で提案したベクトルアーキテクチャを用いると、マルチメディ

アプリケーションも高速、かつ、低消費電力で実行できるようになるため、非常に有用性が高い。研究項目(3)では、3次元積層技術によって大規模なキャッシュメモリを搭載し、メインメモリへのアクセス数を減少させることによって、システム全体の低消費電力化が可能であることを明らかにしており、プロセッサシステムが大規模キャッシュメモリ搭載の方向に向かっている現状を考えると有用性の高い成果である。

「ディペンダブルなアプリケーションスケジューリング機構の研究開発」の研究項目(4)において提案したウェイ適応型キャッシュ機構と最適な資源配分が得られるスレッドスケジューリング機構は、性能向上への効果が大きい一方で、ハードウェア・ソフトウェアコストは無視できるほど小さい。また、その中で提案されているデータ管理ポリシーに関しても、再利用されるデータを早期に追い出すための機構を実装するコストはキャッシュメモリ全体のハードウェア量と比較して十分小さい。そのため、これらの手法は共有キャッシュを持つ構成の一般的なマルチコアプロセッサ等に広く適用可能である。研究項目(5)では、アクセラレータを扱うためのAPI実装の詳細が不明な場合でも、API呼び出しの全てを監視し、アプリケーションとシステムソフトウェアの間で送受信されるデータを必要に応じて適切に変換することでチェックポイント・リスタートを実現できることを明らかにしており、これらの手法は、CUDAやOpenCLのようにライブラリ実装の詳細が公開されていないライブラリに対して非常に有用であると言える。

④優位比較

研究項目(1)に関しては、3次元積層技術を用いたキャッシュメモリ設計は類似研究や先行研究があるもののアーキテクチャレベルでのシミュレーションに限定されており、3次元積層技術の特徴を考慮して物理設計段階での最適化を行っている例は少ない。更に、既存のEDAツールを用いて物理設計に取り組んでいる例も少なく、既存のEDAを用いた3次元設計フローを明確にしている点で本研究は極めて高い優位性を有すると考えられる。これらの成果はLSI設計に関する国際会議DATE12共催の3次元積層技術に関するワークショップや高性能計算に関する国際会議SC12に採択され、その優位性は高く評価されている。

本研究でターゲットとしている画像・音声の高速処理プロセッサはDSP、ASICに代表されるように専用ハードウェアとして設計されることが多い。研究項目(2)で提案するベクトルアーキテクチャは複数のメディアアプリケーションを高速に実行可能な点に高い優位性がある。また、ベクトル処理機構におけるアウトオブオーダー実行の導入により、7.5%のハードウェア投資で3.25倍の性能向上を実現しており、極めて高いエネルギー効率を実現していることも優位な点である。研究項目(3)では、ベクトルアーキテクチャにマルチバンクキャッシュを搭載し、メモリアクセスの削減による低消費電力化と高いバンド幅による高性能化を実現しており、優位性の高い成果となっている。以上の成果は、低消費電力マイクロプロセッサに関する国際会議COOLChips XVでの論文採択や、アーキテクチャに関する国際会議HiPEAC2012における最優秀ポスター賞の受賞などからも明らかなように、対外的にも高い評価を得ている。

研究項目(4)において提案したスレッドスケジューリング機構は、ウェイ適応型キャッシュ機構と連携している点が優位な点である。マルチコアプロセッサのキャッシュメモリにおいて大きな問題となっているアプリケーション間のキャッシュ資源の奪い合いによる性能低下について、本研究では、キャッシュ機構とスケジューリング機構の連携によって、従来の手法に比べてキャッシュ資源競合をより有効に抑制できる。また、再利用されないデータを早期に追い出すまでの時間を柔軟に設定できるデータ管理ポリシーを採用することで、消費エネルギーの削減も可能となっており、この点でも優位性が高い。

研究項目(5)に関しては、いくつかの関連研究で仮想化技術を使ったジョブマイグレーションなどが実現されつつあるが、本研究ではプロセス単位でのマイグレーションを検討しており、仮想マシン単位での状態保持のアプローチよりは低コストで実現可能である。また、仮想化技術の場合には OS 等の介在・協力が必要であり、その適用可能性はシステムの環境へ強く依存しているが、本研究のアプローチでは OpenCL をインタフェースとしてアプリケーションとシステムを完全に分離して管理しており、システム依存性がないことから、OpenCL を利用可能であればどのような環境でも適用可能であり、汎用性が高い。

4.6 3次元ベクトルキャッシュアーキテクチャ設計とその評価（東北大学 小林グループ）

(1)研究実施内容及び成果

①実施方法・実施内容

3次元積層技術を用いたベクトルキャッシュアーキテクチャの設計と評価を行った。ベクトルキャッシュ内の長配線を TSV に置き換えることで、長配線数を削減し、低レイテンシ、高エネルギー効率のキャッシュアーキテクチャを提案した。本研究では、はじめに、図 26 に示す結果のとおり、従来の 2次元配線と 3次元配線である TSV の定量的な評価を行い、TSV を適材適所で設計に反映させることを検討した。これにより、TSV が 2次元長配線と比較して極めて小さな RC 遅延を有する事を明らかにした。次に、従来の 2次元の技術を用いたベクトルキャッシュの物理設計を行い、キャッシュ中央に位置するコントローラとデータ・タグアレイからなるバンク間の配線が極めて長く、性能に大きな影響を与える事を明らかにした。本研究では、この長配線を TSV に置き換えるべく、バンク単位の分割積層を行い図 27 に示すベクトルキャッシュの設計と評価を行った。設計の結果、図 28 に示すとおり、3次元積層技術を用いる事で、2次元実装と比較して、最大約 1.8 倍のメモリバンド幅の向上が実現可能であることを明らかにしている。

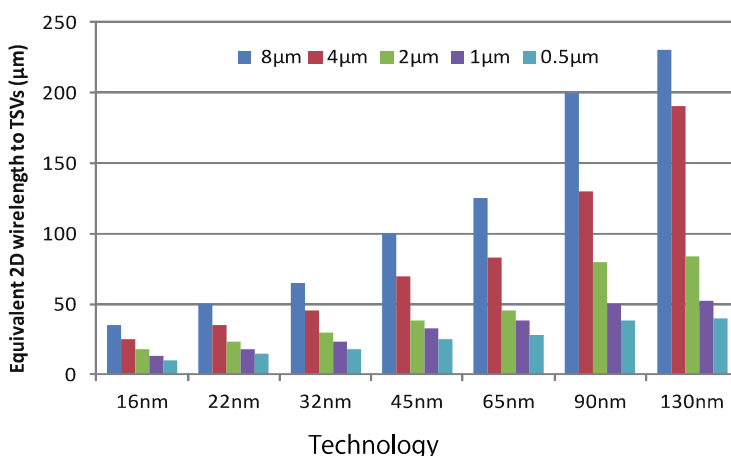


図 26 TSV と等価な 2次元配線長

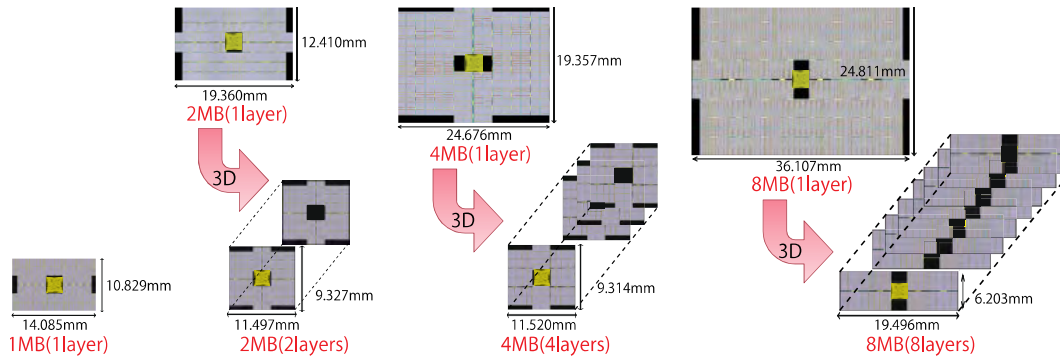


図 27 3次元積層型ベクトルキャッシュメモリ

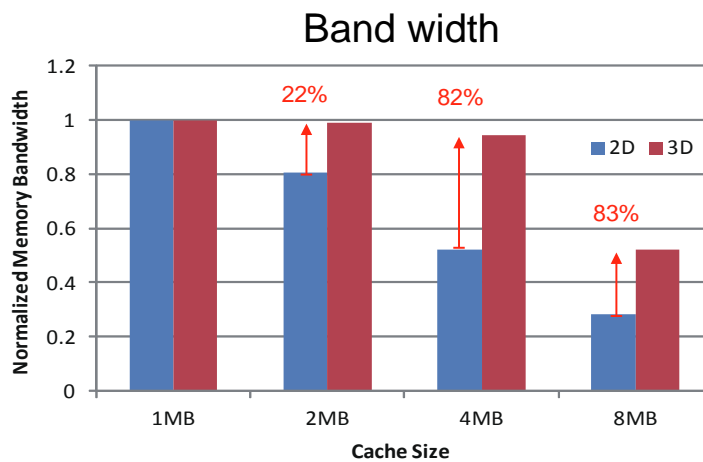


図 28 3次元積層によるメモリバンド幅向上

②創造性

3次元積層技術を用いて、ベクトルキャッシュ内の長配線を TSV に置き換えることで長配線数を削減し、低レイテンシ、高エネルギー効率の 3次元積層型キャッシュアーキテクチャを提案しており、創造性の高い提案である。

③有用性

3次元積層技術の有用性は近年注目されているものの、これらの設計を実現するツールが十分に普及していないのが現状である。本研究では、従来の2次元設計のためのEDAツールを用いて3次元設計を行うためのフローを提案しており、この点は極めて有用性が高い。また、本研究では、これまでの2次元設計における長配線とTSVを、遅延と電力の観点から定量的に比較し、その結果に基づき、適材適所でTSVを利用する設計を行っている。この比較解析の過程で得られたTSVと2次元配線の関係はキャッシュ設計のみならず、様々なLSIの3次元設計に用いる事が可能であり、極めて有用性が高いと考えられる。

④優位比較

3次元積層技術を用いたキャッシュメモリ設計は類似研究や先行研究があるものの、アーキテクチャレベルでのシミュレーションに限定されていることが多く、3次元積層技術の特徴を考慮して物理設計段階での最適化を行っている例は少ない。さらに、既存のEDAツールを用いて物理設計に取り組んでいる例も少なく、既存

の EDA を用いた 3 次元設計フローを明確にしている点で、本研究は極めて高い優位性を有すると考えられる。これらの成果は LSI 設計に関する国際会議 DATE12 共催の 3 次元積層技術に関するワークショップや、高性能計算に関する SC12 に採択され、その優位性は高く評価されている。

4. 7 不均質計算システムのためのチェックポイント・リスタート機構 (東北大学 小林グループ)

(1) 研究実施内容及び成果

① 実施方法・実施内容

3 次元積層型画像処理マルチコアプロセッサのディペンダビリティを向上するためのチェックポイント・リスタート機構について研究した。アクセラレータを搭載する不均質計算システムのための標準プログラミング環境である OpenCL で開発されたアプリケーションプログラムを対象とし、その透過的チェックポイントイングとプロセスマイグレーションを実現した。具体的には、図 29 に示す API プロキシと呼ばれる別プロセスで OpenCL の API 呼び出しを暗黙裏に全て監視し、OpenCL 経由で利用されるプロセッサの状態の保存と復元に必要なデータをアプリケーションからは透過的に管理する機構を提案した。図 30 に示すような OpenCL で用いられるリソースデータ (OpenCL オブジェクト) の間の依存関係を考慮、必要に応じて OpenCL オブジェクトを暗黙裏に変換することにより、アプリケーションプログラムやベンダ提供の OpenCL 実行環境に変更を加えることなくチェックポイント・リスタートの機能を実現できることを示した。OpenCL の API 呼び出しを境界としてアプリケーションとシステムソフトウェアを分離することが可能であり、そのことを利用してアプリケーションから透過的にチェックポイント・リスタートを実現できることを実証した。CPU と GPU を搭載する不均質計算システムにおいてベンチマークプログラムを実行する場合、その機構の実行時オーバーヘッドが 10%~19% であることを定量的に評価した (図 31)。これはベンチマークに用いられる実行時間の比較的短いプログラムにおけるオーバーヘッドであり、実行時間の十分長い実用的なアプリケーションにおいては、性能低下が 2% 程度まで抑制できることもわかっている。このオーバーヘッドは、多くの用途において許容できるものと考えられる。また、複数種類の GPU や CPU で同一のアプリケーションプログラムが動作することを確認しており、本手法は適用可能範囲が広く、汎用性が高いことも明らかになった。

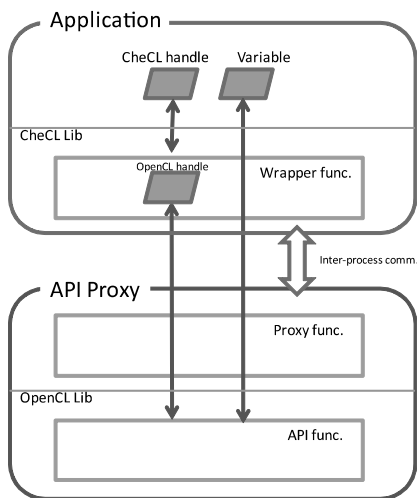


図 29 API プロキシによる OpenCL API 呼び出しの監視

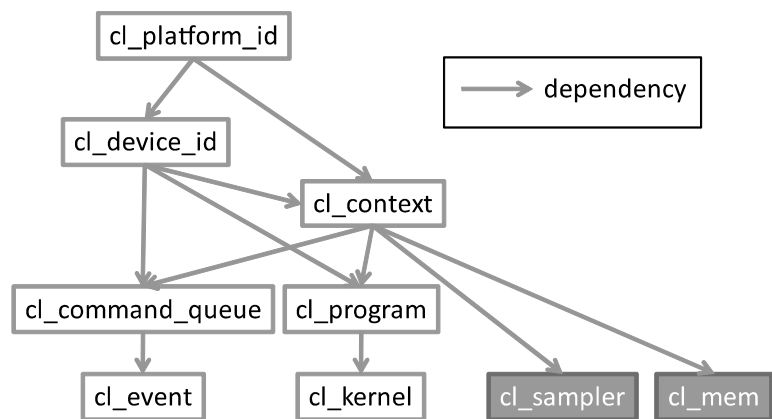


図 30 OpenCL オブジェクト間の依存関係

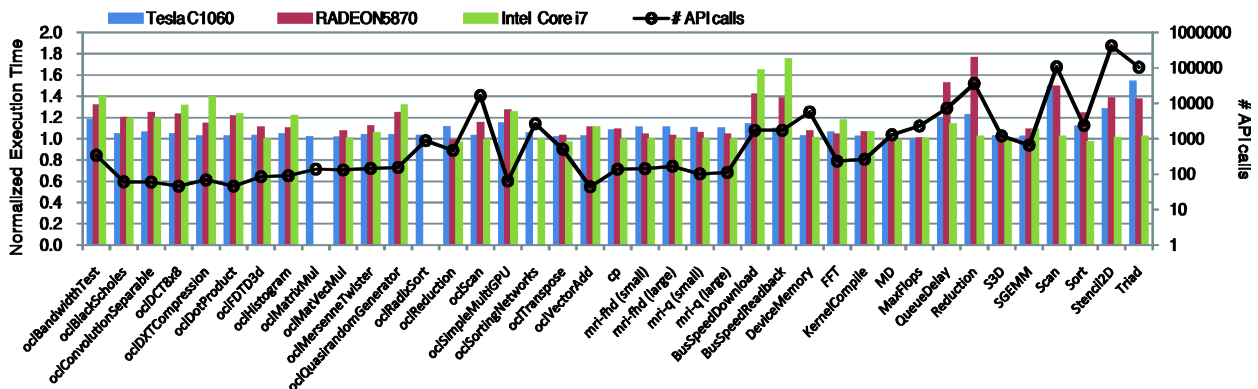


図 31 チェックポイント・リスタート機構による実行時オーバーヘッドの評価結果

②創造性

3次元積層型画像処理マルチコアプロセッサのディペンダビリティを向上するために、APIプロキシと呼ばれる別プロセスでOpenCLのAPI呼び出しを暗黙裏に全て監視し、OpenCL経由で利用されるプロセッサの状態の保存と復元に必要なデータをアプリケーションからは透過的に管理する新しいチェックポイント・リスタート機構について機構を提案しており、極めて独創的である。

③有用性

CUDA や OpenCL といったアクセラレータを制御するためのライブラリ実装は各プロセッサのベンダによって提供されており、その実装の詳細は公開されていない。このため、チェックポイント・リスタートのように実装の詳細を知る必要のある機能の実現は困難であった。しかし、本研究では、OpenCLの実装の詳細がわからない場合でも、OpenCLのAPI呼び出しの全てを監視し、アプリケーションとシステムソフトウェアの間で送受信されるデータを必要に応じて適切に変換することでチェックポイント・リスタートを実現できることを明らかにした。その有用性は、並列分散処理の一流会議であるIPDPS2011に関連論文が採択されるなど、高く評価されている。

④優位比較

いくつかの関連研究で仮想化技術を使ったジョブマイグレーションなどが実現されつつある。しかし、本研究はプロセス単位でのマイグレーションを検討しており、仮想マシン単位での状態保持よりは低コストで実現可能である。また、仮想化技術の場合にはOS等の介在・協力が必要であり、その適用可能性はシステム的环境へ強く依存している。一方、本研究のアプローチではOpenCLをインタフェースとしてアプリケーションとシステムを完全に分離して管理しており、システム依存性がないことから、OpenCLを利用可能であればどのような環境でも適用可能な、汎用性の高いアプローチとなっている。

4.8 SVP(Supervisor processor)による不良救済技術

(熊本大学 末吉グループ、東北大学 小林グループ、小柳グループ)

(1)研究実施内容及び成果

①実施方法・実施内容

自己修復機能を有する 3 次元 VLSI システムの実現に向けて、対象システムの監視、故障修復補助を担う SVP(Supervisor Processor)および SVP を実装するハードウェアプラットフォームに関する研究を行った。SVP に求められる要件として、(1)システム全体の動作保障を担うため SVP 自身が高い信頼性を有すること、(2)画像処理プロセッサと異なりできる限り小規模であること、という 2 点があげられる。この要件を満たすために、図 32 に示すように、SVP を、システム全体の管理・復旧補助を行うシステムレベル SVP と(以下、Sys-SVP と記す)、高信頼化の優先度が高い機能および Sys-SVP の管理・復旧補助、テストの管理などを行うハードウェアレベル SVP(以下、HW-SVP と記す)の二つから構成することとした。Sys-SVP には演算コアの一部を使用する。表 4 に、それぞれの SVP の役割分担を示す。画像処理プロセッサおよびメモリアクセスの監視、メモリの管理は Sys-SVP で行い、システム全体のエラー解析、ハードエラーからの復旧補助は Sys-SVP と HW-SVP 双方で行う。システムのテストは HW-SVP が担当し、故障個所の切り離しは OS によるリソース管理にて実行する。図 33、図 34 に全体システムにおける Sys-SVP、HW-SVP の接続構成を示す。複数存在する画像処理プロセッサの内 1 コアを Sys-SVP に割当て、HW-SVP はリコンフィギャラブルデバイスを用いて作製した。

HW-SVP は特に高い信頼性が求められるため、ソフトウェアおよびハードエラー両面より対策が必要となる。そこで、ソフトウェアに関しては、モジュール多重化(三重冗長化, 二重冗長化)と内部コンテキスト同期を組み合わせることでエラーの隠蔽および復旧を行うこととした。スクラビング(Scrubbing)によるソフトウェア復旧処理の概要を図 35 に示す。HW-SVP は Xilinx 社の FPGA で構成しており、1 フレームずつ読み出し BRAM に保存してエラーの解析を行い、エラーがあればエラーを訂正して再構成する。エラー解析にはハミング符号を用いて 1 フレームにつき 1 ビットのエラー訂正と 2 ビットのエラー検知が可能である。スクラビングによるソフトウェア復旧処理の動作波形を図 36 に示す。図から明らかのように、再度リードバックを行い、ソフトウェア訂正が行われることを確認できた。一方、ハードエラーに関しては、図 37、図 38 に示すように、リコンフィギャラブルデバイスのもつ動的再構成機能を利用したモジュール再配置手法を提案し、ハードエラー箇所を回避する形で回路配置を可能とした。ハードエラー回避処理の動作波形を図 39 に示す。図からわかるように、部分再構成データの再配置によりハードエラーの回避に成功している。なお、本研究で提案した手法では、固定領域と再構成領域との間にプロキシ回路を設けることで、図 37(a) に示すようにハードエラー故障時に任意の再構成領域に対し再配置可能な点に加え、図 37(b) に示すように複数の再構成領域を使用することで様々な回路規模に対応した回路機能の変更も可能である。図 40 に、HW-SVP の高信頼化を達成するために採用した手法をまとめる。三重冗長化(TMR)、スクラビング、再配置手法を組み合わせることにより、対ソフトウェアに関して 3.3FIT、対ハードエラーに関して 1.6FIT の信頼性を確保できる見通しを得た。

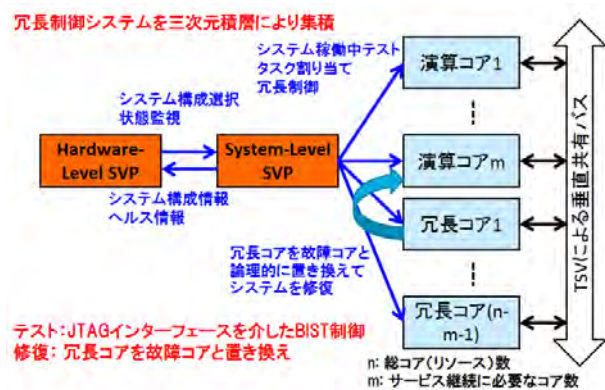


図 32 ディペンダブルディペンダブル三次元積層型プロセッサの全体構成

表 4: 各 SVP の役割分担

	機能要求	担当
(1)	画像処理システムのウォッチドッグ	Sys-SVP
(2)	メモリの管理(メモリ内のデータ修正)	
(3)	メモリアクセスの監視(バス・スヌープ)	
(4)	画像処理システムのエラーログ解析	Sys-SVP or HW-SVP
(5)	ハードエラーからの復旧補助	
(6)	画像処理プロセッサのテスト	HW-SVP
(7)	画像処理システム全体のテスト	別途, テスト機構が必要
(8)	故障箇所の切り離し	OSによるリソース管理

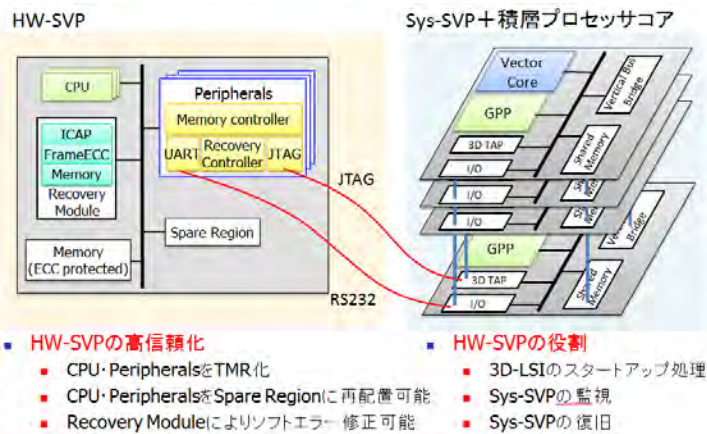


図 33 Sys-SVP および HW-SVP の接続構成

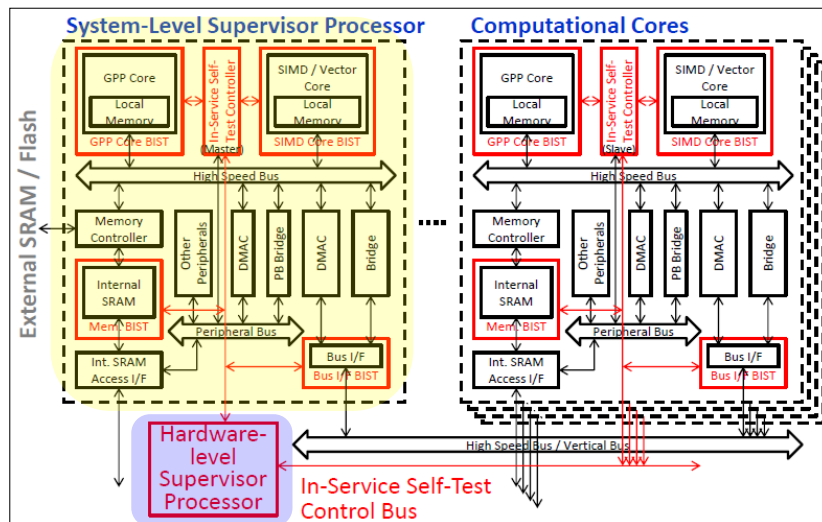


図 34 Sys-SVP および HW-SVP のブロック図

Scrubbing

- 1フレームずつリードバックし、FrameECCを用いてエラー解析
- エラーを検知した場合は修正して再構成
- 全フレームで定期的に行う

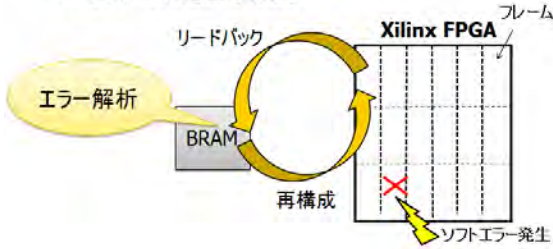


図 35 ソフトエラー復旧処理

Scrubbingによるソフトエラー訂正

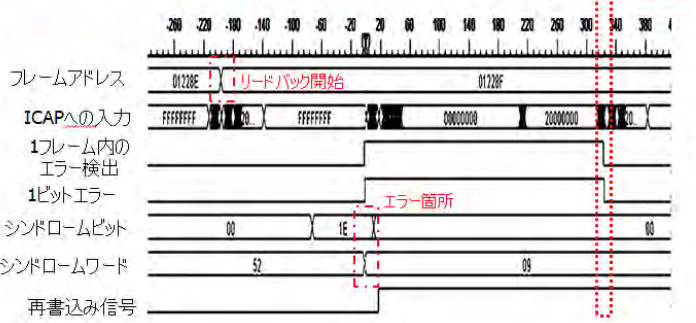


図 36 ソフトエラー復旧処理の動作波形

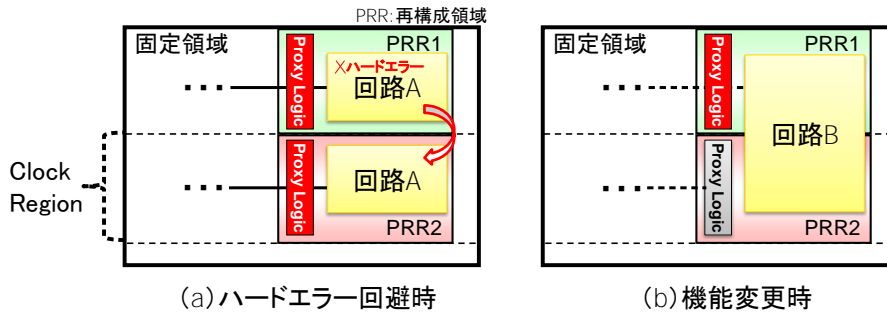


図 37 再配置手法による回路モジュールの配置例

- 故障モジュールのスペア領域への退避
 - 正常な回路をリードバックして、スペアへ再構成することでハードエラー回避

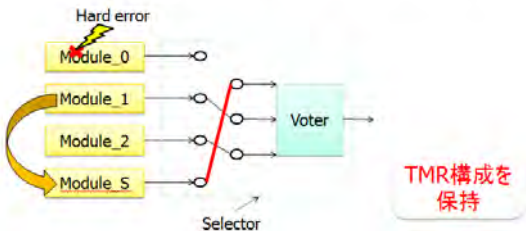


図 38 ハードエラー回避処理

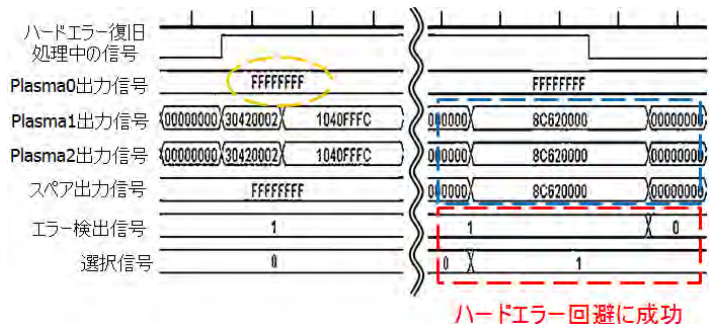
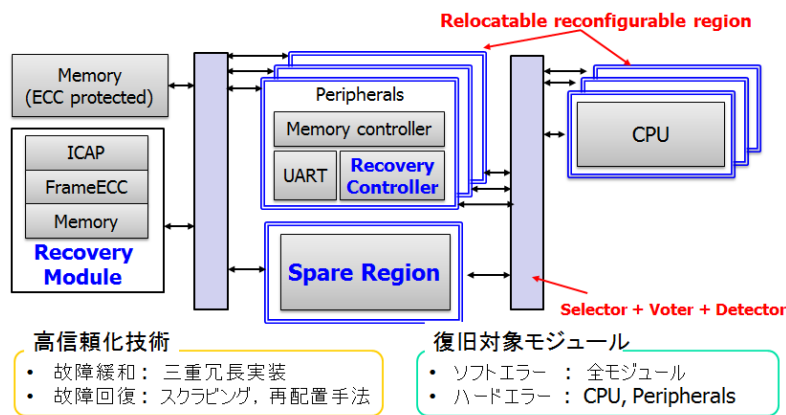


図 39 ハードエラー回避処理の動作波形



- | | |
|---|--|
| <p>高信頼化技術</p> <ul style="list-style-type: none"> ・ 故障緩和：三重冗長実装 ・ 故障回復：スクラビング、再配置手法 | <p>復旧対象モジュール</p> <ul style="list-style-type: none"> ・ ソフトエラー：全モジュール ・ ハードエラー：CPU, Peripherals |
|---|--|

TMR・スクラビング・再配置手法を組み合わせることで
 対ソフトエラー:3.3FIT, 対ハードエラー:1.6FITを見込める

図 40 HW-SVP の全体構成

②創造性

システムレベル SVP によりシステム全体をインテリジェントに監視を行い、そのシステムレベル SVP に故障が起きた際もハードウェア SVP によりシステムの復旧が可能な車載用三次元積層型プロセッサシステムの開発は他に例がなく、創造性は極めて高い。

③有用性

三次元積層型プロセッサで、複数存在するプロセッサの一つを Sys-SVP として使用し、Sys-SVP が故障した時には別のプロセッサを Sys-SVP として使用する冗長化手法は、三次元 LSI で広く使用でき有用性が高い。また、HW-SVP で提案した回路モジュールの再配置により高信頼化を達成する手法は、ハードエラー対策だけではなく、動的に回路機能を変更する場合にも使用できるので、有用性が高い。

④優位比較

Sys-SVP と HW-SVP の階層構成を有する SVP により、システム全体の動作、信頼性を管理・制御するという本研究で提案している手法は、高性能、低電力の高信頼システムを実現するために欠かせない手法で、これまで報告されている手法に比べても優位性は高い。また、ハードエラー回避のための再配置手法では、従来の手法が領域ごとに回路設計情報(構成データ)を必要としたのに対して、本提案手法では任意の再構成領域に対し単一の構成データを用いた再配置が可能となるため、他の手法に比べて優位性が高い。

4.9 リンコンフィギュラブル論理セル COGRE (熊本大学 末吉グループ)

(1)研究実施内容及び成果

①実施方法・実施内容

多くの FPGA で用いられる LUT 方式 は入力数に応じて任意の論理を実装可能であるが、真理値表をそのまま実現しており多くの構成メモリを要する。そのため、LUT 方式ではソフトエラーに対する脆弱性が高い点が問題となる。そこで、本研究においては、LUT と同等の柔軟性を保持しつつ構成メモリ数を削減した論理セル COGRE (図 41) を提案した。本研究成果は、システム全体の監視、故障回復補助を担う HW-SVP を実装するハードウェアプラットフォームとしてのリコンフィギュラブルハードウェアに関する要素技術として位置づけられる。論理セル COGRE に関しては特許出願も行っている(特願 2010-186525)。

②創造性

従来の FPGA は LUT (ルックアップテーブル) にて構成されているため構成メモリ量が多く、ソフトエラーに対し脆弱性をもっていた。この欠点は LUT を用いる限り取り除くことができないが、本アーキテクチャでは LUT と根本的に異なる構成をとっていることから構成メモリ量を大幅に削減可能である。このように、本研究では、ソフトエラーに対し脆弱性をもつ構成メモリをアーキテクチャレベルで削減している点に新規性がある。

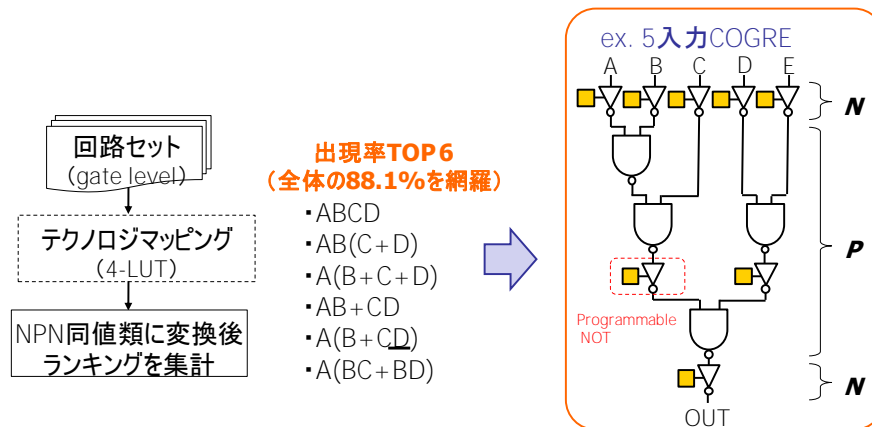


図41 5入力COGREの回路構成

③有用性

COGRE はプログラマブルインバータと NAND セルより構成されており、8 ビットの構成メモリをもつ。FPGA で用いられる 4-LUT では 16 ビット、5-LUT で 32 ビット、6-LUT で 64 ビットの構成メモリ数が必要となるが、COGRE では、これらと比較して構成メモリ数を削減できるため有用性が高い。

④優位比較

MCNC 回路 20 種類に対し 6 入力 COGRE を用いて配置配線を行い、6-LUT と面積、構成メモリ数の比較を行った結果、6-LUT と比較して論理面積が 46.3%削減可能であり、総構成メモリ数も 32.1%削減可能であった。このことから、COGRE は FPGA の小型化、メモリ数の削減という点で優位であることが判明した。

4. 10 エラー訂正回路 E (熊本大学 末吉グループ)

(1)研究実施内容及び成果

①実施方法・実施内容

符号化訂正回路とスクラビングを組み合わせることで、リコンフィギュラブルロジックのソフトエラー耐性向上のためのエラー訂正回路 (図 42) を提案した。前述の成果と同様、本成果も HW-SVP 自身のディペンダビリティ向上のため要素技術として位置づけられる。特許出願も行っている (特願 2010-197048)。

②創造性

SRAM 型 FPGA で用いられるスクラビング技術は一旦回路を停止させる必要があるが、本研究で提案した手法は動的にソフトエラーを検知、復旧することが可能である。また、ECC チェック時に発生するハザードは構成メモリにとって瞬間的に回路情報が書き換わるため致命的であるが、本提案手法ではエラー訂正時にも遅延回路を用いることでハザードを発生させない点に新規性がある。

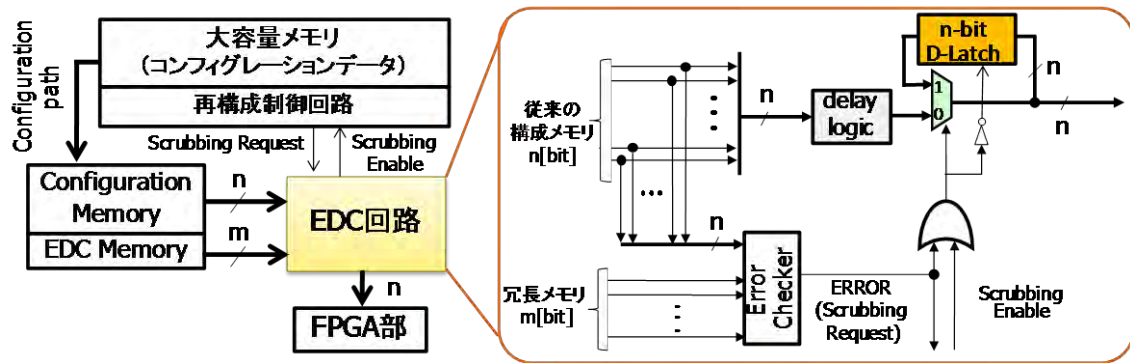


図 42 エラー訂正回路のブロック図

③有用性

本研究で提案する回路では、本来の構成メモリ n ビットに対しハミング符号化に必要な m ビットを付与することで、1 ビットまでのエラー訂正および 2 ビットまでのエラー検知が可能である。一度ソフトエラーを検知すると、大容量メモリからコンフィグレーションパスを通じて正しい構成データに書換えることでソフトエラーを自動修復する。この際、FPGA の機能実現に必要な構成データはラッチを通して供給されるため、ソフトエラーの影響は隠蔽される。ECC 回路は通常ハザードの問題をもつが、本方式では遅延回路を用いることでハザードレスな回路を実現しているので有用性も高い。

④優位比較

事前評価より得られた $m=21$, $n=6$ という値を用いて、6-LUT を対象として FIT 値を算出した結果、タイル単位で TMR 化した場合と比較して構成メモリ数を約 25%削減するとともに、約 22 倍小さい FIT 値が得られた。この結果から、提案したエラー訂正回路による高信頼化とその優位性が確認できた。

4. 11 位相限定相関法に基づく画像処理のアルゴリズム開発 (東北大学 青木グループ)

(1)研究実施内容及び成果

①実施方法・実施内容

画像間の平行移動量をサブピクセル精度で高精度に推定可能な画像マッチング手法である位相限定相関法(POC)を用いた車載ステレオビジョンシステムのための高精度化手法を開発することによって、車両前方等の障害物検出および距離計測を高精度に行うことが可能となった(図 43、表 5)。また、開発したアルゴリズムを異なるアーキテクチャおよび異なる構成の GPU で評価を行い、それらの評価結果に基づいて、本研究プロジェクトで開発するディペンダブル三次元積層型画像処理マルチコアプロセッサ上に実装するソフトウェアの開発も行った。図 44 に示すように、RP-X や Core i7 など、22nm~65nm ノード CMOS 技術にて作製された市販の高性能プロセッサに POC によるソフトウェアを実装してその処理性能を評価し、システムシミュレーションによる性能評価結果と比較的良好一致を見た。また、評価結果をフィードバックしてシステムのソフト/ハード協調設計を行うことにより、システムの更なる最適化が可能となり、三次元積層型画像処理マルチコアプロセッサの更なる高性能化と低電力化に貢献した。



- **視差推定:** 左カメラと右カメラの画像間を高精度対応付け、正確に視差を推定する
- **視差のクラスタリング(障害物検出):** 障害物が一定の視差を持つ領域として現れるので、そのような領域をクラスタリングすることで障害物を検出する
- **次世代の走行環境障害物検出:** 3次元情報に基づく障害物の位置計測、コンパクトなステレオカメラユニット、障害物形状の正確な検出

図 43 ステレオビジョンによる障害物検出

表 5 障害物検出精度の比較結果

	NCC	ELAS	SGM	POC
近距離 10~40m	0.5916	0.6791	0.7385	0.8145
中距離 40~70m	0.4743	0.6788	0.6848	0.8105
遠距離 70~100m	0.2143	0.4390	0.4189	0.5493

- F値が1に近いほど、検出の精度が高いことを示す
- 各手法の最高性能を示している(処理時間は異なる)
- パラメータを調整して処理時間を同じにした場合でもPOCが最も高い性能を示す
- 次世代の走行環境障害物検出を実現するためには、POCと視差クラスタリングの組み合わせが有効である

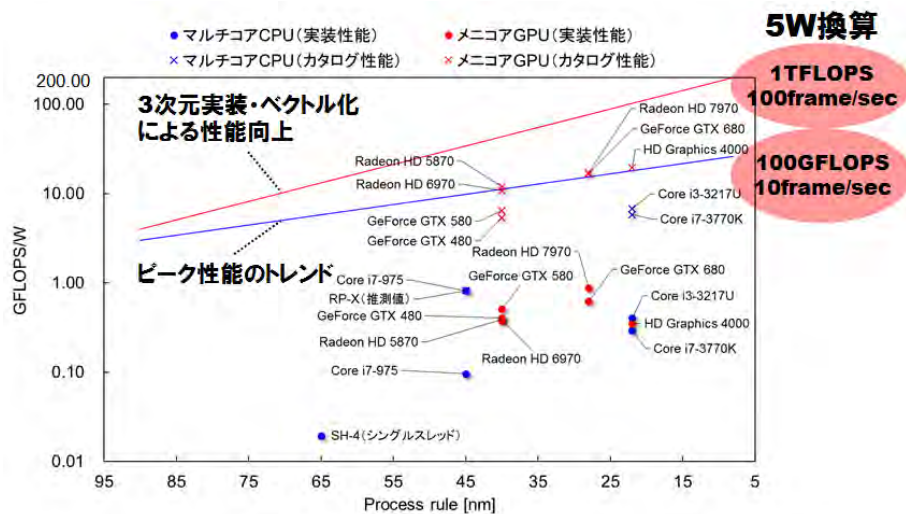


図 44 ステレオ画像から 10,000 点の視差を推定する場合の実装性能の評価結果

②創造性

サブピクセル(0.1~0.01ピクセル)分解能のロバスト画像マッチングが可能な位相限定相関法と車載ステレオビジョンシステムのための高精度化手法に関する提案で新規性に富んでいる。これらの手法がディペンダブル3次元積層型画像処理マルチコアプロセッサを用いた車載画像処理にも応用可能なことを示した点でも、独創性に富んだ研究である。

③有用性

本研究グループが開発した超高精度画像マッチング技術「位相限定相関法(Phase-Only Correlation: POC)」は、車両用の障害物検出や距離計測だけでなく、高精度指紋照合システム、産業用超高速画像認識システム、画像による製本検査装置、透過型電子顕微鏡(TEM)のためのオートフォーカスシステム、レーザースペックル計測による材料強度試験装置などに搭載して広く実用化しており、その有用性は非常に高い。

④優位比較

本研究グループが開発した位相限定相関法(POC)を用いると、位相情報の活用によって実現されるサブピクセル(0.1~0.01ピクセル)分解能のロバスト画像マッチングが可能であり、他の画像処理手法に比べて優位

性が高い。また、本研究グループは、位相情報を利用する画像解析・画像処理技術に関する研究チームとして、世界をリードする立場にあり、これまでの知見に基づいて、本研究プロジェクトで開発するディペンダブル 3 次元積層型画像処理マルチコアプロセッサを用いた車載画像処理、特に障害物の検出に位相限定相関法を応用しようとしており、極めて斬新な試みである。

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 10 件、国際(欧文)誌 52 件)

1. 一ノ宮佳裕, 石田智之, 田上士郎, 尼崎太樹, 久我守弘, 末吉敏則, "SRAM 型 FPGA の部分再構成によるソフトコアプロセッサの高信頼化," '電子情報通信学会論文誌, vol.J92-D, no.12, pp.2105-2113, (Dec. 2009) [DOI: なし]
2. Masayuki Sato, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, "A Majority-based Control Scheme for Way-Adaptable Caches," Proceedings of Conference for Young Scientists Facing the Multicore-Challenge, pp.19-31, 2010 [DOI: 10.1007/978-3-642-16233-6_5]
3. Masayuki Sato, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "A Voting-Based Working Set Assessment Scheme for Dynamic Cache Resizing Mechanisms," Proceedings of IEEE International Conference on Computer Design 2010, pp.98-105, 2010. [DOI: 10.1109/ICCD.2010.5647599]
4. Ryusuke Egawa, Yusuke Funaya, Ryu-ichi Nagaoka, Akihiro Musa, Hiroyuki Takizawa and Hiroaki Kobayashi, "Design and Early Evaluation of a 3-D Die Stacked Chip Multi-Vector Processor," Proceedings of IEEE International 3D System Integration Conference, pp. 1-8, 2010 [DOI : 10.1109/3DIC.2010.5751448]
5. Katsuto Sato, Hiroyuki Takizawa, Kazuhiko Komatsu, and Hiroaki Kobayashi, "Automatic Tuning of CUDA," Software Automatic Tuning: From Concepts to State-of-the-Art Results, Springer, pp.209--228, ISBN978-1-441-96934-7, 2010 [DOI : 無し]
6. Ayako Suzuki, Koichi Ito, Takafumi Aoki and Ruriko Tsuneta, "A scale estimation algorithm using phase-based correspondence matching for electron microscope images," Proceedings of the 20th International Conference on Pattern Recognition, pp. 2420--2423, August 2010 [DOI: 10.1109/ICPR.2010.592]
7. Toru Takahashi, Tatsuya Kawano, Koichi Ito, Takafumi Aoki and Satoshi Kondo, "Performance evaluation of a geometric correction method for multi-projector display using SIFT and phase-only correlation," Proceedings of 2010 International Conference on Image Processing, pp. 1189--1192, September 2010 [DOI: 10.1109/ICIP.2010.5651839]
8. Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Mariappan Murugesan, Jichol Bea, Kangwook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Multichip Self-Assembly Technology for Advanced Die-to-Wafer 3-D Integration to Precisely Align Known Good Dies in Batch Processing," IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, VOL. 1, NO. 12, 1873-1884, 2011.

9. Takafumi Fukushima, Takayuki Konno, Eiji Iwata, Risato Kobayashi, Toshiya Kojima, Mariappan Murugesan, Ji-Chel Bea, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Self-Assembly of Chip-Size Components with Cavity Structures: High-Precision Alignment and Direct Bonding without Thermal Compression for Hetero Integration," *Micromachines*, Vol. 2, pp.49-68, 2011 [DOI: 10.3390/mi2010049]
10. Kang-Wook Lee, Akihiro Noriki, Kouji Kiyoyama, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Three-Dimensional Hybrid Integration Technology of CMOS, MEMS, and Photonics Circuits for Optoelectronic Heterogeneous Integrated Systems," *IEEE Trans. on Electron Devices*, Vol.58, No3, March. 2011 [DOI : 10.1109/TED.2010.2099870]
11. 小柳光正, 福島誉史, 李康旭, 田中徹, "三次元集積化技術とヘテロインテグレーション," 電子情報通信学会論文誌 C (電子デバイスの高速・高密度実装とインテグレーション技術論文特集), Vol.J94-C, No.11, pp.355-364, 2011 [DOI: なし]
12. 小柳光正, 田中徹, "微細 Si 貫通ビアによる三次元インタコネクタ技術," 電子情報通信学会誌 (インタコネクタ技術小特集), Vol.94, No.12, pp.1027-1032, 2011 [DOI: なし]
13. Hiroyuki Takizawa, Kentaro Koyama, Katsuto Sato, Kazuhiko Komatsu, and Hiroaki Kobayashi, "CheCL: Transparent Checkpointing and Process Migration of OpenCL Applications," in *Proceedings of the 25th IEEE International Parallel and Distributed Processing Symposium (IPDPS2011)*, pp.846 - 876, 2011 [DoI:10.1109/IPDPS.2011.85]
14. 小山賢太郎, 佐藤功人, 小松一彦, 村田善智, 滝沢寛之, 小林広明, "マイグレーションによる複合型計算システム向けジョブスケジューリング (Job scheduling with migration for heterogeneous computing systems)," 情報処理学会論文誌 コンピューティングシステム(ACS, IPSJ Transactions on Computing Systems), Vol. 4, No. 4 pp.203-213, 2011 [DOI : 無し]
15. 高橋徹, 川野達也, 伊藤康一, 青木孝文, 近藤敏志, "SIFT と位相限定相関法を用いた高精度画像対応付けに基づくマルチプロジェクタディスプレイの校正手法," 電子情報通信学会論文誌 A, Vol. J94-A, No. 2, pp. 73--84, February 2011 [DOI: なし]
16. Mamoru Miura, Kinya Fudano, Koichi Ito and Takafumi Aoki, "GPU implementation of phase-based image correspondence matching and its evaluation," *Proceedings of IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV)*, No. 19, April 2011 [DOI: 10.1109/COOLCHIPS.2011.5890913]
17. Toru Takahashi, Takafumi Aoki, Koichi Ito and Satoshi Kondo, "A Correspondence Search Technique for Geometric Correction of Projected Images," *映像情報メディア学会誌*, Vol. 65, No. 6, pp. 841--845, June 2011 [DOI: 10.3169/itej.65.841]
18. 高橋徹, 三浦衛, 伊藤康一, 青木孝文, "位相限定相関法に基づく高精度ステレオビジョンを用いた投影画像の幾何補正," 電子情報通信学会論文誌 D, Vol. J94-D, No. 8, pp. 1387--1397, August 2011 [DOI: なし]
19. 田島裕一郎, 宮澤一之, 青木孝文, 勝亦敦, 小林孝次, "三次元位相限定相関法に基づく高精度ボリュームレジストレーション," 電子情報通信学会論文誌 D, Vol. J94-D, No. 8, pp. 1398--1409, August 2011 [DOI: なし]
20. H. Hashimoto, T. Fukushima, K-W. Lee, T. Tanaka and Mitsumasa Koyanagi, "Evaluation

- of Reconfigurable Processor Test Chip for Dependable 3D Stacked Multicore Processor,”
Extended Abstr. of International Conference on Solid State Devices and Materials, Nagoya,
168-169, September 29, 2011
21. Y.Ichinomiya, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi,"Improving the Soft-error Tolerability of a Soft-core Processor on an FPGA using Triple Modular Redundancy and Partial Reconfiguration",Journal of Next Generation Information Technology, Sep. 2011 [DOI:10.4156/jnit]
 22. Q.Zhao, Y.Ichinomiya, M.Amagasaki, M.Iida and T.Sueyoshi,"A Novel Soft Error Detection and Correction Circuit for Embedded Reconfigurable Systems",IEEE Embedded Systems Letters, Vol.3, Issue3, pp.89-92, Sep. 2011 [DOI: 10.1109/LES.2011.2167213]
 23. Shuji Sakai, Koichi Ito, Takafumi Aoki and Hiroki Unten, “Accurate and Dense Wide-Baseline Stereo Matching Using SW-POC,” Proceedings of First Asian Conference on Pattern Recognition, pp. 335--339, November 2011 [DOI: 10.1109/ACPR.2011.6166637]
 24. Koichi Ito, Toru Takahashi and Takafumi Aoki, “A Geometric Correction Method Using Stereo Vision for Projected Images,” Proceedings of First Asian Conference on Pattern Recognition, pp. 515--519, November 2011 [DOI: 10.1109/ACPR.2011.6166635]
 25. Shoichiro Aoyama, Koichi Ito and Takafumi Aoki, “Finger-Knuckle-Print Recognition Using BLPOC-Based Local Block Matching,” Proceedings of First Asian Conference on Pattern Recognition, pp. 525--529, November 2011 [DOI: 10.1109/ACPR.2011.6166641]
 26. 佐藤功人, 小松一彦, 滝沢寛之, 小林広明, “OpenCL におけるタスク並列化支援のための実行時依存関係解析手法 (A Runtime Dependency Analysis Method for Task Parallelization of OpenCL Programs)”, 情報処理学会論文誌 コンピューティングシステム(ACS),Vol.5, No.1, pp 53 - 67, 2012. [DOI : 無し]
 27. Ryusuke Egawa, Yusuke Funaya, Ryu-ichi Nagaoka, Yusuke Endo, Akihiro Musa, Hiroyuki Takizawa and Hiroaki Kobayashi, "Effects of 3-D Stacked Vector Cache on Energy Consumption," in Proceedings of IEEE 3DIC 2012, pp. 1-6, CDROM, Feb. 2 2012 [DOI : 10.1109/3DIC.2012.6263026]
 28. M.Iida, M.Amagasaki, Y.Okamoto, Q.Zhao and T.Sueyoshi,“ COGRE: A Novel Compact Logic Cell Architecture for Area Minimization", IEICE Transactions, Vol.E95-D, No.2, pp. 294-302, Feb. 2012 [DOI : 無し]
 29. 酒井修二, 伊藤康一, 青木孝文, 運天弘樹, “基線長変化にロバストなステレオ画像間の高精度対応付け手法,” 電子情報通信学会論文誌 D, Vol. J95-D, No. 8, pp. 1609--1622, August 2012 [DOI: なし]
 30. Mamoru Miura, Shuji Sakai, Shoichiro Aoyama, Jumpei Ishii, Koichi Ito and Takafumi Aoki, “High-Accuracy Image Matching Using Phase-Only Correlation and Its Application,” Proceedings of SICE Annual Conference 2012, No. TuA11-04, pp. 307--312, August 2012 [DOI : 無し].
 31. T. Fukushima, H. Hashiguchi, J. Bea, Y. Ohara, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi, “New Chip-to-Wafer 3D Integration Technology Using Hybrid Self-Assembly and

- Electrostatic Temporary Bonding,” IEEE Tech. Digest of International Electron Devices Meeting (IEDM), December 2012.
32. J. Ishii, S. Sakai, K. Ito, T. Aoki, "Wide-baseline stereo matching using ASIFT and POC," International Conference on Image Processing, pp. 2977--2980, September/October 2012. [DOI: 10.1109/ICIP.2012.6467525]
33. M. Miura, K. Fudano, K. Ito, T. Aoki, H. Takizawa, H. Kobayashi, "GPU implementation of phase-based stereo correspondence and its application," International Conference on Image Processing, pp. 1697--1700, September/October 2012. [DOI: 10.1109/ICIP.2012.6467205]
34. Y. Tajima, K. Ito and T. Aoki, "A non-rigid registration method for medical volume data using 3D phase-only correlation," International Conference on Pattern Recognition, pp. 93--96, November 2012. [DOI: 無し]
35. Y. Ichinomiya, T. Kimura, M. Amagasaki, M. Iida, M. Kuga and T. Sueyoshi, "Fault-injection analysis to estimate SEU failure in time by using frame-based partial reconfiguration," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E95-A, No. 12, pp. 2347-2356, Dec. 2012
36. Kangwook Lee, Jichel Bea, Yuki Ohara, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Impact of Cu Diffusion from Cu Through-Silicon Via(TSV) on Device Reliability in 3-D LSIs Evaluated by Transient Capacitance Measurement," Proc. Of IEEE International Reliability Physics Society (IRPS), 2B.4.1 – 2B.4.6, 2012
37. Kangwook Lee, Takaharu Tani, Hideki Naganuma, Yuki Ohara, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Impact of Cu Contamination on Memory Retention Characteristics in Thinned DRAM Chip for 3-D Integration," IEEE Electron Device Letters, Vol. 33, No. 9, 1297-1299, 2012
38. Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Mariappan Murugesan, Jichoel Bea, Kangwook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Multichip-to-Wafer Three-Dimensional Integration Technology Using Chip Self-Assembly With Excimer Lamp Irradiation," IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 59, NO. 11, 2956-2963, 2012
39. T. Fukushima, H. Hashiguchi, J. Bea, Y. Ohara, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi, "New Chip-to-Wafer 3D Integration Technology Using Hybrid Self-Assembly and Electrostatic Temporary Bonding," IEEE IEDM Technical Digest, 789-792, 2012
40. Muhammad Alfian Amrizal, Shoichi Hirasawa, Kazuhiko Komatsu, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Improving the Scalability of Transparent Checkpointing for GPU Computing Systems," In Proceedings of IEEE Region 10 Conference, pp. 1—6, Nov. 2012. [DOI: 10.1109/TENCON.2012.6412343]
41. S. Sakai, K. Ito, T. Aoki, T. Masuda and H. Unten, "An efficient image matching method for multi-view stereo," Asian Conference on Computer Vision, November 2012. [DOI: 10.1007/978-3-642-37447-0_22]
42. M. Miura, S. Sakai, J. Ishii, K. Ito and T. Aoki, "An Easy-to-Use and Accurate 3D Shape

- Measurement System Using Two Snapshots," International Workshop on Advanced Image Technology 2013, pp. 1103--1106, January 2013. [DOI: 無し]
43. Hisashi Kino, Ji Cheol Bea, Mariappan Murugesan, Kang, Wook Lee, Takafumi Fukushima, Mitsumasa Koyanagi, Tetsu Tanaka, "Analysis of Local Bending Stress Effect on CMOS Performance Fabricated in Thinned Si Chip for Chip-to-Wafer 3D Integration," Japanese Journal of Applied Physics (JJAP), Vol. 52 No. 4, Issue 2, (2013), 04CB11-1- 04CB11-6.
44. Y. Tajima, K. Fudano, K. Ito and T. Aoki, "Fast and robust correspondence matching and its application to volume registration," IEICE Trans. Information and systems, Vol. E96-D, No. 4, pp. 826--835, April 2013. [DOI: 10.1587/transinf.E96.D.826]
45. K. Ito, A. Suzuki, T. Aoki and R. Tsuneta, "Image-Based Magnification Calibration for Electron Microscope," Machine Vision and Applications (published online: 19 April 2013). [DOI: 10.1007/s00138-013-0511-3]
46. Y. Tajima, K. Ito, T. Aoki, T. Hosoi, S. Nagashima and K. Kobayashi, "Performance Improvement of Face Recognition Algorithms Using Occluded-Region Detection," International Conference on Biometrics, June 2013. [DOI: 無し]
47. S. Aoyama, K. Ito and T. Aoki, "Similarity measure using local phase features and its application to biometric recognition," IEEE Computer Society Conference on Computer Vision and Pattern Recognition Workshop, pp. 180--187, June 2013. [DOI: 10.1109/CVPRW.2013.34]
48. S. Aoyama, K. Ito and T. Aoki, "A finger-knuckle-print recognition algorithm using phase-based local block matching," Information Sciences (Available online 22 August 2013). [DOI: 10.1016/j.ins.2013.08.025]
49. Kangwook Lee, Seiya Tanikawa, Mariappan Murugesan, Hideki Naganuma, Haruo Shimamoto, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Degradation of Memory Retention Characteristics in DRAM Chip by Si Thinning for 3-D Integration," IEEE ELECTRON DEVICES LETTERS 2013 VOL. 34, NO. 8, Aug., (2013), pp.1038-1040
50. M. Miura, K. Fudano, K. Ito, T. Aoki, H. Takizawa, H. Kobayashi, "Performance evaluation of phase-based correspondence matching on GPUs," SPIE Applications of Digital Image Processing XXXVI, August 2013. [DOI: 10.1117/12.2023550]
51. Jubee Tada, Ryusuke Egawa and Hiroaki Kobayashi, "Power and Performance Evaluation of 3-D Stacked Floating-point Multipliers, " IEEE Computer Society Annual Symposium on VLSI (ISLVLSI2013), pp. 218-223, Aug. 2013. [SBN: 978-1-4799-1330-5 ISBN: 978-1-4799-1330-5]
52. Masayuki Sato, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi. "A Capacity-Aware Thread Scheduling Method Combined with Cache Partitioning to Reduce Inter-Thread Cache Conflicts," IEICE Transactions on Information Systems, Vol. E96-D, No. 9, pp. 2047—2054, Sep. 2013. [DOI:無し]
53. H. Hashimoto, T. Fukushima, K.W. Lee, T. Tanaka and M. Koyanagi, "Highly Efficient TSV Repair Technology for Resilient 3-D Stacked Multicore Processor System," IEEE International Conference on 3D System Integration (3DIC2013), Oct. 2013.

54. Ye Gao, Naoki Shoji, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi. "Design and Evaluation of a Media-oriented Vector Processor with a Multi-banked Cache Memory," In Proceedings of the 11th IEEE Symposium on Embedded Systems for Real-time Multimedia (ESTIMedia), Oct. 2013.
55. Ryusuke Egawa, Masayuki Sato, Jubee Tada, Ryusuke Egawa and Hiroaki Kobayashi, "Design of a 3-D Stacked Floating-Point Adder, " IEEE International Conference on 3D System Integration (3DIC2013), Oct. 2013.
56. S. Aoyama, K. Ito and T. Aoki, "A Multi-Finger Knuckle Recognition System for Door Handle," IEEE Sixth International Conference on Biometrics: Theory, Applications and Systems, September/October 2013. [DOI: 無し]
57. K. Ito and T. Aoki, "Phase-based image matching and its application to biometric recognition," APSIPA Annual Summit and Conference, October/November 2013 (to be published). [DOI:無し]
58. 青山章一郎, 伊藤康一, 青木孝文, "指関節紋画像の変形にロバストな指関節紋認証アルゴリズム," 電子情報通信学会論文誌 A, Vol. J96-A, No. 12, December 2013. [DOI:無し]
59. K-W. Lee, J.C Bae, Y. Ohara, M. Murugesan, T. Fukushima, T. Tanaka and M. Koyanagi, "Impact of Cu Contamination on Device Reliabilities in 3-D IC Integration ", IEEE Transactions on Device and Materials Reliability, 10.1109/TDMR.2013, (2013), 2258022.
60. M. Murugesan, T. Fukushima, J.C. Bea, K.W. Lee, T. Tanaka, M. Koyanagi, "Revisiting the Silicon-Lattice in the High-Density 3D-LSIs _ in the Perspective of Device Reliability", IEEE International Electron Devices Meeting (IEDM), (2013), pp. 172-175.
61. M. Murugesan, Y. Imai, S. Kimura, T. Fukushima, J.C. Bea, H. Kino, K.W. Lee, T. Tanaka, and M. Koyanagi, "Deteriorated Device characteristics in 3D-LSI Caused by Distorted Silicon Lattice", IEEE Transactions on Electron Devices, vol. 61, no. 2, (2014).
62. K-W. Lee, Seiya Tanikawa, Mariappan Murugesan, Hideki Naganuma, Ji-Chel Bea, Takafumi Fukushima, Tetsu Tanaka, and M. Koyanagi, " Impacts of 3-D Integration Processes on Memory Retention Characteristics in Thinned DRAM Chip for High Reliable 3-D DRAM ", IEEE Transactions on Electron Devices, vol. 61, no. 2, (2014).

(2)その他の著作物(総説、書籍など)

1. J. N. Burghartz Editor, Ultra-thin Chip Technology and Application, Springer, Chapter III-11, M. Koyanagi, "3D-IC Technology Using Ultra-Thin Chips," pp.109-124, 2010
2. 福島誉史、李康旭、田中徹、小柳光正, "3次元積層型集積回路に向けた自己組織化チップ実装技術," 電子材料, Vol. 49, No. 6, pp.17-24, 2010,
3. M.Resch, K.Benkert, X.Wang, M.Galle, W.Bez, H.Kobayashi, and S.Roller Editors, High Performance Computing on Vector Systems 2010, Springer, ISBN 978-3-642-11850-0, 2010.
4. 宮澤一之, 伊藤康一, 青木孝文, "位相限定相関法による高精度画像マッチング~人体の画像計測および医用画像処理への適用を例として~, " 画像ラボ, Vol. 21, No. 3, pp. 2--7, March 2010.
5. 飯田全広, 末吉敏則`FPGA/CPLD の変遷と最新動向[III]-FPGA 向け設計ツール-, "電子情報

通信学会誌, Aug. 2010.

6. 末吉敏則, 久我守弘`FPGA/CPLD の変遷と最新動向[IV]—FPGA とリコンフィギュラブルシステム—, "電子情報通信学会誌, Sep. 2010.
7. 末吉敏則, 尼崎太樹`FPGA/CPLD の変遷と最新動向[V・完]—FPGA と特許—, "電子情報通信学会誌, Oct. 2010.
8. M. Koyanagi, "Handbook of Wafer Bonding," (分担執筆), Wiley-VCH, pp.139-159, 2011
9. Hiroyuki Takizawa, Ryusuke Egawa, and Hiroaki Kobayashi, "A Prototype Implementation of OpenCL for SX Vector Systems," High Performance Computing on Vector Systems 2011, 2011.
10. M.Resch, K.Benkert, X.Wang, M.Galle, W.Bez, H.Kobayashi, and S.Roller Editors, High Performance Computing on Vector Systems 2011, Springer, ISBN 978-3-642-22243-6, 2012.
11. Ryusuke Egawa, Jubee Tada, Hiroaki Kobayashi, "Exploring a Design Space of 3-D Stacked Vector Processors," Sustained Simulation Performance 2012, ISBN: 978-3-642-32453-6 (Print) 978-3-642-32454-3 (Online), Springer, pages 35-49, 2012.
12. Michael M. Resch, Xin Wang, Wolfgang Bez, Erich Focht, Hiroaki Kobayashi (Eds.), "Sustained Simulation Performance 2012," ISBN: 978-3-642-32453-6 (Print) 978-3-642-32454-3 (Online), Springer, 2012.
13. 末吉敏則, 一ノ宮佳裕, FPGA 活用チュートリアル 2012/2013 年版, 第 7 章 部分再構成技術の特徴と高信頼化システムへの応用, CQ 出版社, May 2012.
14. 青木孝文, 伊藤康一, "画像処理の最新動向とマルチコア・メニーコア技術の活用," JEITA 組込みマルチコアハンドブック技術・応用編 (電子情報技術産業協会 編集) .
15. 小柳光正, 「先端 LSI 技術大系」(分担執筆)(3D 実装技術), グローバルネット(株), 2012 年 12 月 (pp.193-201)
16. 伊藤康一, 青木孝文, "プロジェクタ・カメラシステムを用いた環境適応型ディスプレイ," 光アライアンス, pp. 21--25, July 2013.
17. 青木孝文, 伊藤康一, "画像処理技術とオープンイノベーションの展開," 電子情報通信学会誌, Vol. 96, No. 10, pp. 776--779, October 2013.
18. Mitsumasa Koyanagi and Tetsu Tanaka, in Handbook of 3D Integration – Volume 3: 3D Process Technology (Wiley-VCH), Editors: Phil Garrou, Mitsumasa Koyanagi, Peter Ramm, 執筆担当部分: Chapter 6.6, "Via Reveal and Backside Processing", in press.

(3)国際学会発表及び主要な国内学会発表

①招待講演 (国内会議 22 件、国際会議 37 件)

1. 青木孝文 (東北大学), "超高精度画像マッチング技術とその産業応用 ~ 3D マシンビジョンから医用画像解析まで," みやぎモバイルビジネス研究会, 仙台, December 14, 2009.
2. 青木孝文 (東北大学), "超高精度マシンビジョンと産業応用," 第 1 回次世代移動体システム研究報告会, 仙台, March 12, 2010.
3. 田中徹, 福島誉史, 李康旭, 小柳光正, "3D-LSI/TSV の技術動向と新領域への展開," Semi Forum Japan 2010 TSV/3 次元実装セミナー, グランキューブ大阪, 6/1, 2010.

4. 李康旭、福島誉史、田中徹、小柳光正, “東北大学における三次元積層技術とヘテロインテグレーション,” JPCA Show 2010 アカデミックプラザ, 東京ビッグサイト, pp.99-104, 6/2-6/4, 2010.
5. M. Koyanagi, “3-D Integration Technology and 3-D LSIs,” IEEE International Conf. on IC Design and Technology (ICICD), Grenoble, France, 6/2-6/4, 2010.
6. 小柳光正, “3次元LSIの信頼性とテスト技術,” 浜松ホトニクス半導体ワークショップ, 6/24, 2010.
7. Hiroaki Kobayashi, “Performance Discussion on Scalar and Vector Systems and R&D for New-Generation Vector Computing at Tohoku University,” NUG2010, Toulouse, France, June 30, 2010.
8. Mitsumasa Koyanagi, Takafumi Fukushima, and Tetsu Tanaka, “Three-Dimensional Integration Technology Using Through-Si Via Based on Reconfigured Wafer-to-Wafer Bonding,” IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, 9/20-23, 2010 [DOI:10.1109/CICC.2010.5617626]
9. M. Koyanagi, “3D Integration Technology and 3D System-on-a Chip,” International Conference on Solid State Devices and Materials (SSDM), Tokyo, 9/22-9/24, 2010
10. Hiroaki Kobayashi, “Performance Discussion on Scalar and Vector Systems and R&D on New-Generation Vector Computing,” the 13th Teraflop Workshop, Sendai, Japan, Oct 21, 2010.
11. Hiroyuki Takizawa, “Towards OpenCL for SX,” the 13th Teraflop Workshop, Sendai, Japan, Oct. 21, 2010.
12. 飯田 全広 “最新 FPGA 研究事情,” CEATEC Japan FPGA/PLD プラザ 特別講演, 幕張, Oct. 2010.
13. Hiroaki Kobayashi, “Activities for Highly-Productive Computing and R&D on New-Generation Vector Computing,” JAEA SC10 Workshop, New Orleans, LA, USA, Nov. 16 2010.
14. 小林広明, “高生産・高性能コンピューティングと新世代ベクトルコンピューティングに関するR&D,” SP研究会 SC10 講演会, New Orleans, LA, USA, Nov, 17 2010.
15. 小柳光正, “Super Chip Technology Achieving Hetero-Integration,” SEMICON Japan 2010, 幕張メッセ, 12/1, 2010.
16. 小柳光正, “3次元LSIの開発動向と展望,” Electronic Journal 第231回 Technical Symposium「3次元LSIの最前線・徹底検証」, 東京, 1/27, 2011.
17. M. Koyanagi, “3D Integration Technology and Reliability,” SEMATECH ISMI Reliability Council (RC) expert presentation focused on TSV reliability, Monterey, CA, April 8, 2011.
18. Mitsumasa Koyanagi, “3D Integration Technology and Reliability,” IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM (IRPS), Monterey, CA, April 13, 2011.
19. 青木孝文 (東北大学), “ピクセル分解能の壁を越える画像処理技術の展開 ~3D ビジョンからプロジェクトカメラシステムまで~, ” ファインテックジャパン, 江東区, April 14, 2011.
20. Takafumi Aoki (東北大学), “Advanced Machine Vision Technology Overcoming the Limits of Pixel Resolution,” IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV), 横浜, April 20--22, 2011.
21. Hiroaki Kobayashi, “3D Vector Processor for Highly-Productive Extreme-Scale Computing,” NUG2011, Prague, Czech Republic, June 8, 2011.

22. T. Tanaka, J. Bea, M. Murugesan, K. Lee, T. Fukushima, and M. Koyanagi, "3D LSI Technology and Reliability Issues," Symposium on VLSI Technology, pp.184-185, Kyoto, June 16, , 2011.
23. 青木孝文 (東北大学) , "ピクセル分解能の壁を超えるマシンビジョン技術の展開～受動型 3D ビジョンからバイオメトリクス認証まで～," 第 35 回センサ&アクチュエータ技術シンポジウム, 千代田区, June 22, 2011.
24. M. Koyanagi, "3D LSI and Reliability," 18th International Symposium on the Physical & Failure Analysis of Integrated Circuits (IPFA), Incheon KOREA, July 5, 2011.
25. T. Tanaka, J. Bea, M. Murugesan, K. Lee, T. Fukushima, and M. Koyanagi, "3D LSI Technology and Reliability Issues," [Symposium on VLSI Technology, Kyoto, June 16 (2011), 184-185]
26. M. Koyanagi, "3D Super Chip Technology to Achieve Low-Power and High-Performance System-on-a Chip," International Symposium on Low-Power Electronics and Design (ISLPED), Fukuoka, August 1, 2011.
27. 小柳光正, 田中徹, 福島誉史, 李康旭, "More-than-Moore 技術と 3 次元集積化 (特別講演)," 電子通信学会エレクトロニクスソサイエティ大会, 札幌, 9 月 14 日, 2011.
28. Takafumi Fukushima, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Development of Wafer-Level 3D System Integration Technologies," The International Union of Materials Research Societies-International Conference in Asia (IUMRS-ICA) 12th International Conference in Asia, Taipei, September 20, 2011.
29. M. Koyanagi, "3D Integration Technology and New Application," International Conference on Solid State Devices and Materials (SSDM), Nagoya, September 27, 2011.
30. 青木孝文 (東北大学) , "ピクセル分解能の壁を越える超高精度マシンビジョン技術 ～3D ビジョンからバイオメトリクス認証まで～," CEATEC2011, 千葉, October 5, 2011.
31. 青木孝文 (東北大学) , "ピクセル分解能の壁を越えるマシンビジョン技術の展開 ～3D ビジョンからバイオメトリクス認証まで～," 電子情報通信学会集積回路研究会, 仙台, October 24--25, 2011.
32. M. Koyanagi, "3D Integration Technology and New 3D LSIs," ITRI Workshop on 3DIC, Hsinchu, Taiwan, November 22, 2011.
33. Hiroaki Kobayashi, A Multi-Vectorcore Architecture with 3D Die-Stacking Technology, 14th Teraflop workshop, Stuttgart Germany, Dec. 5, 2011.
34. Hiroaki Kobayashi, "Capability of Vector-Parallel Computing Platforms," Invited talk at ATIP - A*CRC Workshop on Accelerator Technologies in High Performance Computing, Singapore, May 7, 2012.
35. M. Koyanagi, K-W. Lee, T. Fukushima, and T. Tanaka, "New 3D LSIs using Si compatible materials, processes and technologies," 221st ECS Meeting, Sealttle, May 8, 2012.
36. 青木孝文 (東北大学) , "ピクセル分解能の壁を越える画像・映像処理技術," 公益社団法人日本広告写真家協会 設立記念講演, 仙台, June 2, 2012.
37. 青木孝文 (東北大学) , "ピクセル分解能の壁を越える超高精度マシンビジョン技術 ～3D ビジョンからバイオメトリクス認証まで～," ADVANTEST EXPO 2012, 東京, June 7, 2012.

38. Hiroaki Kobayashi, "Capability and Potential of Vector Processors", Keynote presentation at NUGXXIV, Potsdam, Germany, June 12, 2012.
39. 小柳光正, 極薄ウェーハの諸問題とその信頼性～3次元LSIの金属汚染・結晶欠陥・応力・そり対策を詳解～, 電子ジャーナルシンポジウム, 東京, 7月26日, 2012.
40. Hiroaki Kobayashi, "High-End Computing Systems: Past, Present and Future," Tutorial on SICE2012, Akita, Aug. 20, 2012.
41. 小林広明, "Design Space Exploration of the Vector Processor Architecture using 3D Die-Stacking Technology," 筑波大学 計算科学研究センター設立20周年記念シンポジウム～エクサスケールコンピューティングへの学際計算科学の展開～, 筑波, 平成24年9月7日.
42. 小柳光正, 三次元実装技術の現状と課題, 化学工学会講演会, 仙台, 9月19日, 2012.
43. Kangwook Lee, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Thermomechanical reliability challenges induced by high density Cu TSVs and metal micro-joining for 3-D ICs," [IEEE International Reliability Physics Symposium (IRPS), Anaheim, CA, USA, April 19 (2012), 5F.2.1–5F.2.4]
44. M. Koyanagi, "3D LSI Technology and Reliability," [IMEC-Tohoku Seminar, Leuven, Belgium, June 21 (2012)]
45. Mitsumasa Koyanagi, Kang Wook Lee, Jicheol Bea, Takafumi Fukushima, and Tetsu Tanaka, "Cu Contamination Assessment and Control in 3-D Integration," [222nd ECS Meeting: PRiME (Pacific Rim Meeting)2012, Honolulu, Hawaii, October 10 (2012)]
46. M. Murugesan, H. Kobayashi, T. Fukushima, T. Tanaka and M. Koyanagi, "Reliability Challenges in High-Density 3D-Integration," [International Conference on Solid State Devices and Materials (SSDM 2012), Kyoto, September 26 (2012), 1185-1186]
47. M. Koyanagi, K-W Lee, T. Fukushima and T. Tanaka, "Heterogeneous 3D Integration Technology and New 3D LSIs," IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT2012), Xi'an, China, October 30, 2012.
48. M. Koyanagi, "3-D Integration Technology and Future Trend," Asian Test Symposium, Niigata, November 20, 2012.
49. M. Koyanagi (Keynote), "New 3D Integration Technology and Fabrication of Prototype 3D LSIs," IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS2012), Taipei, December 10, 2012.
50. 末吉敏則, 一ノ宮佳裕, FPGAとディペンダブル技術, CEATEC Japan プログラマブルデバイスプラザ, 幕張, 10月, 2012.
51. 滝沢寛之, "GPU向けプログラミング環境の現状と将来展望" 第4回シミュレーション科学セミナー, 北陸先端科学技術大学院大学, 2013年1月30日.
52. 小林広明, 安全・安心な暮らしを支えるハイパフォーマンスコンピューティング～防災・減災に向けて～, 第75回情報処理学会全国大会特別企画, 仙台, 2013年3月8日.
53. Hiroaki Kobayashi, "Feasibility Study of Future HPC Systems for Memory-Intensive Applications in the Post Peta-Scale Computing Era," 17th Workshop on Sustained Simulation Performance, Tokyo, March 12, 2013.

54. Hiroaki Kobayashi, Feasibility Study of Future HPC Systems for Memory-Intensive Applications toward the Post Petascale/Exascale Computing, 1st International Workshop on Strategic Development of High Performance Computers, Tsukuba, March 19, 2013.
55. Mitsumasa Koyanagi, Kang Wook Lee, Takafumi Fukushima, and Tetsu Tanaka, "Challenges in 3D Integration," [223rd ECS Meeting, Toronto, Canada, May 14 (2013)]
56. M. Koyanagi, "3D Heterogeneous System Integration and New 3D LSIs," [IEEE VLSI Circuits Workshop, Kyoto, June 11 (2013)]
57. Mitsumasa Koyanagi, "Heterogeneous 3D Integration -Technology Enabler toward Future Super-Chip (Plenary Talk)," IEEE IEDM Technical Digest, Dec. 2013.
58. K-W. Lee, M. Murugesan, Jichel Bea, T. Fukushima, T. Tanaka, and M. Koyanagi, "Characterization and Reliability of 3D LSI and SiP," IEEE IEDM Technical Digest, Dec. 2013.
59. Mitsumasa Koyanagi, "3D System Module with Stacked Image Sensors, Stacked Memories and Stacked Processors on a Si Interposer," ISSCC2014 Forum, Feb. 2014.

②口頭発表 (国内会議 54 件、国際会議 38 件)

1. 甲斐統貴, 堤喜章, 尼崎太樹, 久我守弘, 末吉敏則, "SRAM 型 FPGA の部分再構成によるエラー訂正手法の一検討," 信学技報 RECONF2009-41, vol. 109, no. 32, pp. 1-6, 高知, Dec. 2009.
2. 荒井勇亮, 佐藤功人, 滝沢寛之, 小林広明, "OpenCL による GPU コンピューティングの性能評価," 情報処理学会第 124 回 HPC 研究会, vol.9, February 2010.
3. 木村剛士, 甲斐統貴, 堤喜章, 尼崎太樹, 久我守弘, 末吉敏則"SRAM 型 FPGA 上の実装回路におけるソフトエラー耐性評価手法の一検討," 信学技報 RECONF2010-7, vol. 110, no. 32, pp. 37-42, 長崎, May 2010.
4. Y.Ichinomiya, S.Tanoue, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, "Improving the Robustness of a Softcore Processor against SEUs by using TMR and Partial Reconfiguration,"The 18th Annual International IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM2010), Charlotte USA, May 2010.
5. Y.Ichinomiya, M.Amagasaki, M.Iida, M. Kuga and T.Sueyoshi"Improving the Reliability of FPGA system by using TMR and Partial Reconfiguration,"International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies(HEART2010), Tsukuba, June 2010.
6. Y.Okamoto, Y.Ichinomiya, M.Amagasaki, M.Iida and T.Sueyoshi,"COGRE:A Configuration Memory Reduced Reconfigurable Logic Cell Architecture for Area Minimization,"20th International Conference on Field Programmable Logic and Applications (FPL2010), Milano Italy, Aug. 2010.
7. 酒井修二 (東北大学), "位相限定相関法を用いた受動型 3 次元計測の高精度化," 平成 22 年度 電気関係学会東北支部連合大会, 八戸, August 26--27, 2010.
8. 三浦衛 (東北大学), "位相限定相関法に基づくリアルタイム 3 次元計測の検討," 平成 22 年度 電気関係学会東北支部連合大会, 八戸, August 26--27, 2010.
9. 酒井修二 (東北大学), "位相限定相関法を用いた 3 次元計測の高精度化と性能評価," 映像情報メ

ディア学会サマーセミナー2010, 新潟, August 30--31, 2010.

10. 三浦衛 (東北大学), “位相限定相関法に基づく画像マッチングの GPU 実装とその応用,” 映像情報メディア学会サマーセミナー2010, 新潟, August 30--31, 2010.

11. Ye Gao, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, " An Out-of-order Vector Processing Mechanism for Multimedia Applications," 並列/協調/分散処理に関するサマーワークショップ(SWoPP), August 2010.

12. 木野久志, 開達郎, 栗山祐介, Mariappan Murugesan, 裴志哲, 李康旭, 福島誉史, 小柳光正, 田中徹, “LSI 積層による曲げ応力がデバイス特性に与える影響に関する研究,” 第 71 回応用物理学学会学術講演会, 9/15, 13-214, 長崎大学, 2010 .

13. 岡本康裕, 一ノ宮佳裕, 尼崎太樹, 飯田 全広, 末吉敏則`COGRE: 面積削減を目的とした少構成メモリ論理セルアーキテクチャ, "信学技報 RECONF2010-31, vol. 110, no. 204, pp. 79-84, 静岡, Sep. 2010.

14. Q.Zhao, Y.Ichinomiya, Y.Okamoto, M.Amagasaki, M. Iida and T.Sueyoshi ``An Error Detect and Correct Circuit Based Fault-tolerant Reconfigurable Logic Device , " 信学技報 RECONF2010-32, vol. 110, no. 204, pp. 85-90, 静岡, Sep. 2010.

15. 伊藤康一 (東北大学), “高精度な画像マッチング手法の検討,” 第 25 回信号処理シンポジウム, 奈良, November 24--26, 2010.

16. Q.Zhao, Y.Ichinomiya, Y.Okamoto, M.Amagasaki, M.Iida and T.Sueyoshi , ``A Less Configuration Memory Reconfigurable Logic Device with Error Detect and Correct Circuit", IEEE Region 10 International Technical Conference (TENCON2010), Fukuoka, Nov. 2010.

17. T.Kimura, N.Kai, M.Amagasaki, M.Kuga and T.Sueyoshi, ``A Case Study of Evaluation Technique for Soft error Tolerance on SRAM-based FPGAs", IEEE Region 10 International Technical Conference (TENCON2010), Fukuoka, Nov. 2010.

18. Q.Zhao, Y.Ichinomiya, Y.Okamoto, M.Amagasaki, M.Iida and T.Sueyoshi , ``A Robust Reconfigurable Logic Device Based on Less Configuration Memory Logic Cell", International Conference on Field-Programmable Technology(ICFPT10), Beijing China, Dec. 2010.

19. 永岡龍一, 佐藤義永, 撫佐昭裕, 江川隆輔, 滝沢寛之, 小林広明, "実アプリケーションを用いたチップマルチベクトルプロセッサの消費エネルギー評価," ハイパフォーマンスコンピューティングとアーキテクチャの評価に関する北海道ワークショップ(HOKKE-18), 札幌, December 2010.

20. 用正博紀, 井上万輝, 尼崎太樹, 飯田 全広, 末吉敏則`スイッチブロックのトポロジに着目した FPGA の配線テスト手法化, "信学技報 RECONF2010-105, vol. 110, no. 362, pp. 145-150, 横浜, Jan. 2011.

21. 藤野 誠, 甲斐統貴, 一ノ宮佳裕, 尼崎太樹, 久我守弘, 末吉敏則`ソフトコアプロセッサシステムの高信頼化に向けたコンテキスト同期手法, "信学技報 RECONF2011-5, vol.111, no.32, pp.25-30, 北海道, May 2011.

22. Yuki Ohara, Yoshitomo Watanabe, Kangwook Lee, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, “Development of 5 μ m Diameter Backside Cu TSV Technology for 3D LSI,” International Conference on Electronics Packaging 2011 (ICEP2011), Nara, April 14 (2011), 237-240

23. T. Fukushima, Y. Ohara, M. Murugesan, J.-C. Bea, K.-W. Lee, T. Tanaka, and M. Koyanagi, "Self-Assembly Technologies with High-Precision Chip Alignment and Fine-Pitch Microbump Bonding for Advanced Die-to-Wafer 3D Integration," [Electronic Components and Technology Conference (ECTC), Florida, USA, June 2 (2011), 2050-2055]
24. 酒井修二 (東北大学), "汎用デジタルカメラを用いた 2 視点からの 3 次元復元," コンピュータビジョンとイメージメディア研究会, 吹田, May 19--20, 2011.
25. 伊藤康一 (東北大学), "位相情報に基づく画像対応付けの GPU 実装と評価," GTC Workshop Japan 2011 テクニカルセッション, 港区, July 22, 2011.
26. 菅原誠, 佐藤功人, 小松一彦, 滝沢寛之, 小林広明, "プログラム自動生成技術に基づく GPU コンピューティングの性能評価," 並列/分散/協調処理に関するサマーマークワークショップ(SWoPP2011), 2011年 7月.
27. 青山章一郎 (東北大学), "携帯電話のための掌紋認証アルゴリズムの検討," 第 24 回 回路とシステムワークショップ, 淡路, August 1--2, 2011.
28. 石井純平 (東北大学), "SIFT と POC を用いた高精度 3 次元復元の検討," 平成 23 年度 電気関係学会東北支部連合大会, 多賀城, August 25--26, 2011.
29. 佐々木満春 (東北大学), "ステレオ動画像の動き推定とグラフカットを用いた視差マップ生成手法の検討," 平成 23 年度 電気関係学会東北支部連合大会, 多賀城, August 25--26, 2011.
30. Mamoru Miura (東北大学), "Performance Evaluation of Real-Time Stereo Correspondence on GPU," 平成 23 年度 電気関係学会東北支部連合大会, 多賀城, August 25--26, 2011.
31. Shuji Sakai (東北大学), "Accuracy Improvement of Wide-Baseline Stereo Matching Using SW-POC," 平成 23 年度 電気関係学会東北支部連合大会, 多賀城, August 25--26, 2011.
32. Shoichiro Aoyama (東北大学), "A Study of Contactless Palmprint Recognition Algorithm for Mobile Phones," 平成 23 年度 電気関係学会東北支部連合大会, 多賀城, August 25--26, 2011.
33. 田島裕一郎 (東北大学), "3 次元 POC を用いたボリュームデータの対応付けアルゴリズム," 映像情報メディア学会年次大会, 武蔵野, August 24--26, 2011.
34. 石井純平 (東北大学), "SIFT と POC を用いた高精度 3 次元復元とその応用," 映像情報メディア学会メディア工学研究会サマーマークセミナー, 諏訪, August 29--30, 2011.
35. 佐々木満春 (東北大学), "位相限定相関法に基づく動き推定とグラフカットを用いたステレオ動画像の視差マップ生成手法の検討," 映像情報メディア学会メディア工学研究会サマーマークセミナー, 諏訪, August 29--30, 2011.
36. 宇佐川貞幹, 一ノ宮佳裕, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "動的再構成システムに向けた部分再構成データの再配置に関する一検討," 信学技報 RECONF2011-30, vol.111, no.218, pp.49-54, 名古屋, Sep 2011.
37. H. Hashiguchi, M. Murugesan, J.C. Bea, K.W. Lee, T. Fukushima, H. Kobayashi, T. Tanaka, and M. Koyanagi, "Evaluation of Thermo-Mechanical Stress Induced by W-TSVs in 3D-LSI with W/Cu Hybrid TSVs," Extended Abstr. of International Conference on Solid State Devices and Materials, Nagoya, September 29 (2011), 795-796
38. Ryusuke Egawa, Yusuke Funaya, Ryuichi Nagaoka, Akihiro Musa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Effects of 3-D Stacked Vector Cache on Energy Consumption," Facing the

multicore challenge II, Karlsruhe Germany, Sep. 29 2011.

39. 一ノ宮佳裕, 藤野誠, 尼崎太樹, 久我守弘, 飯田全広, 末吉敏則 ``二重冗長ソフトコアプロセッサにおけるソフトエラーの高速復旧技術, "信学技報 RECONF2011-42, vol.111, no.323, pp.7-12, 宮崎, Nov. 2011.

40. 河井一茂, 多田十兵衛, 江川隆輔, 小林広明, 後藤源助, "3次元積層型浮動小数点器の回路分割手法に関する研究, " デザインガイア, 信学技報, vol. 111, no. 327, ICD2011-94, pp. 67-72, 2011年11月.

41. 青山章一郎 (東北大学), "位相に基づく画像マッチングを用いた利便性・受容性・識別性能の高い指関節認証アルゴリズムの検討," 第26回信号処理シンポジウム, 札幌, November 16--18, 2011.

42. 伊藤康一 (東北大学), "バイオメトリクスの最新動向 ~IJCB2011学会報告~, " 第1回バイオメトリクスと認識・認証シンポジウム, 千代田区, November 22--23, 2011.

43. Shuji Sakai (東北大学), "Accurate and Dense Wide-Baseline Stereo Matching Using SW-POC," First Asian Conference on Pattern Recognition, 北京・中国, November 28--30, 2011.

44. 佐藤功人, 小松一彦, 滝沢寛之, 小林広明, "複合型計算機におけるソフトウェア開発の課題と支援手法の検討," 先端的ネットワーク&コンピューティングテクノロジーワークショップ, 2011年.

45. Q.Zhao, Y.Iwai, M.Amagasaki, M.Iida and T.Sueyoshi, "A Novel Reconfigurable Logic Device Base on 3D Stack Technology," Proc. IEEE International 3D System Integration Conference 2011 (3DIC2011), Jan. 2012.

46. 伊藤康一 (東北大学), "バイオメトリクスに関する研究の最新動向~IJCB2011における傾向を中心に~, " 第29回暗号と情報セキュリティシンポジウム, 金沢, January 30--February 2, 2012.

47. 伊藤康一 (東北大学), "局所特徴記述子を用いたバイオメトリクス認証の検討," 第29回暗号と情報セキュリティシンポジウム, 金沢, January 30--February 2, 2012.

48. K-W . Lee, J-C. Bea, T. Fukushima, Y. Ohara, T. Tanaka, and M. Koyanagi, "High Reliable and Fine Size of 5- μ m Diameter Backside Cu Through-Silicon Via(TSV) for High Reliability and High-End 3-D LSIs," IEEE International 3D System Integration Conference (3DIC 2011), 9.4, Osaka, 1/31-2/2, 2012.

49. Takafumi Fukushima, Yuki Ohara, Jicheol Bea, Mariappan Murugesan, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, "Temporary Bonding Strength Control for Self-Assembly-Based 3D Integration," IEEE International 3D System Integration Conference (3DIC 2011), 3.6, Osaka, 1/31-2/2, 2012.

50. Y. Ohara, K.-W. Lee, T. Fukushima, T. Tanaka, and M. Koyanagi , "Novel Detachable Bonding Process with Wettability Control of Bonding Surface for Versatile Chip-Level 3D Integration," IEEE International 3D System Integration Conference (3DIC 2011), 3.2, Osaka, 1/31-2/2, 2012.

51. Ryusuke Egawa, Yusuke Endo, Jubee Tada, Hiroyuki Takizawa, Gensuke Goto, and Hiroaki Kobayashi, "Designing a 3D stacked Vector Cache," DATE 2012 Workshop on 3D Integration – Application, Technology, Architecture, Automation and Tests, Dresden, Mar.16, 2012.

52. 札野欽也 (東北大学/NEC, ソフトウェア東北), "GPUに基づく医療用ボリュームデータの高速対応付け手法," 2012年電子情報通信学会総合大会, 岡山, March 20--23, 2012.

53. Ye Gao, Naoki Shoji, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi. "A

media-oriented vector architectural extension with a high bandwidth cache system,"In Proceedings of Cool Chips XV (COOL Chips), 2012 IEEE, pp.1-3, Tokyo Japan, 18-20 April 2012,[DOI=10.1109/COOLChips.2012.6216588]

54. 田島裕一郎（東北大学），“3次元位相限定相関法に基づく非剛体ボリウムレジストレーションに関する検討,” 電子情報通信学会 医用画像研究会, 名古屋, May, 2012.
55. 田中宏樹, 一ノ宮佳裕, 宇佐川貞幹, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則“単一 FPGA 内における三重冗長モジュールの動的再配置によるハードエラー回避手法,” 信学技報 RECONF2012-11, vol.112, no.70, pp.61-66, 沖縄, May 2012.
56. 伊藤康一（東北大学），“医用画像のための高精度対応付けに基づく位置合わせ手法の検討 ～X線画像からボリウムデータまで～,” 電子情報通信学会 医用画像研究会, 山形, July, 2012.
57. 佐々木満春（東北大学），“ステレオ動画像のための画像セグメンテーションと画像対応付けの組み合わせによる視差マップ生成手法の検討,” 第 25 回回路とシステムワークショップ, 淡路, July 30--31, 2012.
58. Mamoru Miura（東北大学），“High-Accuracy Image Matching Using Phase-Only Correlation and Its Application,” SICE Annual Conference 2012, 秋田, August 20--23, 2012.
59. 青山章一郎（東北大学），“局所位相特徴に基づくバイオメトリクス認証アルゴリズムの検討,” 第 1 回バイオメトリクス研究会, 東京, August 27--28, 2012.
60. 和泉圭祐（東北大学），“車載ステレオカメラを用いた障害物検出手法の正確さに関する評価指標,” 平成 24 年電気関係学会東北支部連合大会, 秋田, August 30-31, 2012.
61. 山中佑人（東北大学），“投影面の時間的変化に対応したプロジェクタ・カメラシステムの検討,” 平成 24 年電気関係学会東北支部連合大会, 秋田, August 30-31, 2012.
62. 山中佑人（東北大学），“投影面の時間的変化に対応したプロジェクタ・カメラシステムとその性能評価,” 映像情報メディア学会メディア工学研究会サマーセミナー2012, 犬山, September 3--4, 2012.
63. 和泉圭祐(東北大学)，“車載ステレオカメラを用いた障害物検出のための性能評価手法の検討,” 映像情報メディア学会メディア工学研究会サマーセミナー2012, 犬山, September 3--4, 2012.
64. Y.Ichinomiya, M.Amagasaki, M.Iida, M. Kuga and T.Sueyoshi, “A bitstream relocation technique to improve flexibility of partial reconfiguration",Proc. of 12th International Conference on Algorithms and Architectures for Parallel Processing(ICA3PP-12), Fukuoka, Japan, Sep. 2012.
65. M.Fujino, H.Tanaka, Y.Ichinomiya, M.Kuga, M.Iida, M.Amagasaki and T.Sueyoshi, “Fault Detection and Avoidance of FPGA in Various Granularities",Proc. of 12th International Conference on Algorithms and Architectures for Parallel Processing(ICA3PP-12), Fukuoka, Japan, Sep. 2012.
66. H. Hashiguchi, J. C. Bea, Y. Ohara, T. Fukushima, K. W. Lee, T. Tanaka, and M. Koyanagi, “Electrostatic Temporary Bonding Technology and TSV Formation for Reconfigured Wafer-to-Wafer 3D Integration,” International Conference on Solid State Devices and Materials (SSDM), Kyoto, 9/26, 2012
67. Mamoru Miura（東北大学），“GPU Implementation of Phase-Based Stereo Correspondence and Its Application,” International Conference on Image Processing, Orlando, USA, September

30--October 3, 2012.

68. Muhammad Alfian Amrizal, Shoichi Hirasawa, Kazuhiko Komatsu, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Improving the Scalability of Transparent Checkpointing for GPU Computing Systems," accepted for presentation at IEEE Region 10 Conference, 2012.

69. Ryusuke Egawa, "Exploring a Design Space of 3-D Stacked Vector Processors," SC12 NEC booth presentation, Salt Lake City, USA, November, 2012.

70. Shoichiro Aoyama, Koichi Ito, Takafumi Aoki and Haruki Ota, "A Contactless Palmprint Recognition Algorithm for Mobile Phones," International Workshop on Advanced Image Technology 2013, 名古屋, January 8, 2013.

71. 酒井 修二, 伊藤 康一, 青木 孝文, 増田 智仁, 運天 弘樹, "多視点ステレオのための位相限定相関法に基づく画像マッチング手法とその性能評価," 情報処理学会 第 75 回全国大会, 仙台, March 6, 2013.

72. 和泉 圭祐, 三浦 衛, 伊藤 康一, 青木 孝文, "基線長の短い車載ステレオカメラを用いた障害物検出手法の検討," 情報処理学会 第 75 回全国大会, 仙台, March 8, 2013.

73. 青山章一郎, 伊藤康一, 青木孝文, "局所位相特徴に基づく顔認証アルゴリズムの検討," 情報処理学会 第 75 回全国大会, 仙台, March 7, 2013.

74. 佐々木満春, 伊藤康一, 青木孝文, 石上智英, 西村明夫, "ステレオ動画像のための画像対応付けに基づく高精度な視差マップ生成手法の検討," 情報処理学会 第 75 回全国大会, 仙台, March 7, 2013.

75. 酒井 修二, 伊藤 康一, 青木 孝文, 増田 智仁, 運天 弘樹, "多視点ステレオのための位相限定相関法に基づく画像マッチングの高精度化," 情報処理学会 CVIM 研究会, March 2013.

76. Masayuki Sato, Yusuke Tobo, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, "A Flexible Insertion Policy for Dynamic Cache Resizing Mechanisms," In Proceedings of IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XVI), April 2013.

77. Shoichiro Aoyama, Koichi Ito and Takafumi Aoki, "Similarity measure using local phase features and its application to biometric recognition," IEEE Computer Society Conference on Computer Vision and Pattern Recognition Workshop, Portland, USA, June 23, 2013.

78. 高井拓実, 佐藤雅之, 江川隆輔, 滝沢寛之, 小林広明, "ブロックバイパス機構によるキャッシュのエネルギー効率化に関する研究" 並列/分散/協調処理に関するサマー・ワークショップ (SWoPP2013), 2013 年 7 月.

79. 田島 裕一郎, 伊藤 康一, 青木 孝文, 細居 智樹, 長嶋 聖, 小林 孝次, "遮蔽領域検出を用いた顔認証フレームワークとその性能評価," 回路とシステムワークショップ, 淡路, July 30, 2013.

80. 山尾創輔, 酒井修二, 伊藤康一, 青木孝文, "ステレオマッチングに最適な動画像のフレーム選択に基づく 3 次元復元手法の検討," 映像情報メディア学会メディア工学研究会サマーセミナー, 山梨, August 19, 2013.

81. 山尾創輔, 酒井修二, 伊藤康一, 青木孝文, "最適なフレーム選択に基づく動画像からの高精度 3 次元復元とその精度評価," 平成 25 年度 電気関係学会東北支部連合大会, 会津, August 23, 2013.

82. 青山章一郎, 伊藤康一, 青木孝文, "ドアレバーのための指関節紋認証システムの検討," バイオメトリクス研究会, 茨木, August 27, 2013.

83. Mamoru Miura, Kinya Fudano, Koichi Ito, Takafumi Aoki, Hiroyuki Takizawa, Hiroaki

- Kobayashi, "Performance evaluation of phase-based correspondence matching on GPUs," *PIE Applications of Digital Image Processing XXXVI*, San Diego, USA, August 28, 2013 .
84. Shoichiro Aoyama, Koichi Ito and Takafumi Aoki, "A Multi-Finger Knuckle Recognition System for Door Handle," *IEEE Sixth International Conference on Biometrics: Theory, Applications and Systems*, Washington D.C., USA, October 1, 2013.
85. Q.Zhao, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, "AN FPGA DESIGN AND IMPLEMENTATION FRAMEWORK COMBINED WITH COMMERCIAL VLSI CADS," *Proc. 8th International Workshop on Reconfigurable Communication-centric Systems-on-Chip(ReCoSoC2013)*, Darmstadt, Germany, July 2013
86. Q.Zhao, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, "An Automatic Design and Implementation Framework for Reconfigurable Logic IP Core," *Proc. International Conference on ENGINEERING OF RECONFIGURABLE SYSTEMS AND ALGORITHMS(ERSA2013)*, pp.36-42, Las Vegas, Nevada, July 2013
87. M.Amagasaki, K.Inoue, Q.Zhao, M.Iida, M.Kuga and T.Sueyoshi, "DEFECT-ROBUST FPGA ARCHITECTURES FOR INTELLECTUAL PROPERTY CORES IN SYSTEM LSI," *Proc. of 23th International Conference on Field Programmable Logic and Applications (FPL2013)*, porto, porutugal, Sep. 2013
88. T.Hamada, Q.Zhao, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, "Three-Dimensional Stacking FPGA Architecture Using Face-to-Face Integration," *Proc. of IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC2013)*, pp.196-201, Istanbul, Turkey, Oct. 2013
89. M. Murugesan, J.C. Bea, T. Fukushima, K.W. Lee, T. Tanaka and M. Koyanagi, "Young Modulus of Si in 3D-LSIs and Reliability", *Extended Abstract of International Conference on Solid State Devices and Materials (SSDM)*, (2013), pp.38-39.
90. Kangwook Lee, Seiya Tanikawa, Mariappine Murugesan, Jicheol Bea, Hideki Naganuma, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi "Impact of 3-D integration process on memory retention characteristics in thinned DRAM chip for 3-D memory", *The IEEE International 3D Systems Integration Conference (3DIC)*, San Francisco, CA, USA, 2013/10/3.
91. T. Fukushima, J. Bea, M. Murugesan, H.-Y. Son, M.-S. Suh, K.-Y.Byun, N.-S. Kim, K.-W. Lee, and M. Koyanagi, "3D Memory Chip Stacking by Multi-Layer Self-Assembly Technology", *The IEEE International 3D Systems Integration Conference (3DIC)*, San Francisco, CA, USA, 2013/10/4.
92. Hiroyuki Hashimoto, Takafumi Fukushima*, Kangwook Lee, Tetsu Tanaka, Mitsumasa Koyanagi, "Highly Efficient TSV Repair Technology for Resilient 3-D Stacked Multicore Processor System", *The IEEE International 3D Systems Integration Conference (3DIC)*, San Francisco, CA, USA, 2013/10/4.

③ポスター発表 (国内会議 20 件、国際会議 30 件)

1. 甲斐統貴, 堤喜章, 尼崎太樹, 久我守弘, 末吉敏則, "SRAM 型 FPGA の部分再構成によるエラー

一訂正手法の一検討, "信学技報 RECONF2009-41, vol. 109, no. 32, pp. 1-6, 高知, Dec. 2009. (デザインガイア発表分と同じ)

2. Kazuhiko Komatsu, Takashi Soga, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, Shun Takahashi, Daisuke Sasaki, and Kazuhiro Nakahashi, "Efficient Data Management for the Building Cube Method using Cartesian Meshes on the GPU Platform," poster presentation at International Supercomputing Conference (ISC10), Hamburg Germany, June 21, 2010.

3. Jiali Yao, Kazuhiko Komatsu, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi. A Patch-Based Bit Mask Filtering Method for Micropolygon Rasterization, In High-Performance Graphics(HPG), Vancouver, CANADA, Aug. 8, 2011.

4. Koichi Ito (東北大学), "A scale estimation algorithm using phase-based correspondence matching for electron microscope images," 20th International Conference on Pattern Recognition, Turkey, August 23--26, 2010.

5. Ye Gao, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, "A Load-Forwarding Mechanism for the Vector Architecture in Multimedia Applications," Proceedings of Digital Systems Design, 13th Euromicro Conference on Digital System Design: Architectures, Methods and Tools, pp. 412-415, Lille France, Sep. 2, 2010. [DOI: 10.1109/DSD.2010.93]

6. Yusuke Funaya, Ryusuke Egawa, Hiroyuki Takizawa and Hiroaki Kobayashi, "Cache Partitioning Strategies for 3-D Stacked Vector Processors," Proceedings of IEEE International 3D System Integration Conference, pp.1-6, Munich, Germany, 2010. [DOI : 10.1109/3DIC.2010.5751448]

7. 三浦衛 (東北大学), "位相限定相関法に基づくリアルタイム 3次元計測の検討," 第12回 DSPTS 教育者会議, 東京, September 9--10, 2010.

8. Y. Ohara, K.-W. Lee, T. Fukushima, T. Tanaka, and M. Koyanagi, "Development of Versatile Backside Via Technology for 3D System on Chip," International Conference on Solid State Devices and Materials (SSDM), pp.237-238, Tokyo, 9/23, 2010,

9. Toru Takahashi (東北大学), "Performance evaluation of a geometric correction method for multi-projector display using SIFT and phase-only correlation," 2010 International Conference on Image Processing, Hong Kong, September 26--29, 2010.

10. Y. Ichinomiya, M. Amagasaki, M. Kuga and T. Sueyoshi, "Soft-error Tolerability Analysis for Triplicated Circuit on an FPGA," Proc. the 16th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2010), Taipei Taiwan, Oct. 2010.

11. 鈴木絢子, "部品検査のための画像重ね合わせ手法の検討," 第25回 信号処理シンポジウム, 奈良, November 24--26, 2010.

12. Mamoru Miura (東北大学), "GPU implementation of phase-based image correspondence matching and its evaluation," IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV), 横浜, April 20--22, 2011.

13. 三浦衛 (東北大学), "位相限定相関法を用いたステレオビジョンに基づくリアルタイム 3次元計測," 第17回 画像センシングシンポジウム, 横浜, June 8--10, 2011.

14. 三浦衛 (東北大学), "汎用デジタルカメラを用いた 2視点からの 3次元復元システム," 第14

回 画像の認識・理解シンポジウム, 金沢, July 20--22, 2011.

15. 酒井修二 (東北大学), “位相限定相関法に基づく多視点画像からのデプスマップ生成の検討,” 第14回 画像の認識・理解シンポジウム, 金沢, July 20--22, 2011.

16. 青山章一郎 (東北大学), “携帯電話のための非接触掌紋認証システムの開発,” 第13回 DSPS 教育者会議, 世田谷区, September 1--2, 2011.

18. 一ノ宮佳裕, 藤野誠, 尼崎太樹, 久我守弘, 飯田全広, 末吉敏則, “二重冗長ソフトコアプロセッサにおけるソフトエラーの高速復旧技術,” 信学技報 RECONF2011-42, vol.111, no.323, pp.7-12, Nov. 2011. (デザインガイア発表分と同じ)

19. Koichi Ito (東北大学), “A Geometric Correction Method Using Stereo Vision for Projected Images,” First Asian Conference on Pattern Recognition, 北京・中国, November 28--30, 2011.

20. Shoichiro Aoyama (東北大学), “Finger-Knuckle-Print Recognition Using BLPOC-Based Local Block Matching,” First Asian Conference on Pattern Recognition, 北京・中国, November 28--30, 2011.

21. Ye Gao, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, “MVPX: A Media-oriented Vector Processing Mechanism,” 7th International Conference on High-Performance and Embedded Architecture and Compilers (HiPEAC 12), Paris France, 25 Jan. 2012.

22. Jubee Tada, Ryusuke Egawa, Kazushige Kawai, Hiroaki Kobayashi and Gensuke Goto, “A Middle-Grain Circuit Partitioning Strategy for 3-D Integrated Floating-Point Multipliers,” Proceedings of IEEE 3DIC 2012, pp.1 – 6 (CDROM), Osaka Japan, Feb.2, 2012.[DOI = 10.1109/3DIC.2012.6263031]

23. Takumi Takai, Yusuke Tobo, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, “A Bypass Mechanism for Way-Adaptable Caches,” In Poster Proceedings of COOLChips XV, Poster No. 11, April 2012.

24. 高野 光平, 木村 剛士, 一ノ宮 佳裕, 尼崎 太樹, 久我 守弘, 飯田 全広, 末吉 敏則, “動的部分再構成を用いたソフトエラー耐性評価手法,” LSI とシステムのワークショップ 2012 予稿集, pp.192-194, May. 2012.

25. Y.Ichinomiya, S.Usagawa, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, “Designing flexible reconfigurable regions to relocate partial bitstreams,” Proc. the 20th Annual International IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM2012), pp.241, Toronto, Canada, May 2012.

26. Ye Gao, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi. “An out-of-order vector processing mechanism for multimedia applications,” In Proceedings of the 9th conference on Computing Frontiers (CF '12), pp. 233-236, Cagliari Italy, May 16, 2012, [DOI=10.1145/2212908.2212941]

27. Masayuki Sato, Yusuke Tobo, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, “A Capacity-Efficient Insertion Policy for Dynamic Cache Resizing Mechanisms,” In Proceedings of ACM International Conference on Computing Frontiers, pp.265-267, May 16, 2012, [DOI : 10.1145/2212908.2212949]

28. 東方雄亮, 佐藤雅之, 江川隆輔, 滝沢寛之, 小林広明, "ウェイ適応型キャッシュの高エネルギー効率化のためのデッドブロック早期追だしポリシー," 先進的計算基盤シンポジウム SACSIS2012, pp.4-5, May 2012.
29. 三浦衛 (東北大学), "GPU 実装に基づくリアルタイムステレオビジョンシステム," 第 18 回画像センシングシンポジウム, 横浜, June 6-8, 2012.
30. 三浦衛 (東北大学), "カメラの移動撮影に基づく簡便で高精度な 3 次元形状計測システム," 第 18 回画像センシングシンポジウム, Vol. 18, No. IS4-21, June 6-8, 2012.
31. 青山章一郎 (東北大学), "階層位相特徴を用いた画像マッチングとバイオメトリクス認証への応用," 第 15 回画像の認識・理解シンポジウム, 福岡, August 6-8, 2012.
32. 石井純平 (東北大学), "車載魚眼カメラを用いた走行環境の 3 次元復元の検討," 第 15 回画像の認識・理解シンポジウム, 福岡, August 6-8, 2012.
33. 三浦衛 (東北大学), "カメラの移動撮影に基づく簡便な 3 次元形状計測システムとその性能評価," 第 15 回画像の認識・理解シンポジウム, 福岡, August 6-8, 2012.
34. 三浦衛 (東北大学), "GPU 実装に基づくリアルタイム 3 次元計測システム," 第 15 回画像の認識・理解シンポジウム, 福岡, August 6-8, 2012.
35. T. Fukushima, J. Bea, M. Murugesan, K. Lee, T. Tanaka and M. Koyanagi, "10- μ m-Pitch In-Au Microbump Interconnection by Chip Self-Assembly with Excimer Lamp Irradiation for 3D LSI Applications," International Conference on Solid State Devices and Materials (SSDM), Kyoto, 9/26, 2012.
36. J. C. Bea, K. W. Lee, T. Fukushima, T. Tanaka and M. Koyanagi, "The Influence of Cu Diffusion from Cu Through-Silicon Via(TSV) on Device Reliability in the 3-D LSI by Using C-V and C-t Measurements," International Conference on Solid State Devices and Materials (SSDM), Kyoto, 9/26, 2012.
37. H. Kino, J. C. Bea, M. Murugesan, K. W. Lee, T. Fukushima, T. Tanaka and M. Koyanagi, "Analysis of Local Bending Stress Effect on CMOS Performance Fabricated in Thinned Si Chip for Chip-to-Wafer 3D Integration," International Conference on Solid State Devices and Materials (SSDM), Kyoto, 9/26, 2012.
38. Jumpei Ishii (東北大学), "Wide-Baseline Stereo Matching Using ASIFT and POC," International Conference on Image Processing, Orlando, USA, September 30--October 3, 2012.
39. Yuichiro Tajima (東北大学), "A Non-Rigid Registration Method for Medical Volume Data Using 3D Phase-Only Correlation," International Conference on Pattern Recognition, 筑波, November 11-15, 2012.
40. Y. Ichinomiya, K. Takano, M. Amagasaki, M. Kuga, M. Iida and T. Sueyoshi, "Accelerated evaluation of SEU failure-in-time using frame-based partial reconfiguration," The 2012 International Conference on Field-Programmable Technology (ICFPT'12), Seoul, Korea, Dec. 10-12, 2012.
41. Ryusuke EGAWA, Yusuke Endo, Jubee Tada, Hiroyuki Takizawa, Hiroaki Kobayashi, "Exploring Design Space of a 3D Stacked Vector Cache," Proceedings of International Conference on High Performance Computing, Networking, Storage and Analysis

(SC12),(2012),1-2.

42. Mamoru Miura, Shuji Sakai, Jumpei Ishii, Koichi Ito and Takafumi Aoki, "An Easy-to-Use and Accurate 3D Shape Measurement System Using Two Snapshots," International Workshop on Advanced Image Technology 2013, 名古屋, January 8, 2013.

43. 山尾創輔, 酒井修二, 伊藤康一, 青木孝文, "動画像からの高精度・高密度な3次元点群の復元に関する検討," 第187回 コンピュータビジョンとイメージメディア研究会, 小金井, May 31, 2013.

44. Yuichiro Tajima, Koichi Ito, Takafumi Aoki, Tomoki Hosoi, Sei Nagashima and Koji Kobayashi, "Performance Improvement of Face Recognition Algorithms Using Occluded-Region Detection," International Conference on Biometrics, Madrid, Spain, June 7, 2013.

45. 三浦 衛, 酒井 修二, 石井 純平, 伊藤 康一, 青木 孝文, "デジタルカメラを用いた簡便で高精度なステレオビジョンシステム," 第19回 画像センシングシンポジウム, 横浜, June 13, 2013.

46. 山尾創輔, 三浦衛, 酒井修二, 伊藤康一, 青木孝文, "デジタルカメラの移動撮影に基づく3次元形状計測システム," 第16回 画像の認識・理解のシンポジウム, 千代田区, July 30, 2013.

47. 和泉圭祐, 三浦衛, 伊藤康一, 青木孝文, "視差画像からの高速な障害物検出手法の検討," 第16回 画像の認識・理解のシンポジウム, 千代田区, July 30, 2013.

48. Jumpei Ishii, Shuji Sakai, Koichi Ito, Takafumi Aoki, Takura Yanagi, Toshiyuki Ando, "3D reconstruction of urban environments using in-vehicle fisheye camera," International Conference on Image Processing, Melbourne, Australia, September 16, 2013.

49. Q.Zhao, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, "An Automatic Design and Implementation Framework for Reconfigurable Logic IP Core," Proc. of 23th International Conference on Field Programmable Logic and Applications (FPL2013), porto, portugal, Sep. 2013

50. Fukushima, J. Bea, M. Murugesan, K.-W. Lee, and M. Koyanagi, "Development of Via-Last 3D Integration Technologies Using a New Temporary Adhesive System", The IEEE International 3D Systems Integration Conference (3DIC), San Francisco, CA, USA, 2013/10/3.

(4)知財出願

①国内出願 (3件)

1. 発明の名称: プログラマブル論理回路装置およびその回路決定方法

発明者: 末吉敏則, 飯田全広, 尼崎太樹, 岡本 康裕

出願番号: 特願 2010-186525、出願日: 2010年8月23日

2. 発明の名称: プログラマブル論理回路のエラー訂正回路

発明者: 末吉敏則, 飯田全広, 尼崎太樹, 一ノ宮佳裕

出願番号: 特願 2010-197048、出願日: 2010年9月2日

3. 発明の名称: チップ支持基板、それを用いた三次元集積回路及びそれらの製造方法並びにアセンブリ装置

発明者: 小柳光正, 福島誉史, 田中徹、

出願番号: 特願 2012-209003、出願日: 2012年9月23日

(5)受賞・報道等

①受賞

1. 鈴木絢子（東北大学），情報処理学会東北支部奨励賞, May 2010.
鈴木絢子（東北大学），伊藤康一（東北大学），青木孝文（東北大学），常田るり子（日立），“電子顕微鏡のための位相限定相関法を用いた倍率推定アルゴリズムとその評価,” 第 24 回 信号処理シンポジウム, pp. 426--431, November 2009.
2. 情報処理学会山下記念研究賞, 受賞対象論文 荒井勇亮, 佐藤功人, 滝沢寛之, 小林広明, "OpenCLによるGPUコンピューティングの性能評価", 2010年3月3日.
3. 三浦衛（東北大学），サマーセミナー2010 優秀発表賞, August 2010.
三浦衛（東北大学），高橋徹（東北大学），伊藤康一（東北大学），青木孝文（東北大学），“位相限定相関法に基づく画像マッチングの GPU 実装とその応用,” 映像情報メディア学会技術報告, Vol. 34, No. 34, pp. 63--66, August 2010.
4. 伊藤康一（東北大学），第 16 回青葉工学研究奨励賞, December 2010.
“位相情報に基づく高精度画像マッチングとバイオメトリクス認証への応用”
5. 三浦衛（東北大学），電子情報通信学会東北支部 学生優秀論文賞, December 2010.
三浦衛（東北大学），高橋徹（東北大学），伊藤康一（東北大学），青木孝文（東北大学），“位相限定相関法に基づくリアルタイム 3 次元計測の検討,” 平成 22 年度 電気関係学会東北支部連合大会, No. 1D07, pp. 110, August 2010.
6. 酒井修二（東北大学），情報処理学会東北支部奨励賞, May 2011.
酒井修二（東北大学），高橋徹（東北大学），伊藤康一（東北大学），青木孝文（東北大学），“位相限定相関法を用いた受動型 3 次元計測の高精度化,” 平成 22 年度 電気関係学会東北支部連合大会, No. 1D06, pp. 109, August 2010.
7. Mamoru Miura（東北大学），Kinya Fudano（NEC ソフトウェア東北），Koichi Ito（東北大学）and Takafumi Aoki（東北大学），Best Poster Award, IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV), April 22, 2011.
8. 佐々木満春（東北大学），電子情報通信学会東北支部 学生優秀論文賞, December 2011.
佐々木満春（東北大学），伊藤康一（東北大学），青木孝文（東北大学），“ステレオ動画像の動き推定とグラフィックを用いた視差マップ生成手法の検討,” 平成 23 年度 電気関係学会東北支部連合大会, No. 1D01, pp. 117, August 2011.
9. 石井純平（東北大学），サマーセミナー2011 優秀発表賞, August 30, 2011.
石井純平（東北大学），酒井修二（東北大学），伊藤康一（東北大学），青木孝文（東北大学），“SIFT と POC を用いた高精度 3 次元復元とその応用,” 映像情報メディア学会技術報告, Vol. 35, No. 33, pp. 17--20, August 2011.
10. 伊藤康一（東北大学），平成 23 年度 トーキン科学技術振興財団研究奨励賞, March 2012.
“画像の位相情報を用いた高性能バイオメトリクス認証に関する研究”
11. 石井純平（東北大学），情報処理学会東北支部奨励賞, May 2012.
石井純平（東北大学），酒井修二（東北大学），伊藤康一（東北大学），青木孝文（東北大学），“SIFT と POC を用いた高精度 3 次元復元の検討,” 平成 23 年度 電気関係学会東北支部連合大会, No. 1D02, pp. 118, August 2011.

12. T. Fukushima, E. Iwata, K.-W. Lee, T. Tanaka, and M. Koyanagi, IEEE Electronic Components and Technology Conference (ECTC) Outstanding Session Paper Award, "Self-Assembly Technology for Reconfigured Wafer-to-Wafer 3D Integration," 2011年6月.
13. 小柳光正, 紫綬褒章 (受章理由に3次元LSIに関する研究が含まれている), 2011年11月3日
14. 一ノ宮佳裕, デザインガイアポスタ賞, デザインガイア・ポスター賞選奨実行委員会, Nov. 2011.
15. Ye Gao, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, The best poster award of HiPEAC 12, "MVPX: A Media-oriented Vector Processing Mechanism," 7th International Conference on High-Performance and Embedded Architecture and Compilers (HiPEAC 12), Paris France, 25 Jan.2012.
16. Takumi Takai, Yusuke Tobo, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, The best poster award of COOLChips XV, "A Bypass Mechanism for Way-Adaptable Caches," In Poster Proceedings of COOLChips XV, Poster No. 11, April 2012.
17. Mamoru Miura, Shuji Sakai, Shoichiro Aoyama, Jumpei Ishi, Koichi Ito and Takafumi Aoki, SICE Annual Conference 2012 Finalists of Young Author's Award, "High-Accuracy Image Matching Using Phase-Only Correlation and Its Application," August, 2012.
18. 藤野誠, SLD研究会優秀発表学生賞, 情報処理学会システムLSI設計技術研究会, Aug. 2012.
19. 和泉圭祐, 平成24年度信号処理若手奨励賞, November 2012.
和泉圭祐, 三浦衛, 伊藤康一, 青木孝文, "車載ステレオカメラを用いた障害物検出手法の性能評価," 第27回信号処理シンポジウム, No. A10-3, pp. 281--286, November 2012.
20. 佐々木満春, 情報処理学会第75回全国大会 学生奨励賞, March 2013
佐々木満春, 伊藤康一, 青木孝文, 石上智英, 西村明夫, "ステレオ動画像のための画像対応付けに基づく高精度な視差マップ生成手法の検討," 情報処理学会 第75回全国大会, Vol. 2, No. 2U-3, pp. 553--554, March 2013.
21. 酒井修二, 情報処理学会 第75回全国大会 大会奨励賞, March 2013
酒井修二, 伊藤康一, 青木孝文, 増田智仁, 運天弘樹, "多視点ステレオのための位相限定相関法に基づく画像マッチング手法とその性能評価," 情報処理学会 第75回全国大会, Vol. 2, No. 1D-1, pp. 23--24, March 2013.

②マスコミ（新聞・TV等）報道

1. 日本経済新聞「東北大学 中小と技術開発拡大」, 2010年8月31日
東北大学の産学連携活動を紹介する中で小柳教授の3次元LSIが取り上げられている。
2. 河北新報「紫綬褒章受章者 小柳光正-独創性常に考え続け」, 2011年11月2日
紫綬褒章受章の対象となった半導体メモリ(DRAM)の発明と3次元LSIについて紹介されている。
3. 半導体産業新聞「東北大学 NICHE 3D 技術の拠点建設」, 2012年4月18日
東北大学 NICHE に建設される3次元LSI製造ライン(300mm ウェハライン)について紹介されている。
4. 第2部<技術編>コストを下げ民生機器へTSVの青銅技術を革新

液体の表面張力で位置合わせ，日経エレクトロニクス，2013年9月16日

(300mmウエハー対応の3次元LSI試作ライン GINTI の紹介)

5. GINTI 開所式テレビ報道，[仙台放送、東日本放送，9月20日(2013)]
6. 東北の復興を象徴する3次元LSIの世界的拠点に、東北大が300mm対応の試作用ラインを公開，日経BP半導体リサーチ Tech-On!, Web, 2013年9月24日
7. 3次元LSI試作拠点完成，東北大「半導体復権を目指す」，河北新報，2013年9月25日
8. 半導体の立体構造に挑む 東北大の三次元LSI拠点，日経産業新聞-11面-先端技術，2013年10月3日
9. 東北大 宮城に試作拠点開設 3次元LSI試作を支援，半導体産業新聞，2013年10月9日
10. 3次元LSI実装技術の開発 スーパーチップ実現へ要素技術確立
新たなLSI時代の幕開けに 東北大学 未来科学技術共同研究センター 教授 小柳光正，半導体産業新聞，2013年12月4日
11. 半導体デバイス IEDM が開幕、基調講演は「グランフェン」「3DIC」「モバイル SoC」3DIC(小柳講演)の時代，日経BP Tech-On!, Web, 2013年12月10日
12. 半導体や電子部品の未来その可能性，小柳教授インタビュー、人工網膜チップ、小柳研究室、GINTI 撮影・取材，ディスカバリー・チャンネル，3月28日放送

(6)成果展開事例、出口活動

①実用化に向けての展開

(1)実用化展開1「車両前方の障害物検出方法」(東北大学 青木グループ)

- ・青木グループで開発している車載画像処理技術を用いた障害物検出について、実用化へ向けて(株)デンソー、(株)日本自動車部品総合研究所と共同研究を推進している。

②社会還元的な展開活動

- ・研究代表者の小柳は、TSV(Si貫通配線)を用いた3次元LSIの提唱者として世界的に知られ、国内外の研究会や会議で、3次元LSIに関する成果を数多く報告している。また、世界中の企業、大学、研究所から招かれて3次元LSIに対するアドバイスをを行っている。このような活動の結果として、3次元LSIはいよいよ実用化へ向けて大きく動き出している。学会活動の分野でも、日本が主導すべく、小柳は、2007年にIEEE International 3D System Integration Conference(3D-IC)を立ち上げ、2009年より、米国、ヨーロッパ、日本で巡回開催するようになっている。2012年1月31日～2月2日には、大阪で3DIC 2011を開催している。この国際会議の中で、ディペンダブル3次元LSIの重要性を繰り返し説いてきた結果、3次元LSIに関係するいろいろな国際会議でも3次元LSIのディペンダビリティの重要性が認識されるようになってきている。
- ・共同研究者の小林は、得られた成果に基づき国際シンポジウムを主催し、22年度に163人、23年度には143人の参加者を集めた。さらに、本研究成果に基づき、米国スタンフォード大学電気工学科フリン教授との国際共同研究の実施にもつながった。
- ・共同研究者の小林は、得られた成果に基づき、新たな低消費電力高性能マイクロプロセッサの見通しが得られ、文科省の公募事業「将来のHPCIシステムのあり方に関する調査研究」に対して、国内の大学・研究機関・企業の研究者、技術者総勢82名からなる事業提案につながった。

§ 6 研究期間中の活動

6.1 主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
平成 22 年 1 月 28 日～29 日	EDSFair2010	パシフィコ横浜	9,117 名 (参考として H20 年の参加人数)	米国 DAC、欧州 DATE と並ぶ、「電子システム・半導体設計に関する世界 3 大展示会」の一つとして位置づけられる会議で、実行委員(副委員長)を末吉が務めた。
平成 22 年 1 月 28 日～29 日	第 17 回 FPGA/PLD Design Conference	パシフィコ横浜	349 名 (参考として H20 年の参加人数)	FPGA/PLD に関する基調講演、特別講演、FPGA のトップ企業を迎えた招待講演、チュートリアル講演、スペシャルセッションを行う。実行委員(委員長)を末吉が務めた
平成 22 年 10 月 6 日～8 日	CEATEC Japan FPGA/PLD プラザ	幕張メッセ	181,417 人 (22 年度 CEATEC 来場者総数)	FPGA/PLD に関する基調講演、特別講演、FPGA のトップ企業を迎えた招待講演、チュートリアル講演、スペシャルセッションを行った。実行委員会委員長を末吉が務めた。
平成 22 年 10 月 21 日～22 日	13 th TeraFlop Workshop	東北大学サイバーサイエンスセンター	163 人	共催
平成 22 年 11 月 16 日～18 日	3D System Integration Conference (3D-IC)	Munich, Germany	150 人	IEEE の後援の基に、2007 年に小柳が組織した 3 次元技術に関する国際会議。1 年おきに、日本、アメリカ、ヨーロッパで開催。3D Technology から Circuits, System まで包含。
平成 23 年 10 月 4 日～7 日	CEATEC Japan FPGA/PLD プラザ	幕張メッセ	172,137 人 (23 年度 CEATEC 来場者総数)	FPGA/PLD に関する基調講演、特別講演、FPGA のトップ企業を迎えた招待講演、チュートリアル講演、スペシャルセッションを行った。実行委員会

			数)	委員長を末吉が務めた。
平成 24 年 1 月 31 日 ～ 2 月 2 日	IEEE 3D System Integration Conference (3DIC 2011)	千里ライフセン ター、大阪	250 名	3 次元 LSI 技術、設計、テストに関する国際会議で、小柳が Conference Chair。
平成 24 年 3 月 22 日, 23 日	15 th Workshop on Sustained Simulation Performance	東北大学	143 人	共催
24 年 10 月 2 日～5 日	CEATEC Japan プログラマ ブルデバイ スプラザ	幕張メッセ	162, 219 人 (24 年度 CEATEC 来 場者総 数)	プログラマブルデバイスに関する基調講演、特別講演、FPGA のトップ企業を迎えた招待講演、チュートリアル講演、スペシャルセッションを行った。プログラマブルデバイス委員会 委員長を末吉が務めた。
平成 25 年 10 月 1 日 ～ 4 日	CEATECH Japan プログ ラマブルデ バイスプラザ	幕張メッセ	参 加 人 数 : 141,348 人 (25 年度 CEATEC 来 場 者 総 数)	プログラマブルデバイスに関する基調講演、特別講演、FPGA のトップ企業を迎えた招待講演、チュートリアル講演、スペシャルセッションを行った。プログラマブルデバイス委員会 委員長を末吉が務めた。

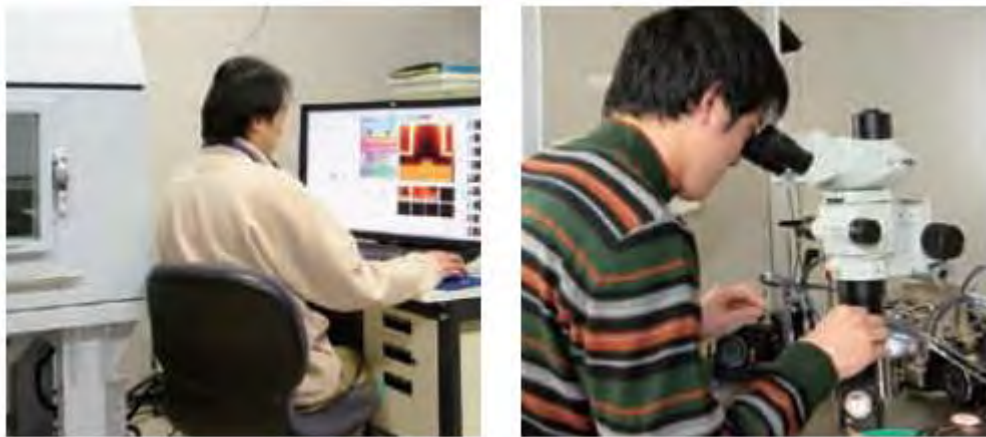
§ 7 最後に

DVLSI 領域への応募に際して、当初は、狭い研究範囲に留まってしまうまいよう、ソフトからハード、応用に跨る広い分野の方々に参加して頂きました。しかし、参加して頂いた方々はそれぞれの分野で大変実績のある方々ばかりであったため、逆に、それぞれの方々の研究が中々融合せず、結果的に、研究の方向が散漫となってしまうような結果となってしまったのは研究代表者のリーダーシップの欠如と反省しています。本研究チームの当初の研究期間が3年でしたが、当初の研究内容が多岐にわたっていて、今考えると、3年間ですべての研究を完結させるのは難しい内容になっていたように思います。そのようなこともあって、領域代表、アドバイザーの先生方に、研究の内容をもっと絞って明確化するようにご指導頂いたことは研究を進める上で大変有益でした。また、当初の最終年度であった3年目終了時に、共同研究者の先生方にも協力頂いて、できるところとできないことを整理し、研究内容を絞って明確化した結果、逆にグループ間の結束と融合が進み、一つのチームとしての研究体制が機能し始めたように思います。また、グループ間の融合が進んだ結果として、新し

い発想や展開も始まり、今後の研究の進展に期待が持てるような状態になってきたように思います。領域代表、アドバイザーのご指導のお蔭と感謝申し上げます。また、東日本大震災で、研究設備や研究機器の一部が損傷して、研究の進捗に遅れが生じたことに対して配慮頂き、研究機関を一年間延長して頂いたことに深く感謝申し上げます。お陰様で、自己診断・修復機能を有する世界初の3次元積層型プロセッサの試作にも成功することができました。

研究プロジェクト終了後は、「三次元スーパーチップ LSI 試作製造拠点(GINTI)」を有効に活用して3次元LSIの実用化と、3次元LSIのディベンダ®ビリティに関する国際標準化に取り組んでいきたいと思っています。今後ともご指導とご支援を頂きたくよろしくお願い致します。

小柳(研究代表者)研究室紹介



LSI 評価室 (CREST 実験室)



3次元 LSI 試作クリーンルーム

12インチ/8インチ対応主要設備



12 インタウェハによる 3 次元 LSI の小規模製造ライン、「三次元スーパーチップ LSI 試作製造拠点(GINTI)」内の装置配置