

## 研究課題別事後評価結果

1. 研究課題名： 自己修復機能を有する3次元VLSIシステムの創製

2. 研究代表者名及び主たる共同研究者名(研究機関名・職名は研究参加期間終了時点):

研究代表者

小柳 光正(東北大学 未来科学技術共同研究センター 教授)

主たる共同研究者

小林 広明 (東北大学 サイバーサイエンスセンター 教授)

青木 孝文 (東北大学 大学院情報科学研究科 教授)

末吉 敏則 (熊本大学 大学院自然科学研究科 教授)

鎌田 忠 ((株)デンソー ITS 技術 3 部開発室 主幹)

元吉 真 ((株)ザイキューブ 取締役社長)

3. 研究実施概要 (研究代表者によるまとめ)

本研究プロジェクトでは、3次元LSIの特徴を生かして、高性能、低電力の車載用ディペンダブル画像処理プロセッサの実現可能性を示すことを目指して研究を行った。具体的には、2020年に、1Tflop、5Wの性能と消費電力を達成できるかと、ディペンダビリティを確保するための信頼性として80Fitをクリアできるかに重点を置いて研究を行った。しかし、1Tflops、5Wの三次元積層型画像処理プロセッサを実際に設計、試作することは難しいので、エネルギー効率からみた目標性能として、200GFlops/W(1Tflops、5W)を設定し、この目標をどのように達成するかについて検討した。想定している2020年には、8nmCMOS技術が使われる可能性があるが、22nm CMOS技術から8nmCMOS技術へと微細化されるとエネルギー効率が1桁改善されると予測されていることから、2020年には20GFlops/Wが実現されると考えられる。しかし、これだけでは200GFlops/Wを実現できないので、本研究では、3次元化とベクトル化で更に1桁エネルギー効率を改善することを目指して研究を行った。しかし、やはり、200GFlops/Wのエネルギー効率を有する三次元積層型画像処理プロセッサを実際に設計、試作することは難しいので、三通りの方法による評価結果を合わせることによって実現可能性を示すこととした。第一の方法では、90 nm CMOS技術を用いて実際に3次元積層型プロセッサを設計・試作し、プロセッサの3次元積層化による性能改善率を評価し、この結果を2020年の技術である8nmCMOS技術まで外挿することによって、その可能性を示す。第二の方法では、8nmCMOS技術を想定して、3次元積層化とベクトル化をベースとした新しいアーキテクチャを採用し、システムシミュレーション、ソフトウェアシミュレーションにより、性能を一桁改善できることを示す。第三の方法では、90nm技術よりは性能の良い45nmCMOS技術により作製されたマルチコアプロセッサRP-X(ルネサス製)に青木グループが開発した位相相関法による画像処理プログラムを走らせて性能を評価し、その結果も合わせて、200GFlops/Wの可能性を明らかにする。第一の方法は、小柳グループ、末吉グループが中心となって、第二の方法は小林グループが中心となって、また、第三の方法は青木グループが中心となって、研究を進め、それぞれが連携することによって研究の成果が上がるよう心掛けた。

信頼性に関しては、まだ信頼性が確立されていない3次元LSIで80Fit を実現できるかどうかの可能性を示すために、プロセッサに、オンタイムによる自己診断・修復機能を搭載することとした。このような自己診断・修復機能を有する積層プロセッサをチェックポイント・リスタート機能を使ってSupervisor Processor (SVP) で管理し、オンタイムのサイクリックテストと三重化(TMR)を組み合わせることで80Fitという信頼性目標を達成することを目指した。信頼性確保のためのテスト容易化設計とテストアルゴリズムの検討は鎌田グループと小柳グループが中心

となつて行った。

以上のやり方で研究を進め、第一の方法に関しては、90nm CMOS技術による3次元積層型プロセッサの試作に成功し、現在詳細性能の評価中である。自己診断・修復機能を有するこのような3次元積層型画像処理マルチコアプロセッサの試作は世界初の試みであり、世界の3次元LSIの研究開発に与えるインパクトは極めて大きい。実際、マイクロンのHybrid Memory Cube (HMC) 3次元DRAMにも自己診断・修復機能が取り入れられようとしていることからわかるように、自己診断・修復機能を搭載して3次元LSIのディペンダビリティを向上させようとする動きが広がっている。第二の方法に関しては、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能の搭載とそれを制御するためのSVP (Supervisor Processor) の採用、運転支援・画像処理システムのための画像処理の高性能化を図るための新しいアルゴリズムの採用によって、運転支援用のハードウェア・ソフトウェア協調型ディペンダブル3次元積層型画像処理マルチコアプロセッサLSIを設計している。ハードウェア・ソフトウェア協調型の3次元積層型画像処理マルチコアプロセッサに関しては、アーキテクチャ設計レベルで動的に様々な情報をモニタリングし、アプリケーションに適切な計算資源を割り当てる新しい機構を導入しており、性能向上や消費電力の低減だけではなく、ディペンダビリティの向上に有効に働く。また、3次元 LSI 技術を用いて、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能を搭載するとともに、それを制御するためのSVPを画像処理プロセッサコア上に積層することによって、3次元 LSIの特徴である並列性と接続の柔軟性を利用して、システム性能を低下させることなくシステムのディペンダビリティを高めている。また、メモリ・ソフトウェア検出・救済のためのリコンフィギュラブルロジックの採用や一部の回路を多重化することによってSVP自身のディペンダビリティを向上させ、それによってシステム全体のディペンダビリティの向上を図っている。スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するためのSVPを搭載して画像処理プロセッサのディペンダビリティを向上するという試みはこれまで例がなく、極めて独創的である。これらの手法は運転支援用画像処理プロセッサだけでなく、高いディペンダビリティを必要とするLSIに広く適用できる。

本研究プロジェクトでは更に、3次元積層型画像処理プロセッサにおける画像処理の高性能化のための新しいアルゴリズムとして、位相限定相関法(POC) に基づく超高精度ステレオビジョンのための新しいアルゴリズムを導入している。このアルゴリズムは従来の SAD (Sum of Absolute Differences) や SSD (Sum of Squared Difference) を用いた方法に比べて計測精度が高く、車載用画像処理システムだけでなく、各種のマシンビジョン(監視カメラ、物体認識、FA、生体認証など)にも応用可能であり、極めて独創的な技術である。第三の方法では、このアルゴリズムによる画像処理プログラムをマルチコアプロセッサ RP-X に実装して性能評価を行い、200GFlops/W の性能が達成可能かどうかの見極めを行うためのデータが積み上がっている。

#### 4. 事後評価結果 (以下研究総括によるまとめ)

##### 4-1. 研究の達成状況及び得られた研究成果(論文・口頭発表等の外部発表、特許の取得状況等を含む) (課題、目標の設定)

VLSIの高集積化を牽引してきた微細化が限界に接近している。この状況を打破する技術発展の方向は3次元集積(3D LSI)にある。本PJは3D LSIを使って将来のロボットや車の自動運転を想定した高精度高速画像認識プロセッサを開発しようとするものである。その課題設定は妥当なものである。

3D LSIにより1)画像処理・認識の高性能化、測距制度の向上と、2)ソフトウェア/ハードウェア協調による自己診断・修復機能を実現し、ASIL-C(故障率 80FIT 以下、SPFM97%以上、LFM80%以上)の信頼性を確保する見通しを明らかにすることを目指しており、適切な目標設定であった。

(成果状況)

成果項目は研究代表者により3項に記述されているが、以下少々コメントする。

3D 積層を活用した画像処理用マルチコアプロセッサにおいて上記目標の実現可能性をアーキテクチャから机上検討した。自己診断・修復機能、多重化、テストオーバヘッドなどを考慮している。アーキテクチャ上の特徴は、マルチコアと別にシステム監視をする SVP(スーパーバイザプロセッサ)を用いること、冗長性とテスト機能を持たせた TSV(シリコン貫通孔)を用いて垂直バスの信頼性を向上させること、3次元積層型共有メモリを用いる、画像処理に GPU を用いる、アプリケーションからシステムに直接チェックポイント・リスタートをかける機能などである。今のところほとんどが紙上検討であり、諸機能の集積を含む実験的検証は今後に待たれる。

#### 4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

個別のアイデアはいくつか出ていると見受けられる。その価値や他との優位性については、主としてシミュレーションに頼っているが、できるだけエビデンスを積み上げて研究の優位性を実証してほしい。

今後 10 年くらいにわたり、3次元化のメリットを刈り取る研究開発が行われるであろう。その中で、本研究の過程で出されたシステム構成上のアイデアも実証、評価、淘汰され、すぐれたものは基礎研究の成果として積み上げられて行くと考えられる。

#### 4-3. 総合的評価

3次元実装と今後の微細化と、提案のアーキテクチャを用いれば、車載画像認識応用を狙った研究目標である「1TFLOPS/5W、80FIT以下」は実現可能との結果をシミュレーションによって得ている。その中で、TSVの多重化、画像からの障害物検出技術、メモリを共有する並列プロセッサの立体配置、計算・メモリ資源の最適化、階層的チェックポイントの適用、ハードウェア・スーパーバイザなど、興味深いコンセプトが提案されているのは評価できるが、これらのアイデアが出そろうのにやや時間がかかったこと、明確な効果実証が遅れていることが惜しまれる。残り期間をフル活用し、スピードアップにより、できる限り優位性のエビデンスを積み上げてほしい。