

## 研究課題別事後評価結果

1. 研究課題名： 超高信頼性VLSIシステムのためのディペンダブルメモリ技術

2. 研究代表者名及び主たる共同研究者名(研究機関名・職名は研究参加期間終了時点):

研究代表者

吉本 雅彦(神戸大学 大学院工学研究科 教授)

主たる共同研究者

永田 真(神戸大学 大学院工学研究科 教授)

新居 浩二(ルネサスエレクトロニクス株式会社 設計基盤開発統括部 主管技師)

於保 茂(日本工業大学 工学部電気電子工学科 教授)

勝 康夫(株式会社日立製作所中央研究所 情報システム研究センタ 主任研究員)

3. 研究実施概要 (研究代表者によるまとめ)

高信頼性VLSIシステムのためのディペンダブルメモリ技術を開発した。SRAMのディペンダビリティを阻害する要因として、次の6項目が挙げられる。中性子などによるソフトエラー、素子の経年劣化、電源ノイズなどの電圧変動、温度変動、サイドチャネルアタック、不正アクセスである。そこで、本研究では上記項目への対策技術開発を課題とした。

当初、耐ソフトエラーSRAMレイアウト技術(代表者G)、不良予知診断技術(第1G)、不良回避技術(代表者G、第2G)、自律型ディペンダブルメモリ技術(代表者G、第1G、第2G)、システムレベル検証技術(第3G、第4G)、の側面から設計技術研究に着手した。これらの課題を解決することで、不良予知、検出、回避までの一貫したSRAMの信頼性向上のためのディペンダビリティメモリ技術開発を行った。

具体的な研究成果を列挙する。耐ソフトエラーSRAMレイアウト技術については、中性子起因ソフトエラー率導出ツールを開発するとともに複数セル反転(ECCでは救済できない)ソフトエラー率を削減するSRAMセルレイアウト技術を開発し、複数セル反転を57%削減できる見積もりを提案ソフトエラー率導出ツールを用いて得た。不良予知診断技術については、オンチップ電源モニタとBISTを組み合わせることで経年劣化、電圧変動、温度変動などにより発生するマージン不良を実動作中に不良予知する技術を開発した。不良回避技術については2通りの開発を実施した。そのひとつはQuality-Bit-Memory(QoB)の提案(代表者G)であり、それをウェイト数可変型キャッシュメモリに適用し、4.9%のIPC劣化で低電圧動作マージンを115mV改善し、IPCと動作電圧マージンとトレードオフを取ることで不良を回避する手法を開発した。もう一つの不良回避技術は、アシスト回路を用いた細粒度電圧制御(第2G)であり、これにより面積、消費電力のオーバーヘッドなく50mV以上のVmin改善効果が得られ不良回避技術としての有用性を確認できた。以上の技術を統合することで、自律型ディペンダブルメモリを設計、試作した。実機ボードによるデモ環境を構築、動作確認を行い、システム動作を妨げることなく、不良検知および不良回避をバックグラウンドで自律的に行えることを確認した。また、大きな電源電圧ドロップ(35%の電源電圧の振れ込みの場合)においても、Failure Rateを約2ケタ改善できるという有用な結果が得られた。さらに自律型ディペンダブルメモリを車載エンジン制御システムに適用した場合のシステムエラーレートの改善効果を評価するために、システムレベル検証技術を開発した。すなわち、CPUモデルベースのハードウェア/ソフトウェア協調シミュレーション(Virtualization)技術を構築し、マイコン

内にメモリ故障を注入でき、かつ注入したメモリ故障がシステムに与える影響を評価することができる極めて精度の高いシステムレベルでのシミュレーション実行が可能となった。自動車業界でニーズが高い、マイコン内各場所でのFMEA解析ができる機能安全検証実現の見通しを得た。

中間報告以降、上記研究成果をベースに、今後需要が見込まれるEV対応のディペンダブル技術開発として以下の発展テーマ課題に取り組んだ。QoBメモリのマルチコア応用技術(代表者G、第3G、第4G)、EV対応のEMC対策技術(第1G)、不正アクセス抑止のためのメモリベースID生成技術(第2G)研究を行った。

具体的にはこれらの研究成果は下記である。QoBメモリのマルチコア応用技術については、QoB構造を利用した一括比較技術、一括コピー技術を開発し、それを用いることでマルチコアプロセッサ上のDMRロックステップにおけるCheck & Recovery機能での時間オーバーヘッドを削減できる見通しを得た。同時に車載制御システムへの有効性を定量的に評価できる開発環境を構築し、現在システムエラーレートの改善度を定量的に評価中である。EV対応のEMC対策技術については、VLSIチップとパッケージおよびプリント基板を統合したノイズ・シミュレーション手段を確立し、半導体チップに関わるEMC評価の国際規格(IEC61967-6, IEC 62132-4)による観測結果を原理的に解析・説明でき、ノイズ耐性の高いVLSI設計に役立つことを示した。メモリベースID生成技術については、動作マージンを拡大するために使うアシスト回路のバイアスを通常とは逆に悪化するように印加することで発生した不良ビットアドレスからIDを生成する方法を提案し、環境変動・ノイズ変動耐性が高いことを実デバイスにて実証した。

以上の当初課題と発展課題に取り組んだ成果として、SRAMのディペンダビリティを阻害する種々の要因を解決する技術を創出し得た。

#### 4. 事後評価結果(以下研究総括によるまとめ)

##### 4-1. 研究の達成状況及び得られた研究成果(論文・口頭発表等の外部発表、特許の取得状況等を含む)(課題、目標の設定)

SRAMはVLSIのコアとして多用され、そのソフトウェア耐性等はシステム全体のディペンダビリティに強く影響することがわかっている。本課題の問題設定は的確であり、具体的である。

一大学複数の研究グループと複数の企業研究グループからなるチームづくりをし、全体としては車載組み込みシステムへの適用を視野に入れ、それぞれに適切な目標を具体化しつつ進めてきた。

##### (成果状況)

成果項目は研究代表者により3項に記述されているが、以下少々コメントする。

SRAMの高ディペンダビリティ要素技術の提案、検証を着実に進めている。電源電圧変動やソフトウェアへの耐性の高いSRAMセルのレイアウト、2重化したセル構造を持つQoBメモリ、電源ノイズや電圧降下のオン・チップ・モニタ回路など、組込みSRAMとしてのアーキテクチャ、テスト技術などを多面的に検討してきた。細粒度アシスト電圧制御による最低動作電圧の改善、PUF技術にも進歩があった。

QoBについては、高いソフトウェア耐性がVirtualizationと実験で実証された。またデュアルコアDMR構成に適用し、瞬時コピー機能を利用して状態保存・回復に要する時間が1/10に短縮できることを示した。面積が大きいため、実採用には至っていないが、将来に備えた高ディペンダビリティSRAMセルの持ち駒と言ってよい。

メモリ故障がエンジンコントロールシステムに与える影響を定量的に非実機評価できるCPUモデルベースのハードウェア・ソフトウェア協調シミュレーション(Virtualization)を、クラウドコンピューティング環境を使って実現

し効果を実証したことは新しい展開であった。使いやすさや普及への努力を期待する。

#### 4-2. 研究成果の科学技術や社会へのインパクト、戦略目標への貢献

研究グループとして当初より参加してきた半導体メーカー、システムメーカー、車載電装品メーカー等において、オンチップモニター回路技術、細粒度電圧制御技術、PUF技術、Virtualization技術の実適用が検討されようとしている。

本研究の成果から車載はじめ各種システムに対し、SRAMを中心とする高信頼VLSI、固有ID生成、アプリケーションを含めたシステムシミュレーションなどを提供することができ、安全・安心を高めることにより戦略目標への貢献、社会・経済的なインパクトを期待できる。

故障注入とクラウド大規模計算の適用によってVirtualizationの研究が大幅に進んだ。この方法による信頼性評価の対象を、組み込みSRAMだけでなく、当然システムVLSI、さらにはボードレベルに及ぼせばさらに大きな効果が期待できる。

#### 4-3. 総合的評価

SRAMに焦点を当てつつ、システムVLSI技術の本流に近い課題に実践的、包括的な研究姿勢をもって取り組んできた。要素技術から統合化まで一連の研究課題をとりあげ、有望な成果を豊富に生み出している。今後、マルチコアプロセッサ統合技術、Virtualizationの適用展開をはかることにより、LSIメーカー、システムメーカー、EDAベンダ等において成果が活用されると期待できる。基礎研究としてのさらなる発展にも期待できる。