

戦略的創造研究推進事業 CREST
研究領域「ディペンダブル VLSI システムの基盤技術」
研究課題「統合的高信頼化設計のための
モデル化と検出・訂正・回復技術」

研究終了報告書

研究期間 平成19年10月～平成25年3月

研究代表者: 安浦 寛人
(九州大学大学院
システム情報科学研究所 教授、副学長)

§ 1. 研究実施の概要

VLSI 製造技術の微細化とそれに伴う大規模化、さらに VLSI を用いたシステムの用途の爆発的な拡大により、VLSI システムのディペンダビリティを向上させる技術へのニーズが急速に高まっている。ディペンダビリティをコスト・性能・消費電力と同じような設計指標として位置づけ、VLSI システムの設計フローの中でシステム全体のディペンダビリティを他の指標とのトレードオフを考えながら設計する技術とそのための設計環境の構築を目指す。ディペンダビリティを設計の各段階で見積もる技術、ディペンダビリティを向上させる設計技術、そして他の設計指標とのトレードオフを考慮して最適化する技術を開発し、統合した設計フローを構築する。

(1) チーム全体の研究構想と概要

豊橋技術科学大学グループは、主たる共同研究者の転属に伴い、平成 23 年度開始時に九州大学松永グループにマージした。

① 本研究の背景、社会や産業に存在する問題と本研究の課題設定

VLSI は、情報通信技術の基幹部品として、多くの社会システム(行政、経済、交通、通信、産業などの社会インフラ)の中で大量にかつ広範に利用されており、我々の生活は VLSI システムの機能、性能、信頼性に大きく依存(depend)するようになっている。一方、VLSI の微細化や大規模化さらにはその用途の拡大は、従来は考慮しなくても良かった新たなディペンダビリティの劣化要因を顕在化させている。宇宙から降り注ぐ中性子線によるソフトウェアや長時間の使用による経年劣化、悪意ある攻撃者による攻撃等、新しいディペンダビリティの劣化要因が次々に指摘されている。

個々の新しい問題に対し、その原因となるフォールトと最終的に観測される故障(フェイラー)の因果関係を洗い出し、フォールトを故障につながらないようにするための故障の検出・回復・訂正などの対応策を設計に組込んで行く技術の確立が求められている。さらに、次々に現れる新しい問題に対し、従来からの設計フローの中にこれらの対応策を組込むための一般的な方法論の確立も重要な課題である。

本研究では、具体的な事例として、(a) 中性子線等に起因するソフトウェア、(b) 素子の製造ばらつきや経年劣化によるタイミングエラー、(c) 悪意ある攻撃による回路内の機密データの漏洩を対象として取り上げ、原因となる物理的な現象から上位の回路、論理回路、システムの各階層への影響を評価し、システム全体のディペンダビリティを向上させる設計フローと必要なツールを構築する。これらの事例に対する研究を通じて、既存の階層設計との整合性を考慮し、一般的なディペンダブル VLSI の設計フローとツール群の開発指針を明確にすることを目指した。

② 本研究チームの達成目標

中性子線等に起因するソフトウェア、素子の製造ばらつきや経年劣化によるタイミングエラー、悪意ある攻撃による回路内の機密データの漏洩の3つの事例を対象とした各設計レベルにおけるディペンダビリティの評価指標、見積もり技術、向上技術などを開発し、設計フローとツールを構築する。

これらの研究開発を通じて、VLSI システムの一般的なディペンダビリティの評価指標の定義、それを設計の各段階で見積もる技術、ディペンダビリティの向上技術と設計中に組み込む技術、設計を最適化する技術の開発、統合した設計フローの構築に対する基本的な方針を明確にする。

③ 本研究の特徴

研究開始後の、領域代表やアドバイザーとの議論に従い、本研究は下記のようなアプローチで進めた。

1) 具体的な事例として、ディペンダビリティに対する新しい問題として指摘されている下記の課題を対象とした。

- (a) 中性子線等に起因するソフトウェア
- (b) 素子の製造ばらつきや経年劣化によるタイミングエラー
- (c) 悪意ある攻撃による回路内の機密データの漏洩

特に、ソフトウェアに関する問題に注力し、システムのデジタル回路(論理回路)に対するソフトウェア対策に対応する設計フローとそのためのツールチェーンの基本技術の構築に注力した。また、物理現象に関する専門家と協力して、物理レベルからシステムレベルまでの一貫したソフトウェアのディペンダビリティに対する影響を明らかにした。また、メモリに関しては、神戸大学の吉本チームとの共同研究を行った。

2) 既存の階層設計との整合性を意識し、各層において下位層の故障を当該層のフォールトとしてモデル化し、その当該層の故障として評価する技術の確立を行った。物理現象のレベルからシステムレベルまでの各階層におけるフォールトと故障の因果関係を明確にリンクさせ、各階層でのディペンダビリティを評価する技術を研究した。具体的には、下記のような成果を得た。

- (ア) 階層設計の下位層における故障を上位層のフォールトに変換する合理的な手法
- (イ) 各レベルにおける抽象度で故障からフォールトを効率良くかつできるだけ正確に予測する技術
- (ウ) 各レベルにおけるディペンダビリティの尺度と向上技術、それを大規模な設計中に組み込む技術
- (エ) コストや性能、消費電力等の制約要件とのトレードオフを考慮し、設計全体を最適化する技術
- (オ) 個々のツールを統合した設計フローの構築

3) これらの具体事例に対する研究開発を通じて、一般的なディペンダビリティの評価指標、それを設計の各段階で見積もる技術、ディペンダビリティの向上技術と設計中に組み込む技術、設計を最適化する技術の開発、統合した設計フローの構築に対する基本的な方針を明確にできた。

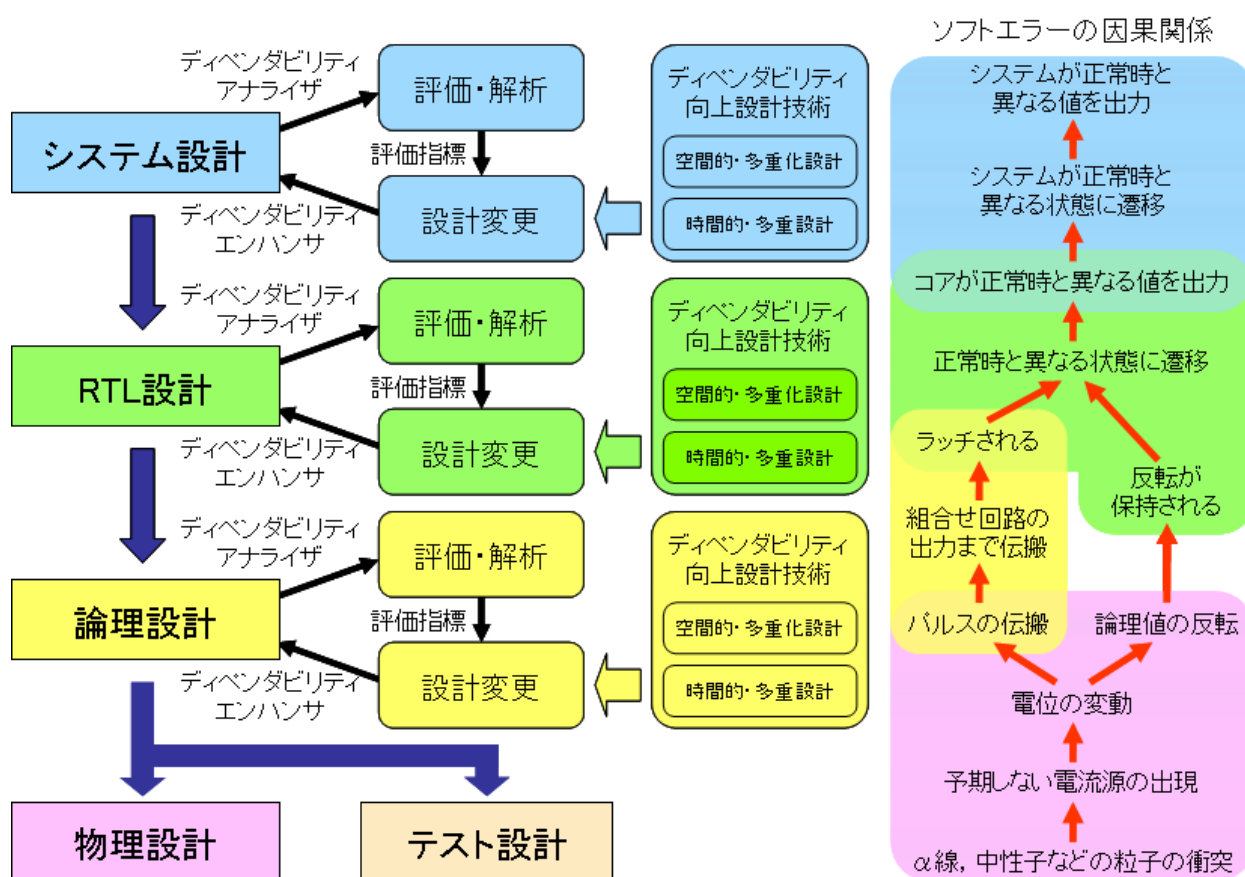


図1 ディペンダブル VLSI の設計フロー

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

4 つ(平成 23 年度から 3 つ)のグループが密接に連携をしながら、研究を進めた。九州大学安浦グループがチーム全体のとりまとめを行い、ソフトエラー、タイミングエラー、機密データの漏洩について、それぞれのグループが得意とする設計段階に対応する具体的な研究を行っている。

- ・ ソフトエラーについては、松永グループが中心となり RT(Register Transfer)レベルおよび論理レベルを主として担当し、豊橋技術科学大学グループ(平成 23 年度開始時に九州大学松永グループにマージ)と福岡大学グループが CPU や FPGA のシステムレベルに対応した。また、神戸大学の吉本チームのメモリに関する研究とも強く連携して行った。

- ・ タイミングエラーについては、福岡大学グループが中心となり、他グループも議論に加わって研究を進めた。
- ・ 機密データの漏洩については、九州大学松永グループと安浦グループで研究を進めた。

すべてのグループが参加する会議(テレビ会議を利用)を2週間に1回程度の頻度で開催するとともに、合宿形式の研究検討会を年に1回ないし2回開催した。

2) 領域外部の企業等との連携

ソフトウェアに関しては、当初A社からの実問題の相談を受けて、具体的な研究に取り組んだ。最終的には、相手方の問題解決にはつながっていないが、現場からの問題の提示は、研究の方針を決める上で大いに役立った。

B社とは、デバイスレベルと回路レベルのソフトウェアモデルの整合性を取る問題で意見交換を重ねており、共同研究への発展も検討している。九州大学大学院総合理工学研究院の原子核物理の研究者渡辺幸信教授ともソフトウェアに関する情報交換を行っている。さらに、京都大学の小野寺チームや神戸大学の吉本チームと連携して、国内のソフトウェアに関する幅広い研究者を集めたソフトウェア勉強会を定期的で開催できるようになった。

3) 領域内他研究チームとの連携関係

神戸大学の吉本チームと密接な共同研究体制を取ってソフトウェア耐性向上に取り組んだ。本チームが論理回路中心、吉本チームがメモリ中心という分担で、モデルや評価ツールの共通化などの協力体制を構築し、頻繁な情報交換を行った。

また、システムレベルにおいて、東京大学の坂井チームと情報交換を行った。フリップフロップの回路構造とセルレイアウトについては、小野寺チームの小林教授と意見交換を行った。

(2) 研究グループの研究の概要

豊橋技術科学大学グループを九州大学松永グループにマージしたため、平成 23 年度から安浦チームは 3 グループ構成となった。

1) 九州大学安浦グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本グループの研究課題は、「統合的高信頼化設計のためのモデル化と検出・訂正・回復技術」であり、本領域の最終目標の一つであるVLSIが搭載している価値や信用を守るための設計技術の確立のために、各グループの研究課題を統合し、一般化して、本領域全体への位置づけを明確にする。領域全体の研究方針への提案や、他のチームとの連携方針等を検討し、本チーム内の各グループにおける研究課題やアプローチに対して適切なアドバイスを行う。

②本研究グループの達成目標

中性子線等に起因するソフトウェア、素子の製造ばらつきや経年劣化によるタイミングエラー、悪意ある攻撃による回路内の機密データの漏洩の 3 つの事例を対象とした各設計レベルにおけるディペンダビリティの評価指標、見積もり技術、向上技術などの開発に関する基本的な指針を明示する。さらに、一般的なディペンダビリティの評価指標の定義、それを設計の各段階で見積もる技術、ディペンダビリティの向上技術と設計中に組み込む技術、設計を最適化する技術の開発、統合した設計フローの構築への道筋を明らかにし、VLSIが搭載している価値や信用を守るための設計技術の確立を目指す。

③本グループの研究の特徴

各グループ間の研究活動を調整し、本チームにおける具体的な研究対象に対する各グループの研究成果を統合し、一般的なディペンダビリティの評価指標の定義、それを設計の各段階で見積もる技術、ディペンダビリティの向上技術と設計中に組み込む技術、設計を最適化する技術の開発、統合した設計フローの構築に対する基本的な方針として一般化する。

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

定期的にチーム全体の情報交換の会議を主催し、チーム間の研究活動の調整を行うとともに、領域に対するチーム全体の方針をまとめる。また、チーム内のグループの研究活動が円滑に進むように環境整備を行う。

2) 領域外部の企業等との連携

チームを代表して関連する企業との交渉の窓口となる。積極的に連携対象の企業を探す。

3) 領域内他研究チームとの連携関係

チームを代表して関連する他の研究チームとの交渉の窓口となる。

2) 九州大学松永グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

課題は以下のとおりである。

1. 論理・RT レベルのソフトエラー耐性解析ツールの開発

論理レベルでは、論理ゲートで発生したソフトエラーが記憶素子に取り込まれて異常動作となる確率を計算するための、ソフトエラー発生および伝搬のモデル化およびその解析アルゴリズムの検討を行う。

RT レベルでは、論理レベルの回路におけるソフトエラーの挙動を抽象度が一段上の RT レベルで解析することによって、より大規模かつ複雑な LSI に対するソフトエラー耐性の解析を行うアルゴリズムの検討を行う。

2. ソフトエラー耐性を考慮した論理合成アルゴリズムの研究

与えられた論理回路に冗長性を付加することでソフトエラー耐性を高めつつ、冗長性の付加にともなう面積や遅延、消費電力などのオーバーヘッドを削減する論理合成アルゴリズムの研究を行う。

3. CPU のソフトエラー耐性解析ツールの開発

CPU を用いたシステムの SEU (Single Event Upset) に対する脆弱性を測定する技術を開発する。さらに、CPU 中の組合せ回路で生じるソフトエラー、すなわち SET (Single Event Transient) に着目したソフトエラー耐性評価技術について研究を行う。集積回路の微細化が進むと、SET 起因の信頼性低下が SEU 起因の信頼性低下に匹敵するようになり、SET に対する脆弱性を見積もる技術が必要となるからである。

4. VLSI が搭載している価値や信用を守るための設計技術の確立

悪意のある攻撃に対する防御手法の提案を行う。さらに個々の防御手法の比較を行うために防御手法を適用した LSI に対するディペンダビリティの定量化手法の検討を行う。さらに個々の防御手法によるディペンダビリティの対費用効果を数値化することも合わせて目標とする。

このうち 1～3 はチーム全体の研究課題である中性子起因のソフトエラーに対してディペンダブルな LSI を設計するためのフローの確立およびそのための設計ツールの開発に対応している。4 は、悪意のある攻撃をエラーの対象としている。このエラーのモデルに対するモデル化、指標化を行う。

②本研究グループの達成目標

1～3 に関しては、論理レベルの回路や RT レベルの回路を入力として、対象の回路のソフトエラー耐性 (SER: Soft Error Rate) を計算するツールのプロトタイプ版の開発を行うこと、およびソフトエラー耐性を設計制約や設計指標として考慮する設計フローの妥当性に関連する EDA ツールの実用性を評価することを目標としている。4 に関しては、悪意のある攻撃のモデル化および指標化を行うことと、ディペンダビリティを評価するツールを開発することを目標としている。

③本グループの研究の特徴

1. 論理・RT レベルのソフトエラー耐性解析ツールの開発

デバイスシミュレータおよび回路シミュレータを利用して、論理レベルより抽象度の低いレベルにおけるソフトエラー発生確率のモデル化を行い、そのモデルに対してある程度、精度の保証が可能な論理レベルにおけるソフトエラー発生確率のモデル化を行う。平行して、中性子照射の加速実験の結果との比較を行ってモデルの妥当性評価を行う。

一方、RT レベルの回路を、制御回路 (有限状態機械) とデータパス (演算器系回路) に分解し、その各々に適した解析アルゴリズムの開発を行う。制御回路に関する解析はまず厳密アルゴリズムの開発を行い、続いてより大規模な回路に適用可能な近似アルゴリズムの開発を行う。データパスに関しては、内部の論理回路の構造に起因するソフトエラーがどのようなパターンで出力に現れるかを確率的にモデル化することで、演算器系回路内部の論理回路を考慮せずに LSI 全体のソフトエラー解析が行えるようにする。モデル化の

妥当性評価のために、超並列の計算機サーバーや GPGPU などの計算機資源を使って莫大な論理シミュレーションを行う。

2. ソフトエラー耐性を考慮した論理合成アルゴリズムの研究

信頼性と冗長性の付加によるオーバーヘッドのトレードオフを考慮するためには大まかに2つのアプローチが考えられる。一つはオリジナルの回路に対してだんだんと冗長性を付加することで信頼性を向上させるやりかたであり、もう一つは多重化された回路から冗長性を削除してゆくことでオーバーヘッドを減らすやりかたである。多くの場合、オリジナルの回路に対して数桁の信頼性の向上が要求されるので前者のやり方は現実ではない。そこで、三重化された回路を初期回路として、許容できる範囲内で信頼性を落としつつ、回路量を削減する手法の検討を行う。

3. CPU のソフトエラー耐性解析ツールの開発

メモリデバイス中における SEU に着目したソフトエラー耐性評価技術に関する研究から着手する。次に SET を対象としたソフトエラー耐性評価技術について研究を進め、テクノロジノードに依存することなく、CPU のソフトエラー耐性を解析・評価するツールを開発する。

4. VLSI が搭載している価値や信用を守るための設計技術の確立

まず悪意のある攻撃手法をスキャンベース攻撃とし、攻撃対象回路を DES (Data Encryption Standard) 暗号回路として、エラーのモデル化、および指標化を行う。具体的には、攻撃の要因を明確化し、防御手法の提案および種々の防御手法に対する機密情報の漏えいのしにくさを定量化する手法の検討を行う。さらに攻撃対象回路を拡張し、定量化する手法の一般化をめざす。

④研究実施方法

研究チーム内の各グループとは月に数回程度、定期的なミーティングを行っている。基本的にツール開発は本研究グループ内で行っているが、デバイスレベルのソフトエラー発生メカニズムのモデル化のための情報共有を目的として、神戸大学吉本チームと定期的に打ち合わせを行っている。また、より下位レベルのシミュレーションツールに関する情報共有を九州大学大学院総合理工学研究院渡辺幸信教授と行っている。

B社とはソフトエラーのデバイスシミュレーションおよび照射実験などに関する意見交換を定期的に行っている。

3) 福岡大学グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

§ 1. (1) ① で説明されている、ディペンダブルな LSI システムの設計手法を確立するために、本研究グループはシステムレベルにおける検討を担当している。§ 1. (1) ③ 2) に掲げられている(ウ)各レベルにおけるディペンダビリティの向上技術をシステムレベルで考案し、それを大規模な設計中に組み込む技術の考案が課題である。それらを設計フローおよび設計ツールに統合するためには、§ 1. (1) ③ 2) に掲げられている(ア)階層設計の各レベルにおけるディペンダビリティの評価指標の定義も課題であり、ディペンダビリティ向上技術のモデル化にも取り組んでいる。§ 1. (1) ③ 1) で述べられている(a)中性子等に起因するソフトエラーと(b)素子の製造ばらつきや経年劣化によるタイミングエラーを対象とし、システムレベルにおいてそれらのエラーのモデル化と指標化を行い、エラーの検出技術とオンライン訂正技術の提案を行う。また、§ 1. (1) ③ 2) に掲げられているように、(エ)コストや性能、消費電力等の制約条件とのトレードオフを考慮し、設計全体を最適化するため、ディペンダビリティにおける対費用効果を数値化することも併せて目標とする。

②本研究グループの達成目標

1)タイミングエラーとソフトエラーに関するエラーのモデル化・指標化《a,b、ア、ウ》、2)タイミングエラー検出回路設計技術の実用化《b、ウ》、3)耐ソフトエラー・プロセッサアーキテクチャの構築《a、ウ》、の三つを達成目標として掲げている。《 》は、§ 1. (1) ③ の(a)～(c)、(ア)～(オ)との対応を示す。

具体的には以下を目標とする。

- ・ タイミングエラーの振る舞いをシステム設計レベルでモデル化するための指標の検討を継続する。
- ・ ソフトエラーに関して、性能・電力とディペンダビリティのレンジの違いを考慮出来る指標を策定する。
- ・ 策定されたタイミングエラーを動的に検出するための回路方式について、回路設計とレイアウト設計を実施し、チップ面積に与える影響を調査する。

- ・ NBTI(Negative Bias Temperature Instability)等に起因するタイミングエラーを回避する技術について検討する。

③本グループの研究の特徴

§ 1. (1) ② で説明されている設計フローとツールの構築を実現するためには、ディペンダビリティ向上技術とディペンダビリティ評価指標の、両方の開発が必要である。前者については、空間的冗長性を利用してソフトエラーを検出するマルチコアアーキテクチャ、様々な要因で発生するタイミングエラーを予報可能なカナリア・フリップフロップ、そしてNBTI 起因経年劣化故障を予防可能なメモリ・アーキテクチャを提案してきた。後者については、前述のマルチコアアーキテクチャを対象に、性能・消費電力・信頼性の間のトレードオフを考察できる評価指標の考案に取り組んできた。本グループでは、まずアイデア出しから始め、様々なシミュレーションを実施することで問題の把握、解決法の考案と評価を行う。いずれの提案も VLSI における基本構成要素(フリップフロップ、SRAM)を対象とした技術であり、適用対象は広範囲に渡る。カナリア・フリップフロップについては小野寺チームが展開研究を実施されている。彼らの論文にも書かれているように、類似研究のRazor がタイミングエラーを検出するのに対し、カナリア・フリップフロップはエラーを予報するという独創性を持つため、プロセッサだけでなくあらゆるデジタル回路に適用可能であり、エラーからの回復回路も必要としないという優位性を持っている。

④研究実施方法

研究チーム内の各グループとは、定期的な研究ミーティングおよび研究合宿を行っている。外部との連携については、これまでに坂井チームとの議論、小野寺チームとの意見交換や、領域アドバイザーのご厚意でC社とD社の研究者・技術者との意見交換を実施してきた。

§ 2. 研究実施体制

(1)九州大学安浦グループ

①研究参加者

氏名	所属	役職	参加時期
安浦 寛人	九州大学 大学院システム情報科学研究院	教授	H19.10～H25.3
馬場 謙介	九州大学 附属図書館	准教授	H19.10～H25.3
佐藤 寿倫	九州大学 システム LSI 研究センター	教授	H19.10～H21.3<3>
松永 裕介	九州大学 大学院システム情報科学研究院	准教授	H19.10～H21.3<2>
吉村 正義	九州大学 大学院システム情報科学研究院	助教	H19.10～H21.3<2>
高田 大河	九州大学 大学院システム情報科学府	D1,D2	H19.10～H21.3<2>
中村 徹	九州大学 大学院システム情報科学府	M2,D1	H19.10～H21.3<2>
國武 勇次	九州大学 大学院システム情報科学府	M2,D1	H19.10～H21.3<2>
伊藤 侑磨	九州大学 大学院システム情報科学府	M1	H20.4～H21.3<2>
大塚 信介	九州大学 大学院システム情報科学府	M1	H20.4～H21.3<2>
赤嶺 悠介	九州大学 大学院システム情報科学府	M1	H20.4～H21.3<2>
大矢 敦子	九州大学 大学院システム情報科学府	テクニカルスタッフ	H19.10～H21.3
山崎 知美	九州大学 大学院システム情報科学府	M1,M2	H19.10～H21.3
小玉 翔	九州大学 大学院システム情報科学府	M1,M2	H19.10～H21.3
門内 伸吾	九州大学 大学院システム情報科学府	M1,M2	H19.10～H21.3
松本 幸	九州大学 大学院システム情報科学府	M2	H20.4～H21.3
松村 忠幸	九州大学 大学院システム情報科学府	M2	H20.4～H21.3
野原 康伸	九州大学 大学院システム情報科学研究院	研究員	H20.4～H20.6
貞方 毅	九州大学 大学院システム情報科学府	D3	H19.10～H20.3
江藤 俊彦	九州大学 大学院システム情報科学府	M2	H19.10～H20.3
佐川 由己	九州大学 大学院システム情報科学府	M2	H19.10～H20.3
坂口 高宏	九州大学 大学院システム情報科学府	M2	H19.10～H20.3

橋口 陽祐	九州大学 大学院システム情報科学府	M2	H19.10～H20.3
舟木 敏正	九州大学 大学院システム情報科学府	M2	H19.10～H20.3
渡辺 慎吾	九州大学 大学院システム情報科学府	M2	H19.10～H20.3

＜2＞:H21 年度から(2)「九州大学・松永グループ」に移動

＜3＞:H21 年度から(3)「福岡大学グループ」に移動

②研究項目

1. 各グループ間の研究活動を調整し、本チームにおける具体的な研究対象に対する各グループの研究成果を統合し、統合した設計フローの構築に対する基本的な方針として一般化する。
2. 定期的にチーム全体の情報交換の会議を主催し、チーム間の研究活動の調整を行うとともに、領域に対するチーム全体の研究方針をまとめる。
3. チームを代表して関連する研究機関・企業や領域内の他の研究チームとの研究協力交渉の窓口となる。

(2) 九州大学松永グループ

①研究参加者

氏名	所属	役職	参加時期
松永 裕介	九州大学 大学院システム情報科学府	准教授	＜1＞H21.4～H25.3
杉原 真	九州大学 システム LSI 研究センター	准教授	＜4＞H23.4～H25.3
吉村 正義	九州大学 大学院システム情報科学府	助教	＜1＞H21.4～H25.3
築添 明	九州大学 大学院システム情報科学府	学術研究員	H22.4～H24.10
高田 大河	九州大学 大学院システム情報科学府	D3,学術研究員	＜1＞H21.4～H24.10
大石 淳子	九州大学 大学院システム情報科学府	学術研究員	H23.6～H25.3
中山 真由美	九州大学 大学院システム情報科学府	テクニカルスタッフ	H22.8～H25.3
綾部 秀紀	九州大学 大学院システム情報科学府	M1,M2	H23.4～H25.3
岩永 明人	九州大学 大学院システム情報科学府	M2	H24.4～H25.3
井出 佳徳	九州大学 大学院システム情報科学府	M1	H24.4～H25.3
黒田 遼	九州大学 大学院システム情報科学府	M1	H24.4～H25.3
江川 瀬里奈	九州大学 大学院システム情報科学府	M1	H24.4～H25.3
アリ アワド	九州大学 大学院システム情報科学府	D1,D2	H23.1～H24.3
城林 直樹	九州大学 大学院システム情報科学府	M1,M2	H22.4～H24.3
長谷川 創	九州大学 大学院システム情報科学府	M1,M2	H22.4～H24.3
森本 喬	豊橋技術科学大学 大学院工学研究科情報・知能工学専攻	M2	＜4＞H23.4～H24.3
中村 徹	九州大学 大学院システム情報科学府	D2,D3	＜1＞H21.4～H23.3
國武 勇次	九州大学 大学院システム情報科学府	D2,D3	＜1＞H21.4～H23.3
平田 元春	九州大学 大学院システム情報科学府	M1,M2	H21.4～H23.3
小津和 大昌	九州大学 大学院システム情報科学府	M1,M2	H21.4～H23.3
原田 翔次	九州大学 大学院システム情報科学府	M1,M2	H21.4～H23.3
伊藤 侑磨	九州大学 大学院システム情報科学府	M2	＜1＞H21.4～H22.3
大塚 信介	九州大学 大学院システム情報科学府	M2	＜1＞H21.4～H22.3
赤嶺 悠介	九州大学 大学院システム情報科学府	M2	＜1＞H21.4～H22.3

＜1＞:H20 年度まで(1)「九州大学・安浦グループ」で参加

＜4＞:H22 年度まで(4)「豊橋技術科学大学グループ」で参加

②研究項目

1. 論理・RT レベルのソフトエラー耐性解析ツールの開発
2. ソフトエラー耐性を考慮した論理合成アルゴリズムの研究
3. CPU のソフトエラー耐性解析ツールの開発
4. VLSI が搭載している価値や信用を守るための設計技術の確立

(3) 福岡大学グループ

① 研究参加者

氏名	所属	役職	参加時期
佐藤 寿倫	福岡大学 工学部	教授	<1>H21.4～H25.3
林田 隆則	福岡大学 工学部	助教	H22.4～H25.3
矢野 憲	福岡大学 工学部	ポスト・ドクター	H23.7～H25.3
吉永 亮太	福岡大学 大学院工学研究科	M1	H24.4～H25.3
小川 貢	福岡大学 大学院工学研究科	M1	H24.4～H25.3
吉木 崇人	福岡大学 大学院工学研究科	M1,M2	H22.4～H24.3

<1>:H20 年度まで(1)「九州大学・安浦グループ」で参加

② 研究項目

1. タイミングエラーとソフトエラーに関するエラーのモデル化・指標化
2. タイミングエラー検出回路設計技術の実用化
3. 耐ソフトエラー・プロセッサアーキテクチャの構築

(4) 豊橋技術科学大学グループ

① 研究参加者

氏名	所属	役職	参加時期
杉原 真	豊橋技術科学大学 大学院工学研究科情報・知能工学系	准教授	H19.10～H23.3<2>
久保田 洋進	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H21.4～H23.3
佐々木 遼平	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H21.4～H23.3
浜崎 主章	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H21.4～H23.3
藤井 智史	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H21.4～H23.3
森本 喬	豊橋技術科学大学 大学院工学研究科情報・知能工学専攻	M1	H22.4～H23.3<2>
打越 寛	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H20.4～H22.3
芹澤 光範	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H20.4～H22.3
本間 哲	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H20.4～H22.3
安倉 悠祐	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H19.10～H21.3
片口 慎太郎	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H19.10～H21.3
加藤 健二	豊橋技術科学大学 大学院工学研究科情報工学専攻	M1,M2	H19.10～H21.3

<2>:H23 年度から(2)「九州大学・松永グループ」に移動

② 研究項目

1. CPU のソフトエラー耐性解析ツールの開発

§ 3. 研究実施内容及び成果

(1) 研究の成果と自己評価

以下のエラー要因を対象とした個別成果は次の通りである。

・(a) ソフトエラー

論理回路	M1. ソフトエラーを考慮した設計フローとツールチェーン M2. ソフトエラーのパルス幅ごとの確率モデル生成方法 M3. ソフトエラーに起因するパルスのラッチ確率の計算モデル M4. 順序回路におけるソフトエラー伝搬確率の厳密な計算アルゴリズム M5. ソフトエラー耐性と面積オーバーヘッドのトレードオフを考慮した論理合成手法 M8. ソフトエラー率の上界を保証する効率的な近似計算手法 M9. 順序回路のソフトエラー耐性評価用厳密アルゴリズム M10. 多項加算回路の自動合成手法
メモリ	神戸大学吉本チームと共同研究 [64][73][91]
システム	T1. SEU に対する脆弱性を見積もるシミュレーション技術 T2. CPU の動作モードにより性能と信頼性のトレードオフを図る技術 T3. マルチコア CPU の heterogeneity によって性能と信頼性のトレードオフを図る設計技術 T4. 制御信号系列における誤りを検出する動的シグネチャ検査技術 M11. スクラッチパッドメモリを用いた組込みシステムの高信頼化技術 F1. 耐ソフトエラー・マルチコアアーキテクチャとその評価指標

・(b) タイミングエラー

論理回路	F2. カナリア・フリップフロップの置換え位置決定手法 F4. カナリア・フリップフロップの置換え位置決定手法の評価 F5. カナリア・フリップフロップの回路構造の改良 F6. カナリア・フリップフロップによるマルチコアプロセッサの電力削減の評価
メモリ	F3. NBTI 起因の経年劣化故障を予防するメモリ・アーキテクチャ

・(c) セキュリティ(悪意のある攻撃)

システム	M6. スキャンベース攻撃に対する攻撃のモデル化と防御手法 M7. スキャンベース攻撃に対する防御手法の定量的評価 M12. 指紋画像による認証アルゴリズムの性能と信頼度の見積もり手法
------	--

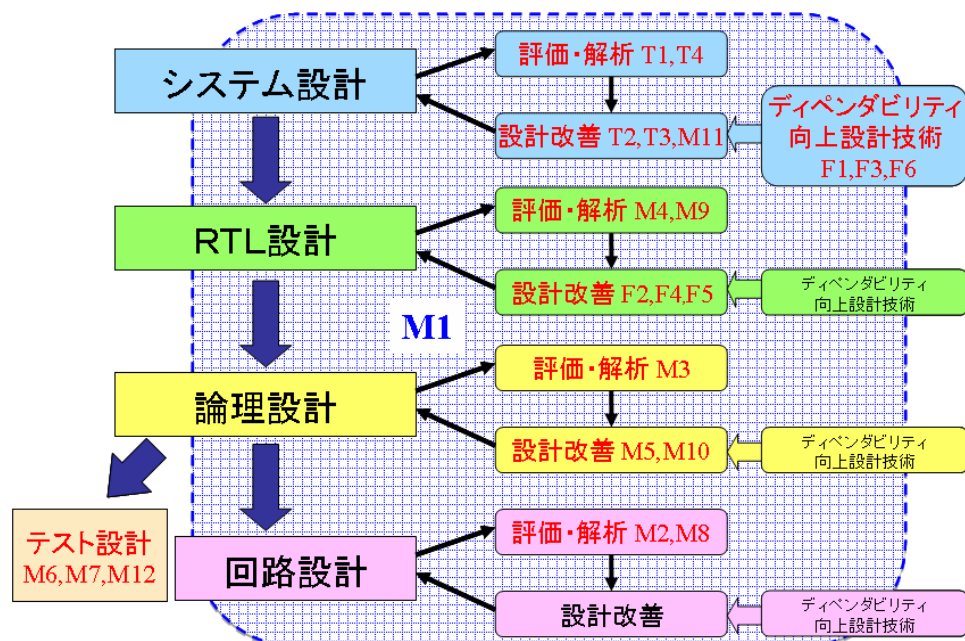


図2 設計フローとツールチェーン

成果 1.「論理回路のソフトエラー耐性評価ツールの開発」(九州大学松永グループ)

①内容

与えられたゲートレベルの論理回路に対して、ソフトエラーに起因する誤動作の確率を求める(ソフトエラー耐性を評価する)ツールの開発を行った。ソフトエラーの影響は論理ゲートの出力における異常パルスやフリップフロップの値の反転として現れる。ところが、これらの現象がそのまますべて回路全体の誤動作として現れるのではなく、いくつかの要因によってその伝搬がマスクされる。このマスク効果はソフトエラーがどのタイミングでどの部分で起こったか、回路がどのような状態にあったか、どのような外部入力系列が与えられたか、などの様々な要因で変化する(図 1-1)。

ソフトエラー耐性を正しく解析するためには上記のマスク効果の精度良い見積もりが必要である。一方、考えるさまざまな状況におけるマスク効果の計算をすべて行っていたら膨大な計算時間を必要とする。そこで高精度化と計算時間の短縮の両立を行うべく下記のように、設計抽象度に応じたエラーのモデル化と専用アルゴリズムの開発を行った。

電子回路レベルではタイミングや回路シミュレーションを考慮し連続時間で解析するツールを使用する。後半は、純粋に論理だけを考慮し離散時間で解析するツールを使用し、特性の異なる2つの手法を用意した(図 1-2)。

組合せ回路のエラー解析ツールの特徴は、エラー確率の上限を保証する回路規模に比例した計算時間の近似アルゴリズムである。順序回路の確率モデルを用いた解析ツールの特徴は、与えられた外部入力の確率分布のもとでの厳密値を保証するアルゴリズムで、単純な手法に比べて計算時間を数十倍～数百倍高速化している。順序回路の高速故障シミュレータを用いた解析ツールの特徴は、単純な手法に比べて数百倍～千倍の高速化を達成したことである。

これにより、従来の LSI の設計フロー(ライブラリセルの設計と論理設計の分離、論理合成+自動配置配線の適用など)と親和性の高いツールチェーンを構築した(図 1-3)。今後は、より抽象度の高い、プロセッサの命令セットレベルや SystemC/SystemVerilog などのシステム記述レベルにおけるエラー解析へとシームレスにつなげるエラーモデルの構築へと展開していく。

②有用性

このツールを用いることで、論理回路のソフトエラー耐性を具体的に評価することができる。通常の LSI の設計フローにおける STA(静的タイミング解析ツール)や消費電力解析ツールと同じような位置づけで用いることにより、性能、パワーとともに信頼性を考慮した設計を行うことが可能となる。また、信頼性の改善を目的とした論理合成手法を開発する際の評価基準を提供するツールとして用いることもできる。

③優位比較

既存研究ではデバイスレベル、回路レベル、組合せ論理回路レベルなど個々の設計抽象度におけるソフトエラーの振る舞いの解析を行っているが、それらを有機的に統合した手法の研究・開発例はほぼ皆無である。また、組合せ論理回路および順序回路レベルにおける解析ツールは独自開発したアルゴリズムにより数百倍～数千倍の高速化を達成している。

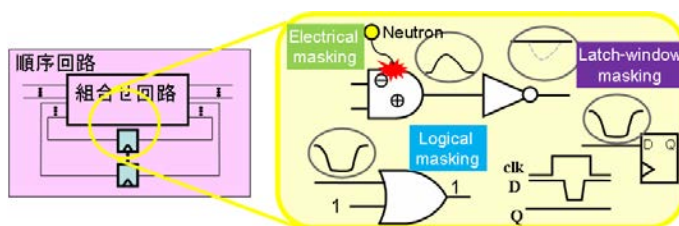


図 1-1 エラー伝搬のマスクング

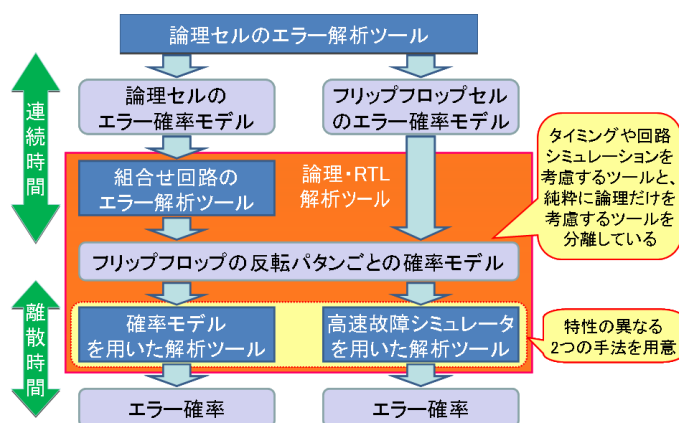


図 1-2 エラーモデルと解析ツール

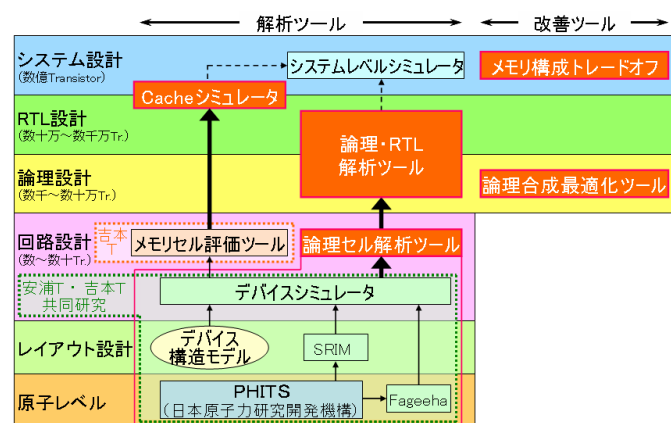


図 1-3 ソフトエラーの評価・解析ツールチェーン

成果 2.「CPU システムのソフトエラー耐性評価ツール、及び設計ツールの開発」(九州大学松永グループ)

①内容

システムレベルの設計抽象度において、メモリセルの SEU(Single Event Upset)を対象とし、CPU システムのソフトエラー耐性の評価を可能にするために、図 2-1 に示すソフトエラー脆弱性評価フローを提案し、ツールを実装した。開発した評価ツールは、メモリのソフトエラー率、プログラム、プログラムの入力、及びハードウェア構成から、図 2-2 に示すように、記憶階層を構成するメモリデバイスの使用量を時間的及び空間的に計算し、CPU の入力が誤る回数を計算する。図 2-3 に示すように、一般的なハードウェア構成においては、プログラムの実行時間と、ソフトエラー脆弱性の間にはトレードオフの関係が存在するという知見を計算機実験により初めて確認し、トレードオフを考慮する設計手法が重要であると考察した。

提案したソフトエラー耐性評価手法をもとに、図 2-4 に示すように、設計要求に基づき、種々の設計パラメータを決定する設計方法論を提案し、ツールを実装した。具体的には、設計要求によって定められるチップ面積、計算時間、及びソフトエラー耐性を考慮し、キャッシュサイズの決定、符号化の選択、メモリ部品の選択、部品の多重度の決定、及びスクラッチパッドメモリの採用、といった様々の意思決定を可能にした。

②有用性

デバイスレベルで抽出されるメモリデバイスのソフトエラー率をシステムレベルで用いることで、CPU システムにおける記憶階層のソフトエラー耐性を評価できるようになった。システムレベルにおいてソフトエラー耐性の評価が可能になったため、設計要求によって定められるチップ面積、計算時間、及びソフトエラー耐性を考慮し、キャッシュサイズの決定、符号化の選択、メモリ部品の選択、部品の多重度の決定、及びスクラッチパッドメモリの採用、といった様々の意思決定が、システムレベルに閉じて実現可能となった。

③優位比較

一定の確率に基づき、故障を挿入するシミュレーションによってソフトエラー耐性を評価する手法と比べて、開発を行ったソフトエラー耐性評価手法は一回のシミュレーションによる評価が可能であり、シミュレーション時間を抑制することができる。また、提案したシステム設計手法により、システムレベルに閉じて、チップ面積、計算時間、及びソフトエラー耐性の間に存在するトレードオフを考慮できるようになった。

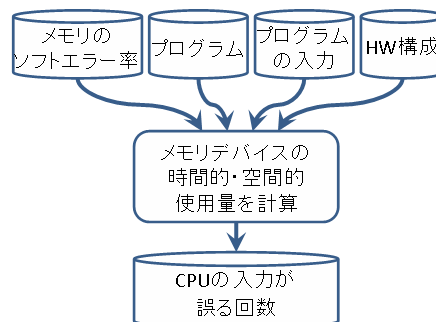


図 2-1 CPU のソフトエラー脆弱性評価フロー

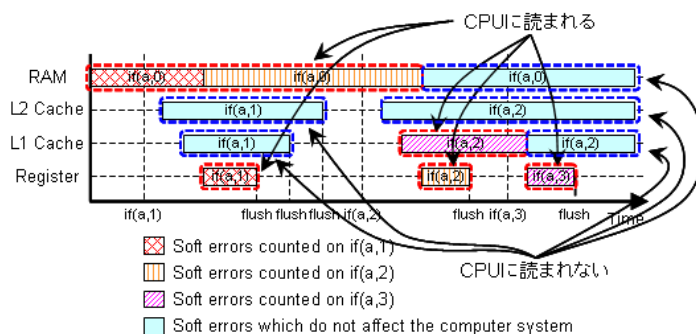


図 2-2 CPU に入力される SEU の特定

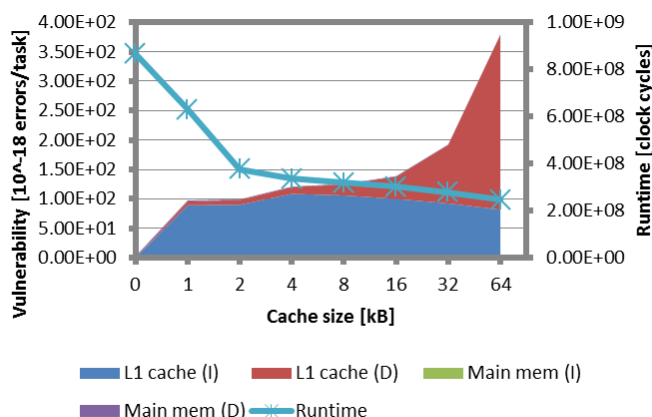


図 2-3 ソフトエラー脆弱性・実行時間の評価結果

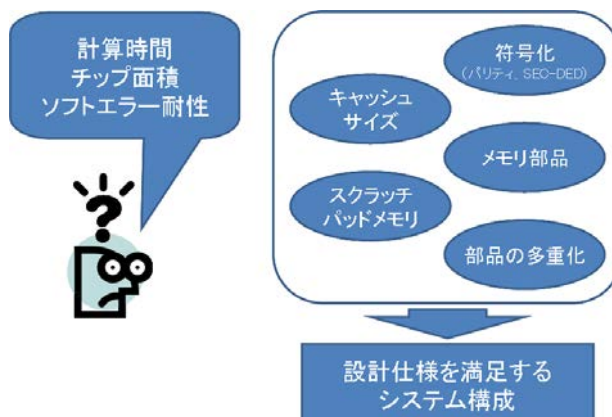


図 2-4 ソフトエラー耐性を考慮したシステム設計

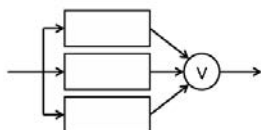
①内容

図 3-2 のカナリア・フリップフロップ (以下、カナリア FF と略記) を考案し、マイクロアーキテクチャと回路技術との協調で上記の課題を解決する。タイミングエラーに対して脆弱な部分にのみカナリア FF に置き換えることで面積増の課題を解決する。過大な設計マージンを取り除くことでエネルギー増の課題を解決する。そして、タイミングエラーを予測することで性能低下の課題を解決する。

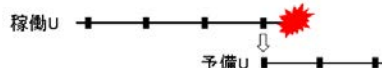
②有用性

命令セットシミュレータで、設計マージンを負荷する設計と比較して、エネルギーと性能に対する効果を確認した。過大な設計マージンを取り除き電源電圧を低下できるため、消費エネルギーは 20%削減可能である。また、

- ・ TMRでは
面積とエネルギーが増大



- ・チェックポイント回復では性能が低下し、エネルギーが増大



- ・ マージンを大きく取るとエネルギーが増大

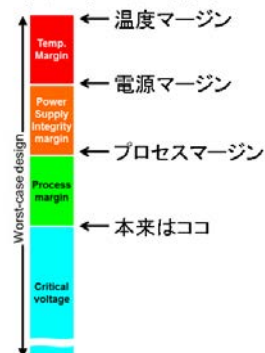


図 3-1 既存のタイミングエラー対策における課題

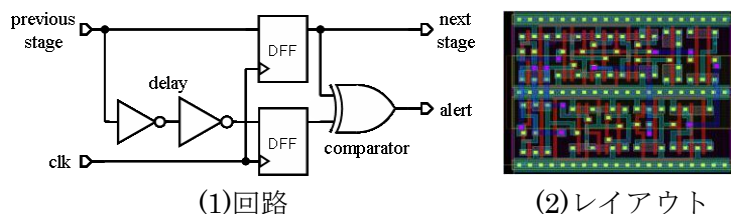


図 3-2 カナリア FF

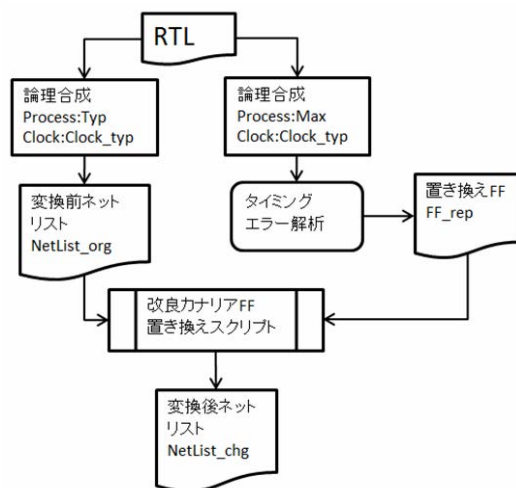


図 3-3 置き換えフロー

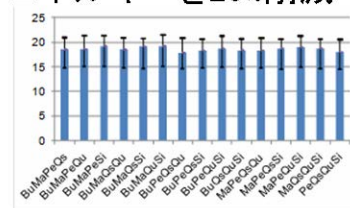
表 3-1 カナリア FF 置き換え割合

コア	FF総数	カナリアFF に置き換 えたFF数	置き換え 率
MeP	3,732	60	1.6%
miniMIPS	1,967	228	11.6%

- ・コア面積は微減

コア	タイミング 考慮前	タイミングエラー対策	
	Typical設計	設計マージン 付加	カプリアFF 採用
MeP	2.6659 mm ² 1	2.6959 mm ² + 1.1 %	2.6734 mm ² + 0.3 % 1 — 0.8 %
miniMIPS	0.4360 mm ² 1	0.5874 mm ² + 34.7 % 1	0.4678 mm ² + 7.3 % — 20.4 %

- ・ エネルギーを20%削減



- ・性能の低下は2%未満

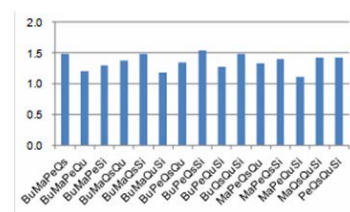


図 3-4 カナリア FF の効果

タイミングエラーが予測された時に限り対策されるため、性能に与える影響は極めて小さく、性能低下は 2%未満に過ぎない(図 3-4)。

③優位比較

ミシガン大学と ARM のグループは同様の技術である Razor フリップフロップを考案し、チップを試作している。我々は試作には至っていないがツールチェーンを完成している。また、チップ面積やマルチコア性能に関する新たな知見が得られている。

成果 4.「経年劣化に因るタイミングエラー対策技術の開発」(福岡大学グループ)

①内容

微細化の進展は電源電圧の低下を要求し、それに伴い図 4-1 に示すように Negative Bias Temperature Instability (NBTI) の深刻度が増している。トランジスタの動作速度が低下し、SRAM のスタティックノイズマージン(SNM)が悪化するため、SRAM が誤動作する恐れがある。

図 4-2 に示す通り、SRAM の構成上どちらか一方のロードトランジスタが必ず NBTI のストレス状況下にあり、経年劣化を回避できない。図 4-1 のように、NBTI にはストレスを排除すると回復するという特徴がある。これを利用して SRAM の長寿命化を図りたいが、図 4-2 のとおりデータ書き換えの頻度が小さいと回復の効果が無く、逆に頻繁にデータを書き換えると消費エネルギーが著しく増大する。

これらの課題を解決し、NBTI を軽減する回路を考案した。メモリへの書込み・読出し時に値を反転させるだけという極めて簡易な方法であり、遅延時間や回路面積への影響が小さく現実的である。

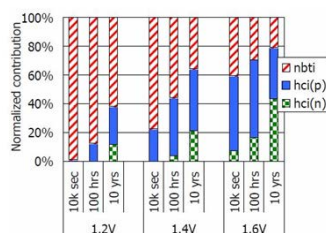
②有用性

レジスタファイルに図 4-3 の回路を採用すると、SRAM セルに保持される 0/1 の頻度が 50%に近づく。図 4-4 に示す通り、3 年後の SNM 劣化を 25%改善できた。また、この回路によるエネルギーの増大は 5%未満である。

③優位比較

ミネソタ大学で提案された方式を参考に考案したものであるが、彼らの方法では回復モードへの切り替え期間が長く、そのために有効に劣化を予防できないことをシミュレーションにより確認している。有用性という観点からは、我々の方が優れていると言える。

・ 電源電圧削減に従い NBTI の深刻度増大



・ 劣化と回復を繰り返す特徴的なNBTIの影響

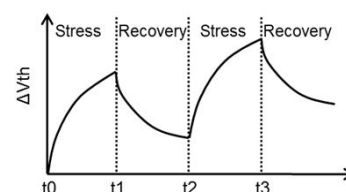
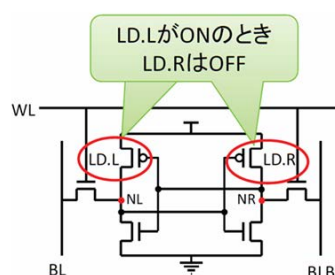


図 4-1 NBTI の特徴

・ SRAMでは、どちらか一方のload Trが必ずストレス状態



・ 書き換え周期が長いと回復効果を得られない

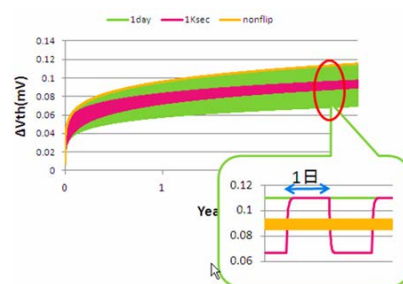


図 4-2 SRAM セルの経年劣化要因

・ 0/1が保持される頻度を 50%に近づける回路

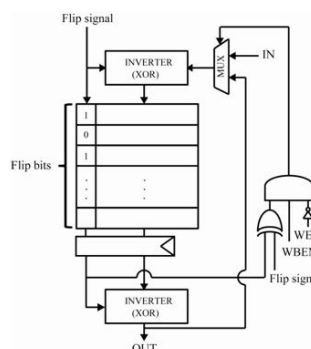
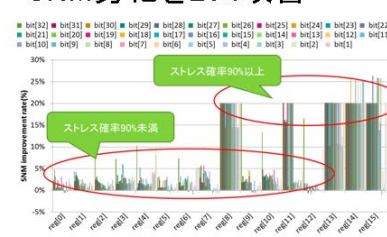


図 4-3 経年劣化対策回路

・ SNM劣化を25%改善



・ エネルギー増大は5%未満

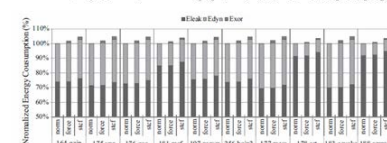


図 4-4 劣化対策の効果

成果 5.「悪意のある攻撃に対する安全性評価技術の開発」(九州大学安浦・松永グループ)

①内容

VLSI は社会システムに幅広くかつ大量に用いられるようになってきている。その一方で、VLSI やシステムに対する悪意のある攻撃による社会的な影響が問題となっている。この悪意のある攻撃への対応策を構築するために、攻撃に対する VLSI の脆弱性やシステムへの影響を評価した。

悪意のある攻撃の一つであるスキャンベース攻撃を対象とした。LSI の高集積化、微細化により、LSI の製造テストを容易にするテスト容易化設計は必須の技術である。スキャン設計はテスト容易化設計の一つであり、LSI 中の FF の値を外部から制御/観測可能にし、テストビリティを向上させる技術である。その一方で、スキャンベース攻撃は、このスキャン設計を悪用して、LSI の FF の値を制御観測することで、秘密情報を盗聴する。このスキャンベース攻撃に対する防御法の一つとして、テスト応答圧縮器を用いた手法がある。このテスト応答圧縮器はスキャンチェーン数が増加するほど、テストビリティが向上するが、面積も増加する。

テスト応答圧縮器を用いた防御法を適用した LSI の機密漏洩度合いを評価する手法を提案した。具体的には、相互情報量を用いて、機密漏洩度合いを定量的に評価した。その結果、テストビリティを向上させると、機密漏洩度合いが増加することを示した。

また、悪意のある攻撃への対策のアプリケーションへの影響を評価するために、具体例として、IC カード等を用いた生体情報による個人認証を考えた。生体情報の部分秘匿による漏洩対策の安全性と認証時間・精度とのトレードオフを評価した。

②有用性

悪意のある攻撃に対する機密漏洩度合いを定量的に評価することができる。この評価手法により、機密漏洩度合い、テストビリティと面積効率の関係を明示できる。LSI の設計段階で、機密漏洩度合いを考慮した設計を実現できる。また、アプリケーションレベルでの機密漏洩対策の影響を評価することができる。

③優位比較

既存研究として、様々な生体情報照合手法についての認証時間・精度の調査は広く行われている。LSI 上の漏洩対策による安全性の定量的な評価は、本成果の前半により初めて明らかになった。この安全性と、認証時間・精度というアプリケーションの性能とのトレードオフの考察は、まったく新しいアプローチである。

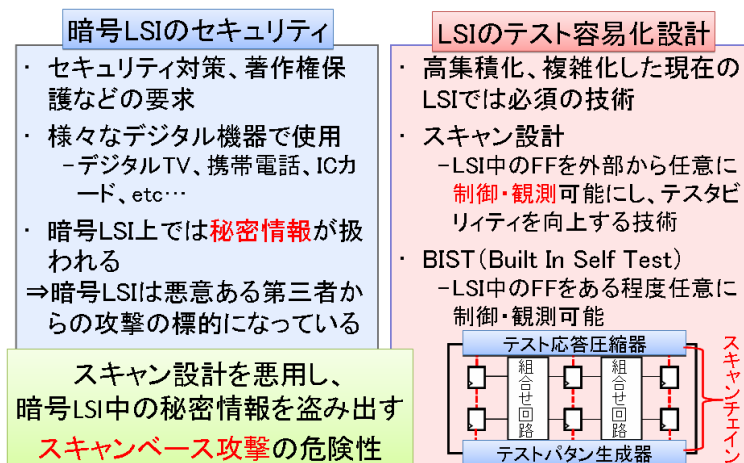


図 5-1 スキャンベース攻撃に対する防御手法の定量的評価

相互情報量(平文数3の時の値)、テスト実行に必要なクロックサイクル数、および正規化面積は、いずれも小さい値の方がよい

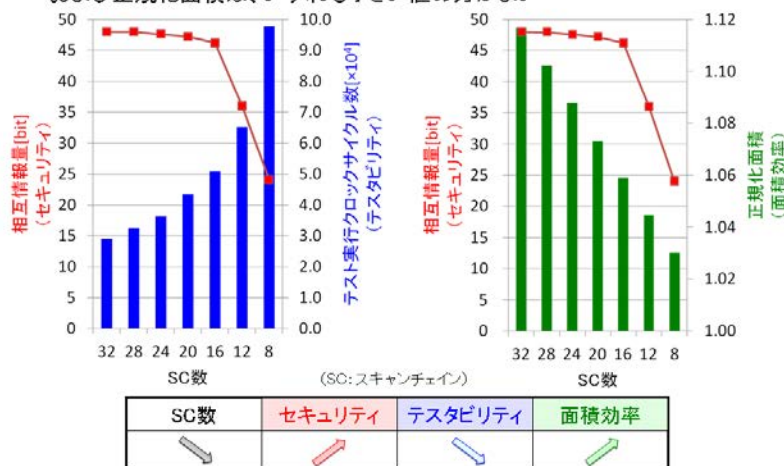


図 5-2 セキュリティ、テストビリティ、面積効率の関係

秘密情報のどの部分に漏洩防止対策を施すかによって悪意のある攻撃に対する安全性を定義



図 5-3 秘密情報の部分秘匿による漏洩防止対策の評価

(2) 上記(1)のうち、特筆すべき成果

(1) 特に顕著な成果(科学や技術の新しい分野の展望など)

- ・成果 1. 「論理回路のソフトエラー耐性評価ツールの開発」(九州大学松永グループ)
- ・成果 2. 「CPUシステムのソフトエラー耐性評価ツール、及び設計ツールの開発」(九州大学松永グループ)
- ・成果 3. 「ばらつきに因るタイミングエラー対策技術の開発」(福岡大学グループ)
- ・成果 4. 「経年劣化に因るタイミングエラー対策技術の開発」(福岡大学グループ)
- ・成果 5. 「悪意のある攻撃に対する安全性評価技術の開発」(九州大学安浦・松永グループ)

(2) 当初計画で想定外であった重要・新規な展開
なし

§ 4. 成果発表等

(1) 原著論文発表 (国内(和文)誌 5 件、国際(欧文)誌 102 件)

- [1] Makoto Sugihara, Tohru Ishihara and Kazuaki Murakami, "Architectural-Level Soft-Error Modeling for Estimating Reliability of Computer Systems," IEICE Trans. Electron., Vol.E90-C, No.10, pp.1983-1991, Oct. 2007. (DOI: 10.1093/ietele/e90-c.10.1983)
- [2] Toshimasa Funaki and Toshinori Sato, "Dependability-Performance Trade-off on Multiple Clustered Core Processors," Proc. 4th International Workshop on Dependable Embedded Systems, pp.1-5, Beijing, China, Oct. 2007. (DOI: 不明)
- [3] Tsuyoshi Sadakata, "Performance Improvement Methods Utilizing Complex Functional Units in Behavioral Synthesis," Proc. 15th Annual IFIP International Conf. on Very Large Scale Integration (VLSI-SoC 2007), pp.6-7, Atlanta, GA, USA, Oct. 2007. (DOI: 不明)
- [4] Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, "Power-Conscious Synthesis of Parallel Prefix Adders under Bitwise Timing Constraints," Proc. 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), pp.7-14, Hokkaido, Japan, Oct. 2007. (DOI: 不明)
- [5] Toshinori Sato and Yuji Kunitake, "Critical Issues Regarding A Variation Resilient Flip-Flop," Proc. 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), pp.280-286, Hokkaido, Japan, Oct. 2007. (DOI: 不明)
- [6] Shingo Watanabe, Akihiro Chiyonobu and Toshinori Sato, "Indirect Tag Search Mechanism for Instruction Window Energy Reduction," Proc. 7th International Conf. on Computer and Information Technology, pp.841-846, University of Aizu, Fukushima, Japan, Oct. 2007. (DOI: 10.1109/CIT.2007.98)
- [7] Taeko Matsunaga and Yusuke Matsunaga, "Timing-Constrained Area Minimization Algorithm for Parallel Prefix Adders," IEICE Trans. Fundamentals, Vol.E90-A, No.12, pp.2770-2777, Dec. 2007. (DOI: 10.1093/ietfec/e90-a.12.2770)
- [8] Toshinori Sato and Toshimasa Funaki, "Power-Performance Trade-off of a Dependable Multicore Processor," Proc. 13th IEEE Pacific Rim International Symposium on Dependable Computing, pp.268-271, Melbourne, Victoria, Australia, Dec. 2007. (DOI: 10.1109/PRDC.2007.22)
- [9] Mohammad Mesbah Uddin, Yasunobu Nohara, Daisuke Ikeda and Hiroto Yasuura, "A Multi-Application Smart Card System with Authentic Post-Issuance Program Modification," IEICE Trans. Fundamentals, Vol.E91-A, No.1, pp.229-235, Jan. 2008. (DOI: 10.1093/ietfec/e91-a.1.229)
- [10] Yuichiro Imaizumi and Toshinori Sato, "Folding Active List for High Performance and Low Power," High-Performance Computing, Vol.4759, pp.33-42, Springer-Verlag, Jan. 2008. (DOI: 不明)
- [11] Tsuyoshi Sadakata and Yusuke Matsunaga, "An Efficient Performance Improvement Method Utilizing Specialized Functional Units in Behavioral Synthesis," Proc. 13th Asia and South Pacific Design Automation Conf. (ASP-DAC 2008), pp.32-35, Seoul, Korea, Jan. 2008. (DOI: 10.1109/ASPDAC.2008.4483969)
- [12] Taiga Takata and Yusuke Matsunaga, "Area Recovery under Depth Constraint by Cut Substitution for Technology Mapping for LUT-based FPGAs," Proc. 13th Asia and South Pacific Design Automation Conf. (ASP-DAC 2008), pp.144-147, Seoul, Korea, Jan. 2008. (DOI: 10.1109/ASPDAC.2008.4483928)
- [13] Toshinori Sato and Toshimasa Funaki, "Dependability, Power, and Performance Trade-off on a Multicore

- Processor," Proc. 13th Asia and South Pacific Design Automation Conf. (ASP-DAC 2008), pp.714-719, Seoul, Korea, Jan. 2008. (DOI: 10.1109/ASPDAC.2008.4484044)
- [14] Sozo Inoue, Akihito Sonoda and Hiroto Yasuura, "Triage with RFID Tags for Massive Incidents," Edited by Syed Ahson and Mohammad Ilyas, RFID Handbook: Applications, Technology, Security and Privacy, chapter 18, pp.329-349, CRC Press, Mar. 2008. (DOI: 不明)
- [15] Yasunobu Nohara, Kensuke Baba, Sozo Inoue and Hiroto Yasuura, "Privacy and Personal Information Protection in RFID Systems," Edited by Syed Ahson and Mohammad Ilyas, RFID Handbook: Applications, Technology, Security and Privacy, chapter 27, pp.485-497, CRC Press, Mar. 2008. (DOI: 不明)
- [16] Yasunobu Nohara, Sozo Inoue and Hiroto Yasuura, "A Secure High-Speed Identification Scheme for RFID Using Bloom Filters," Proc. 3rd International Conf. on Availability, Reliability and Security (ARES 2008), pp.717-722, Technical University of Catalonia, Barcelona, Spain, Mar. 2008. (DOI: 10.1109/ARES.2008.83)
- [17] Toshinori Sato and Shingo Watanabe, "Instruction Scheduling for Variation-originated Variable Latencies," Proc. 9th International Symposium on Quality Electronic Design, pp.361-364, San Jose, CA, USA, Mar. 2008. (DOI: 10.1109/ISQED.2008.4479757)
- [18] Makoto Sugihara, "SEU Vulnerability of Multiprocessor Systems and Task Scheduling for Heterogeneous Multiprocessor Systems," Proc. 9th International Symposium on Quality Electronic Design, pp.757-762, San Jose, CA, USA, Mar. 2008. (DOI: 10.1109/ISQED.2008.4479833)
- [19] Makoto Sugihara, Tohru Ishihara and Kazuaki Murakami, "Reliable Cache Architectures and Task Scheduling for Multiprocessor Systems," IEICE Trans. Electron., Vol.E91-C, No.4, pp.410-417, Apr. 2008. (DOI: 10.1093/ietele/e91-c.4.410)
- [20] Tsuyoshi Sadakata and Yusuke Matsunaga, "A Behavioral Synthesis Method with Special Functional Units," IEICE Trans. Fundamentals, Vol.E91-A, No.4, pp.1084-1091, Apr. 2008. (DOI: 10.1093/ietfec/e91-a.4.1084)
- [21] 佐藤 寿倫, 舟木 敏正, "マルチコアプロセッサのための電力・性能間トレードオフを考慮したディペンダビリティ選択法," 情報処理学会論文誌, Vol.49, No.6, pp.2005-2015, June 2008. (DOI: なし)
- [22] 佐藤 寿倫, 国武 勇次, "ばらつき耐性を持つカナリア FF を利用したデザインマージン削減による省電力化," 情報処理学会論文誌, Vol.49, No.6, pp.2029-2042, June 2008. (DOI: なし)
- [23] Shingo Watanabe, Masanori Hashimoto and Toshinori Sato, "Cascading Dependent Operations for Mitigating Timing Variability," Proc. Workshop on Quality-Aware Design, 8 pages, Beijing, China, June 2008. (DOI: 不明)
- [24] Mohammad Mesbah Uddin, Salahuddin Muhammad Salim Zabir, Yasunobu Nohara and Hiroto Yasuura, "A Framework of Authentic Post-Issuance Program Modification for Multi-Application Smart Cards," Proc. the 2008 International Conf. on Wireless Networks (ICWN'08), pp.288-294, Las Vegas, NV, USA, June 2008. (DOI: 不明)
- [25] Shinsuke Ohtsuka, Satoshi Kawamoto, Shigeru Takano, Kensuke Baba and Hiroto Yasuura, "A Note on Biometrics-based Authentication with Portable Device," Proc. International Conf. on Security and Cryptography (SECRYPT 2008), pp.99-102, Porto, Portugal, July 2008. (DOI: 不明)
- [26] 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "タイミング歩留まり改善を目的とする演算カスケードリング," 情報処理学会論文誌コンピューティングシステム, Vol.1, No.2, pp.12-21, Aug. 2008. (DOI: なし)
- [27] Toshinori Sato, "A Simple Mechanism for Collapsing Instructions under Timing Speculation," IEICE Trans. Electron., Vol.E91-C, No.9, pp.1394-1402, Sep. 2008. (DOI: 10.1093/ietele/e91-c.9.1394)
- [28] Toshimasa Funaki and Toshinori Sato, "Formulating MITF for a Multicore Processor with SEU Tolerance," Proc. 11th Euromicro Conf. on Digital System Design, Vol.1, pp.234-241, Parma, Italy, Sep. 2008. (DOI: 10.1109/DSD.2008.48)
- [29] Taeko Matsunaga, Sinji Kimura and Yusuke Matsunaga, "Synthesis of Parallel Prefix Adders Considering Switching Activities," Proc. IEEE International Conf. on Computer Design (ICCD 2008), pp.404-409, Olympic Valley, CA, USA, Oct. 2008. (DOI: 10.1109/ICCD.2008.4751892)
- [30] Yuji Kunitake, Toshinori Sato and Hiroto Yasuura, "Mitigating Performance Loss in Aggressive DVS Using Dual-Sensing Flip-Flops," Proc. 16th IFIP/IEEE International Conf. on Very Large Scale Integration, pp.543-546, Rhodes Island, Greece, Oct. 2008. (DOI: 不明)
- [31] Kazuya Sugiki, Toshinori Hosokawa and Masayoshi Yoshimura, "A Test Generation Method for Datapath Circuits Using Functional Time Expansion Models," Proc. 9th Workshop on RTL and High Level Testing

- (WRTL 2008), pp.69–74, Sapporo, Japan, Nov. 2008. (DOI: 不明)
- [32] LingLing Wan, Motohiro Wakazono, Toshinori Hosokawa and Masayoshi Yoshimura, "A Bit flipping Reduction Method for Pseudo-random Patterns Using Don't Care Identification on BAST Architecture," Proc. 9th Workshop on RTL and High Level Testing (WRTL 2008), pp.111–116, Sapporo, Japan, Nov. 2008. (DOI: 不明)
- [33] Sho Kodama and Yusuke Matsunaga, "Binding Refinement for Multiplexer Reduction," IPSJ Trans. System LSI Design Methodology, Vol.2, No.2, pp.43–52, Feb. 2009. (DOI: 10.2197/ipsjtsldm.2.43)
- [34] Shingo Watanabe, Masanori Hashimoto and Toshinori Sato, "A Case for Exploiting Complex Arithmetic Circuits towards Performance Yield Enhancement," Proc. 10th International Symposium on Quality Electronic Design, pp.401–407, San Jose, CA, USA, Mar. 2009. (DOI: 10.1109/ISQED.2009.4810328)
- [35] Toshinori Sato and Shingo Watanabe, "Uncriticality-directed Scheduling for Tackling Variation and Power Challenges," Proc. 10th International Symposium on Quality Electronic Design, pp.820–825, San Jose, CA, USA, Mar. 2009. (DOI: 10.1109/ISQED.2009.4810398)
- [36] Yuji Kunitake, Kazuhiro Mima, Toshinori Sato and Hiroto Yasuura, "Enhancements of a Circuit-Level Timing Speculation Technique and Their Evaluations Using a Co-simulation Environment," IEICE Trans. Electron., Vol.E92-C, No.4, pp.483–491, Apr. 2009. (DOI: 10.1587/transele.E92.C.483)
- [37] Makoto Sugihara, "Reliability Inherent in Heterogeneous Multiprocessor Systems and Task Scheduling for Ameliorating Their Reliability," IEICE Trans. Fundamentals, Vol.E92-A, No.4, pp.1121–1128, Apr. 2009. (DOI: 10.1587/transfun.E92.A.1121)
- [38] Taiga Takata and Yusuke Matsunaga, "An Efficient Cut Enumeration for Depth-Optimum Technology Mapping for LUT-based FPGAs," Proc. ACM Great Lakes Symposium on VLSI, pp.351–357, Boston, MA, USA, May 2009. (DOI: 不明)
- [39] Tomomi Yamasaki, Shunsuke Inenaga, Daisuke Ikeda and Hiroto Yasuura, "Modeling Costs of Access Control with Various Key Management Systems," Proc. The 2009 International Conf. on Parallel and Distributed Processing Techniques and Applications (PDPTA'09), Vol.1, pp.676–682, Las Vegas, NV, USA, July 2009. (DOI: 不明)
- [40] Toru Nakamura, Shunsuke Inenaga, Daisuke Ikeda, Kensuke Baba and Hiroto Yasuura, "Anonymous Authentication Systems Based on Private Information Retrieval," Proc. First International Conf. on Networked Digital Technologies (NDT 2009), pp.53–58, Ostrava, Czech Republic, July 2009. (DOI: 10.1109/NDT.2009.5272083)
- [41] Taiga Takata and Yusuke Matsunaga, "Area Recovery under Depth Constraint for Technology Mapping for LUT-based FPGAs," IPSJ Trans. System LSI Design Methodology, Vol.2, pp.200–211, Aug. 2009. (DOI: 10.2197/ipsjtsldm.2.200)
- [42] Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, "Framework for Parallel Prefix Adder Synthesis Considering Switching Activities," IPSJ Trans. System LSI Design Methodology, Vol.2, pp.212–221, Aug. 2009. (DOI: 10.2197/ipsjtsldm.2.212)
- [43] Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, "Multi-Operand Adder Synthesis on FPGAs using Generalized Parallel Counters," Proc. 18th International Workshop on Logic and Synthesis 2009, pp.222–228, Berkeley, CA, USA, Aug. 2009. (DOI: 不明)
- [44] Taiga Takata and Yusuke Matsunaga, "A Power-aware Post-processing under depth constraint for LUT-based FPGA Technology Mapping," Proc. 18th International Workshop on Logic and Synthesis 2009, pp.332–339, Berkeley, CA, USA, Aug. 2009. (DOI: 不明)
- [45] Makoto Sugihara, "Heterogeneous Multiprocessor Synthesis under Performance and Reliability constraints," Proc. 12th Euromicro Conf. on Digital System Design, pp.333–340, Patras, Greece, Aug. 2009. (DOI: 10.1109/DSD.2009.217)
- [46] Taiga Takata and Yusuke Matsunaga, "Efficient Cut Enumeration Heuristics for Depth-Optimum Technology Mapping for LUT-based FPGAs," IEICE Trans. Fundamentals, Vol.E92-A, No.12, pp.3268–3276, Dec. 2009. (DOI: 10.1587/transfun.E92.A.12)
- [47] Kensuke Baba, Eisuke Ito, Naomi Yoshimatsu, Nami Hoshiko and Kazuaki Murakami, "A Model of Publication of Scholarly Papers on Institutional Repositories," Proc. DRF International Conf. 2009, Tokyo Institute of Technology, Japan, Dec. 2009. (DOI: 不明)
- [48] Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, "Multi-Operand Adder Synthesis on FPGAs Using

- Generalized Parallel Counters," Proc. 15th Asia and South Pacific Design Automation Conf. (ASP-DAC 2010), pp.337-342, Taipei, Taiwan, Jan. 2010. (DOI: 10.1109/ASPDAC.2010.5419871)
- [49]Toru Nakamura, Shunsuke Inenaga, Daisuke Ikeda, Kensuke Baba and Hiroto Yasuura, "An Identifiable Yet Unlinkable Authentication System with Smart Cards for Multiple Services," Proc. 2010 International Conf. on Computational Science and Its Applications (ICCSA 2010), pp.236-251, Vol.6019, No.4, LNCS, Fukuoka, Japan, Mar. 2010. (DOI: 不明)
- [50]Yuji Kunitake, Toshinori Sato and Hiroto Yasuura, "Signal Probability Control for Relieving NBTI in SRAM Cells," Proc. 11th International Symposium on Quality Electronic Design, pp.660-666, San Jose, CA, USA, Mar. 2010. (DOI: 10.1109/ISQED.2010.5450504)
- [51]Masayoshi Yoshimura, Hiroshi Ogawa, Toshinori Hosokawa and Koji Yamazaki, "Evaluation of Transition Untestable Faults Using a Multi-Cycle Capture Test Generation Method," Proc. 13th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems, Vol.1, pp.273-276, Vienna, Austria, Apr. 2010. (DOI: 10.1109/DDECS.2010.5491771)
- [52]Shoji Harada, Masayoshi Yoshimura and Yusuke Matsunaga, "TMR based Error Correction Method Considering Trade-off between Area and Soft-Error Tolerance," Proc. 19th International Workshop on Logic and Synthesis 2010, pp.69-75, University of California Irvine, CA, USA, June 2010. (DOI: 不明)
- [53]Yuji Kunitake, Toshinori Sato and Hiroto Yasuura, "A Case Study of Short Term Cell-Flipping Technique for Mitigating NBTI degradation on Cache," Proc. 2nd Asia Symposium on Quality Electronic Design, pp.301-307, Penang, Malaysia, Aug. 2010. (DOI: 10.1109/ASQED.2010.5548256)
- [54]Makoto Sugihara, "Dynamic Control Flow Checking Technique for Reliable Microprocessors," Proc. 13th Euromicro Conf. on Digital System Design, pp. 232-239, Lille, France, Sep. 2010. (DOI: 10.1109/DSD.2010.81)
- [55]Masayoshi Yoshimura, Yuma Ito and Hiroto Yasuura, "An estimation of encryption LSI testability against scan-based attack," Proc. International Symposium on Communications and Information Technologies 2010 (ISCIT 2010), pp.727-731, Meiji University, Tokyo, Japan, Oct. 2010. (DOI: 10.1109/ISCIT.2010.5665083)
- [56]Toshinori Hosokawa, Yun Chen, LingLing Wan, Motohiro Wakazono and Masayoshi Yoshimura, "A Test Pattern Matching Method on BAST Architecture Using Don't Care Identification for Random Pattern Resistant Faults," Proc. International Symposium on Communications and Information Technologies 2010 (ISCIT 2010), pp.738-743, Meiji University, Tokyo, Japan, Oct. 2010. (DOI: 10.1109/ISCIT.2010.5665085)
- [57]Yoshimi Otsuka, Toshinori Sato, Takahito Yoshiaki and Takanori Hayashida, "MultiCore Energy Reduction Utilizing Canary FF," Proc. International Symposium on Communications and Information Technologies 2010 (ISCIT 2010), pp.922-927, Meiji University, Tokyo, Japan, Oct. 2010. (DOI: 10.1109/ISCIT.2010.5665119)
- [58]Makoto Sugihara, "On Synthesizing a Reliable Multiprocessor for Embedded Systems," IEICE Trans. Fundamentals, Vol.E93-A, No.12, pp.2560-2569, Dec. 2010. (DOI: 10.1587/transfun.E93.A.2560)
- [59]Toshinori Hosokawa, Teppei Hayakawa and Masayoshi Yoshimura, "A Comprehensive Functional Time Expansion Model Generation Method for Datapaths Using Controllers," Proc. 11th Workshop on RTL and High Level Testing (WRTLTL 2010), pp.131-138, Shanghai, China, Dec. 2010. (DOI: 不明)
- [60]Yuji Kunitake, Toshinori Sato and Hiroto Yasuura, "A Replacement Strategy for Canary Flip-Flops," Proc. 16th IEEE Pacific Rim International Symposium on Dependable Computing, pp.227-228, National Institute of Informatics, Tokyo, Japan, Dec. 2010. (DOI: 10.1109/PRDC.2010.46)
- [61]Toru Nakamura, Shunsuke Inenaga, Kensuke Baba, Daisuke Ikeda and Hiroto Yasuura, "An Anonymous Authentication Protocol with Single-database PIR," Australasian Information Security Conference 2011 (AISC 2011), pp.3-8, Vol.116, Perth, Australia, Jan. 2011. (DOI: 不明)
- [62]Masayoshi Yoshimura, Yusuke Akamine and Yusuke Matsunaga, "An SER Analysis Method for Sequential Circuits," 7th Workshop on Silicon Errors in Logic - System Effects (SELSE7), University of Illinois, USA, Mar. 2011. (DOI: 不明)
- [63]Taiga Takata and Yusuke Matsunaga, "A Robust Algorithm for Pessimistic Analysis of Logic Masking Effects in Combinational Circuits," 7th Workshop on Silicon Errors in Logic - System Effects (SELSE7), University of Illinois, USA, Mar. 2011. (DOI: 不明)
- [64]S. Yoshimoto, T. Amashita, D. Koziwa, T. Takata, M. Yoshimura, Y. Matsunaga, H. Yasuura, H. Kawaguchi and M. Yoshimoto, "Multiple-Bit-Upset Tolerant 8T SRAM Cell Layout with Divided Wordline Structure," 7th Workshop on Silicon Errors in Logic - System Effects (SELSE7), University of Illinois, USA,

Mar. 2011. (DOI: 不明)

- [65] Makoto Sugihara, "A Dynamic Continuous Signature Monitoring Technique for Reliable Microprocessors," IEICE Trans. Electron., Vol.E94-C, No.4, pp.477-486, Apr. 2011. (DOI: 10.1587/transele.E94.C.477)
- [66] Yuji Kunitake, Toshinori Sato and Hiroto Yasuura, "Short Term Cell-Flipping Technique for Mitigating SNM Degradation Due to NBTI," IEICE Trans. Electron., Vol.E94-C, No.4, pp.520-529, Apr. 2011. (DOI: 10.1587/transele.E94.C.520)
- [67] Toru Nakamura, Shunsuke Inenaga, Daisuke Ikeda, Kensuke Baba and Hiroto Yasuura, "Password Based Anonymous Authentication with Private Information Retrieval," Journal of Digital Information Management, Vol.9, No.2, pp.72-78, Apr. 2011. (DOI: 不明)
- [68] Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, "Synthesis of GPC-based Compressor Trees Targeting Delay and Power Aware Implementation on FPGAs," Proc. 20th International Workshop on Logic and Synthesis 2011 (IWLS 2011), pp.1-8, UC San Diego, CA, USA, June 2011. (DOI: 不明)
- [69] Taiga Takata and Yusuke Matsunaga, "A Robust CODC-based Heuristic to Extract Observability Don't Care Set," Proc. 20th International Workshop on Logic and Synthesis 2011 (IWLS 2011), pp.105-111, UC San Diego, CA, USA, June 2011. (DOI: 不明)
- [70] Ali Ismail Awad and Kensuke Baba, "Fingerprint Singularity Detection: a Comparative Study," Second International Conference on Software Engineering and Computer Systems (ICSECS 2011), Kuantan, Malaysia, June 2011. published in the "Software Engineering and Computer Systems, Communications in Computer and Information Science, Vol.179, pp.122-132, Springer-Verlag, June 2011." (DOI: 不明)
- [71] Toshinori Sato, Takahito Yoshiki and Takanori Hayashida, "Multicore Power Management Utilizing Error-Predicting Flip-flop," 4th International Workshop on Multi-Core Computing Systems (MuCoCoS 2011) in conjunction with International Conf. on Complex, Intelligent, and Software Intensive Systems (CISIS 2011), pp.606-611, Seoul, Korea, June 2011. (DOI: 10.1109/CISIS.2011.100)
- [72] Ali Ismail Awad and Kensuke Baba, "An Application for Singular Point Location in Fingerprint Classification," International Conference on Digital Information Processing and Communications (ICDIPC 2011), Ostrava, Czech Republic, July 7-9, 2011. published in the "Digital Information Processing and Communications, Communications in Computer and Information Science, Vol.188, pp.262-276, Springer-Verlag, July 2011." (DOI: 不明)
- [73] Shusuke Yoshimoto, Takuro Amashita, Daisuke Kozuwa, Taiga Takata, Masayoshi Yoshimura, Yusuke Matsunaga, Hiroto Yasuura, Hiroshi Kawaguchi and Masahiko Yoshimoto "Multiple-Bit-Upset and Single-Bit-Upset Resilient 8T SRAM Bitcell Layout with Divided Wordline Structure," Proc. 17th International On-Line Testing Symposium 2011 (IOLTS 2011), pp.151-156, Athens, Greece, July 2011. (DOI: 10.1109/IOLTS.2011.5993829)
- [74] Taiga Takata and Yusuke Matsunaga, "A Robust Algorithm for Pessimistic Analysis of Logic Masking Effects in Combinational Circuits," Proc. 17th International On-Line Testing Symposium 2011 (IOLTS 2011), pp.246-251, Athens, Greece, July 2011. (DOI: 10.1109/IOLTS.2011.5994537)
- [75] Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, "Power and Delay Aware Synthesis of Multi-Operand Adders Targeting LUT-based FPGAs," Proc. International Symposium on Low Power Electronics and Design 2011 (ISLPED 2011), pp.217-222, Fukuoka Convention Center, Fukuoka, Japan, Aug. 2011. (DOI: 10.1109/ISLPED.2011.5993639)
- [76] Yuji Kunitake, Toshinori Sato, Hiroto Yasuura, and Takanori Hayashida, "A Selective Replacement Method for Timing-Error-Predicting Flip-Flops," Proc. 54th International Midwest Symposium on Circuits and Systems (MWSCAS), [P03_1006] 4 pages, Seoul, Korea, Aug. 2011. (DOI: 10.1109/MWSCAS.2011.6026267)
- [77] Yuji Kunitake, Toshinori Sato, Hiroto Yasuura, and Takanori Hayashida, "Possibilities to Miss Predicting Timing Errors in Canary Flip-flops," Proc. 54th International Midwest Symposium on Circuits and Systems (MWSCAS), [P16_1002] 4 pages, Seoul, Korea, Aug. 2011. (DOI: 10.1109/MWSCAS.2011.6026656)
- [78] Masayoshi Yoshimura, Yusuke Akamine and Yusuke Matsunaga, "A Soft Error Tolerance Estimation Method for Sequential Circuits," Proc. International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems 2011 (DFT 2011), pp.268-276, Vancouver, Canada, Oct. 2011. (DOI: 10.1109/DFT.2011.22)
- [79] 森本 喬, 小林 良太郎, 杉原 真, "スクラッチパッドメモリ搭載組込みシステムのソフトエラー耐性を向上するメモリオブジェクト配置手法," 情報処理学会組込みシステムシンポジウム 2011 (ESS2011),

- pp.12.1-12.10, 国立オリンピック記念青少年総合センター(東京都), Oct. 2011. (DOI: 不明)
- [80] Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, "Multi-Operand Adder Synthesis Targeting FPGAs," IEICE Trans. Fundamentals, Vol.E94-A, No.12, pp.2579-2586, Dec. 2011. (DOI: 10.1587/transfun.E94.A.2579)
- [81] Ali Ismail Awad and Kensuke Baba, "FingRF: A Generalized Fingerprints Research Framework," International Conference on Advances in Information Technology and Communication (AIT 2011), Amsterdam, Netherlands, Dec. 2011. published in the "Lecture Notes of the Institute for Computer Sciences, Social Informatics and Telecommunications Engineering, pp.1-6, Springer-Verlag, Dec. 2011." (DOI: 不明)
- [82] Ali Ismail Awad and Kensuke Baba, "Singular Point Detection for Efficient Fingerprint Classification," International Journal of New Computer Architectures and their Applications (IJNCAA), Vol.2, No.1, pp.1-7, SDIWC, Jan. 2012. (DOI: 不明)
- [83] Toshinori Sato, Hideki Mori, Rikiya Yano and Takanori Hayashida, "Importance of Single-Core Performance in the Multicore Era," 35th Australasian Computer Science Conference (ACSC 2012), pp.107-113, Melbourne, Australia, Jan. 2012. (DOI: なし)
- [84] Taiga Takata and Yusuke Matsunaga, "A Robust Algorithm for Pessimistic Analysis of Logic Masking Effects in Combinational Circuits," IPSJ Trans. System LSI Design Methodology, Vol.5, pp.55-62, Feb. 2012. (DOI: 10.2197/ipsjtsldm.5.55)
- [85] Masayoshi Yoshimura, Yusuke Akamine and Yusuke Matsunaga, "An Exact Estimation Algorithm of Error Propagation Probability for Sequential Circuits," IPSJ Trans. System LSI Design Methodology, Vol.5, pp.63-70, Feb. 2012. (DOI: 10.2197/ipsjtsldm.5.63)
- [86] Ali Ismail Awad and Kensuke Baba, "An Application of Singular Point Location in Fingerprint," International Journal of Digital Information and Wireless Communications (IJDWC), Vol.1, No.3, pp.648-653, SDIWC, Feb. 2012. (DOI: 不明)
- [87] Ken Yano, Takahito Yoshiki, Takanori Hayashida and Toshinori Sato, "An Automated Design Approach of Dependable VLSI Using Improved Canary FF," 7th International Workshop on Unique Chips and Systems (UCAS-7), pp.34-39, New Orleans, Louisiana, USA, Feb. 2012. (DOI: なし)
- [88] Taiga Takata and Yusuke Matsunaga, "A Quantitative Analysis of Soft Error Propagation in Sequential Circuits," 8th Workshop on Silicon Errors in Logic - System Effects (SELSE8), University of Illinois, USA, Mar. 2012. (DOI: 不明)
- [89] Serina Egawa, Ali Ismail Awad and Kensuke Baba, "Evaluation of Acceleration Algorithm for Biometric Identification," The Fourth International Conference on Networked Digital Technologies (NDT 2012), Dubai, UAE, Apr. 2012. published in the "Networked Digital Technologies, Part 2, Communications in Computer and Information Science, Vol.294, pp.231-242, Springer, Apr. 2012." (DOI: 不明)
- [90] Taiga Takata, Masayoshi Yoshimura and Yusuke Matsunaga, "An Efficient Fault Simulation Algorithm for Analyzing Incorrect State Transitions Induced by Soft Errors in Sequential Circuits," Proc. 21st International Workshop on Logic and Synthesis 2012 (IWLS 2012), pp.146-151, Berkeley, CA, USA, June 2012. (DOI: 不明)
- [91] Shusuke Yoshimoto, Takuro Amashita, Masayoshi Yoshimura, Yusuke Matsunaga, Hiroto Yasuura, Shintaro Izumi, Hiroshi Kawaguchi and Masahiko Yoshimoto, "Neutron-Induced Soft Error Rate Estimation for SRAM Using PHITS," Proc. 18th International On-Line Testing Symposium 2012 (IOLTS 2012), pp.138-141, Sitges, Spain, June, 2012. (DOI: 10.1109/IOLTS.2012.nn)
- [92] Toshinori Sato, Takanori Hayashida and Ken Yano, "Dynamically Reducing Overestimated Design Margin of MultiCores," Proc. 2012 International Conference on High Performance Computing & Simulation (HPCS 2012), pp.403-409, Madrid, Spain, Jul. 2012. (DOI: 10.1109/HPCSim.2012.6266944)
- [93] Ali Ismail Awad and Kensuke Baba, "Evaluation of a Fingerprint Identification Algorithm with SIFT Features," Proc. 2012 IIAI International Conference on Advanced Applied Informatics (IIAIAI 2012), pp.129-132, Fukuoka, Japan, Sep. 2012. (DOI: 10.1109/IIAI-AAI.2012.34)
- [94] Yuji Kunitake, Toshinori Sato, Hiroto Yasuura and Takanori Hayashida, "Guidelines for Mitigating NBTI Degradation in On-chip Memories," Proc. 12th International Symposium on Communications and Information Technologies (ISCIT 2012), pp.822-827, Gold Coast, Australia, Oct. 2012. (DOI: 10.1109/ISCIT.2012.6381015)
- [95] 岩永 明人, 杉原 真, "信頼性要求に基づいた耐故障性を実現する TDMA スケジューリング手法," 情報

処理学会組込みシステムシンポジウム 2012(ESS2012), pp.39-47, 国立オリンピック記念青少年総合センター(東京都), Oct. 2012. (DOI: 不明)

- [96]Yuji Kunitake, Toshinori Sato, Hiroto Yasuura and Takanori Hayashida, "A Selective Replacement Method for Timing-Error-Predicting Flip-Flops," Journal of Circuits, Systems and Computers, Vol.21, No.6, 14 pages, Nov. 2012. (DOI: 10.1142/S0218126612400130)
- [97]Ken Yano, Takanori Hayashida and Toshinori Sato, "Analysis of SER Improvement by Radiation Hardened Latches," Proc. 18th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2012), pp.89-95, Niigata, Japan, Nov. 2012. (DOI: 10.1109/PRDC.2012.9)
- [98]Masayoshi Yoshimura, Amy Ogita and Toshinori Hosokawa, "An Estimation of Trojan Circuits on AES Encryption Circuits," IEEE Twelfth Workshop on RTL and high level testing (WRTL'12), Session 1.3, Niigata, Japan, Nov. 2012. (DOI: 不明)
- [99]Toshinori Hosokawa, Akihiko Takahashi, Hiroshi Yamazaki and Masayoshi Yoshimura, "A Test Point Insertion Method Using Don't Care Identification and Test Compaction Techniques to Reduce Test Application Time for Transition Faults," IEEE Twelfth Workshop on RTL and high level testing (WRTL'12), Session 2.4, Niigata, Japan, Nov. 2012. (DOI: 不明)
- [100]Taiga Takata, Masayoshi Yoshimura and Yusuke Matsunaga, "An Efficient Fault Simulation Algorithm for Analyzing Incorrect State Transitions Induced by Soft Errors in Sequential Circuits," IEEE Twelfth Workshop on RTL and high level testing (WRTL'12), Session 3.3, Niigata, Japan, Nov. 2012. (DOI: 不明)
- [101]Makoto Sugihara and Akihito Iwanaga, "Minimization of FlexRay Bus Bandwidth for Hard Real-Time Applications," Journal of Information Processing, Vol.21, No.1, pp.46-51, Jan. 2013. (DOI: 不明)
- [102]Kensuke Baba and Serina Egawa, "A Note on Authentication Accuracy with Multiple Biometric Images," Proc. Fourth International Conference on Intelligent Systems, Modelling and Simulation (ISMS 2013), pp.52-55, Bangkok, Thailand, Jan. 2013. (DOI: 不明)
- [103]Ken Yano, Takanori Hayashida and Toshinori Sato, "Improving Timing Error Tolerance without Impact on Chip Area and Power Consumption," 15th International Symposium on Quality Electronic Design (ISQED 2013), P.11, Santa Clara, USA, Mar. 2013. (DOI: 10.1109/ISQED.2013.nn)
- [104]Kensuke Baba and Serina Egawa, "A Dependability Analysis of Smart Cards for Biometric Authentication," Proc. International Conference e-Society (IADIS 2013), pp.463-466, Lisbon, Portugal, Mar. 2013. (DOI: 不明)
- [105]Masayoshi Yoshimura and Yusuke Matsunaga, "Bridging the Gap between Device Level Modeling and Register Transfer Level Modeling," 1st RIIF Workshop, Grenoble, France, Mar. 2013. (DOI: 不明)
- [106]Kensuke Baba and Serina Egawa, "A Data Structure for Efficient Biometric Identification," 2013 Asian Conference on Availability, Reliability and Security (AsiaARES 2013), Yogyakarta, Indonesia, Mar. 2013. published in the "Information and Communication Technology, Lecture Notes in Computer Science, vol.7804, pp.528-533, Springer, Mar. 2013." (DOI: 不明)
- [107]Hiroshi Yamazaki, Motohiro Wakazono, Toshinori Hosokawa and Masayoshi Yoshimura, "A Don't Care Identification Method for Test Compaction," 2013 IEEE 16th International Symposium on Design and Diagnostics of Electric Circuits and Systems (DDECS 2013), accepted, Karlovoy Vary, Czech Republic, Apr. 2013. (DOI: 不明)

(2)その他の著作物(総説、書籍など)

- [1]Makoto Sugihara, "Simulation and Synthesis Techniques for Soft Error-resilient Microprocessors," Chapter 4 in Embedded Systems - Theory and Design Methodology, pp.73-100, InTech, ISBN :978-953-51-0167-3, Mar. 2012.
- [2]安浦 寛人, "安全な社会システムを支えるディペンダブルコンピューティング," IC ガイドブック —2012 年版— (編著 JEITA 半導体部会 半導体産業委員会), Apr. 2012.

(3)国際学会発表及び主要な国内学会発表

①招待講演 (国内会議 1 件、国際会議 6 件)

- [1]Toshinori Sato, "[Invited Paper] Architecture Challenge on SoC Design with Unreliable Transistors," Proc. International SoC Design Conf., pp.25-30, Seoul, Korea, Oct. 2007.
- [2]Hiroto Yasuura, "[Invited Paper] Dependability of VLSI for Applications in Social Information

- Infrastructure," Proc. International SoC Design Conf., pp.73-76, Seoul, Korea, Oct. 2007.
- [3] Organizer: Shuichi Sakai, Panelists: Hidetoshi Onodera, Hiroto Yasuura and James C. Hoe, "Invited Talks + Panel Discussion: Dependable VLSI: Device, Design and Architecture - How should they cooperate ? -," Proc. 14th Asia and South Pacific Design Automation Conf. (ASP-DAC 2009), pp.859-860, Yokohama, Japan, Jan. 2009.
- [4] 安浦 寛人, "情報通信技術と社会システムアーキテクチャ," 情報処理学会創立 50 周年記念全国大会・平成 21 年度科研特定領域「情報爆発 IT 基盤」プロジェクトシンポジウム, 東京大学 本郷キャンパス, Mar. 2010.
- [5] Hiroto Yasuura, "[Invited Talk] A Tool Chain for Dependable VLSI Design - A challenge to soft-error tolerant VLSI Systems -," VDEC D2T Symposium, University of Tokyo, Japan, June 2010.
- [6] Hiroto Yasuura, "[Invited Talk] Social Information Infrastructure and Dependable ICT," International Workshop on IT and Future Society, Jeju, Korea, Oct. 2010.
- [7] Yusuke Matsunaga, "An EDA Tool Chain for Soft-Error Tolerant VLSI Design," 29th VLSI Test Symposium (VTS 2011), Dana Point, CA, USA, May 2011.

②口頭発表 (国内会議 123 件、国際会議 4 件)

- [1] 佐藤 寿倫, 舟木 敏正, "性能・消費電力・信頼性の間のトレードオフを考慮出来るマルチ・クラスタ型コア・プロセッサ," 信学技報 CPSY2007-31, Vol.107, No.276, pp.39-44, 熊本大学, Oct. 2007.
- [2] 野原 康伸, 井上 創造, 安浦 寛人, "ブルームフィルタを用いた高速 RFID 識別方式," 情報処理学会コンピュータセキュリティシンポジウム 2007 論文集, Vol.2007, No.10, pp.301-306, 奈良新公会堂, Oct. 2007.
- [3] 中村 徹, 稲永 俊介, 馬場 謙介, 池田 大輔, 安浦 寛人, "プライバシ保護技術の評価のための権限認証モデル," 情報処理学会コンピュータセキュリティシンポジウム 2007 論文集, Vol.2007, No.10, pp.405-410, 奈良新公会堂, Oct. 2007.
- [4] 松永 多苗子, 木村 晋二, 松永 裕介, "Ling のキャリー計算に基づく parallel prefix adder 合成について," 情処学研報 2007-SLDM-132, pp.49-54, 北九州国際会議場, Nov. 2007.
- [5] 貞方 毅, 松永 裕介, "専用演算器の使用を考慮した効率的な動作合成手法," 信学技報 VLD2007-101, Vol.107, No.336, pp.55-60, 北九州国際会議, Nov. 2007.
- [6] 高田 大河, 松永 裕介, "LUT 型 FPGA 向けテクノロジ・マッピングにおける深さ制約下の LUT 数削減手法," 情処学研報 2007-SLDM-132, pp.73-78, 北九州国際会議, Nov. 2007.
- [7] 安浦寛人, "統合的高信頼化設計のためのモデル化と検出・訂正・回復技術," CREST「ディペンダブル VLSI システムの基盤技術」研究領域 平成 19 年度ワークショップ, 科学技術振興機構 東京本部, Dec. 2008.
- [8] 大森 悠翔, 小河 宏志, 細川 利典, 吉村 正義, 山崎 浩二, "マルチサイクルキャプチャテストを用いたフルスキャン設計回路のテスト生成," 第 58 回 FTC 研究会, 6 pages, 島根県ウエルハートピア雲仙小浜, Jan. 2008.
- [9] 齊藤 善洋, 湯本 仁高, 細川 利典, 吉村 正義, "N ハミング距離テストパターン圧縮に基づくテストパターン数削減指向テストポイント挿入法," 第 58 回 FTC 研究会, 10 pages, 島根県ウエルハートピア雲仙小浜, Jan. 2008.
- [10] 佐藤 寿倫, 渡辺 慎吾, "ディペンダビリティに配慮する可変レイテンシ演算器のためのスケジューリング方式," 情処学研報 2008-ARC-176, No.1, pp.47-52, 慶応大学日吉キャンパス, Jan. 2008.
- [11] Toru Nakamura, Shunsuke Inenaga, Daisuke Ikeda, Kensuke Baba and Hiroto Yasuura, "A Framework for Evaluating Privacy Protection of Authentication Systems," The Abstracts of the 2008 Symposium on Cryptography and Information Security (SCIS 2008), pp.236-241, フェニックス・シーガイア・リゾート(宮崎), Jan. 2008.
- [12] 大森 悠翔, 小河 宏志, 細川 利典, 吉村 正義, 山崎 浩二, "マルチサイクルキャプチャテストを用いたフルスキャン設計回路の縮退故障テスト生成," 信学技報 DC2007-71, Vol.107, No.482, pp.19-24, 機械振興会館, Feb. 2008.
- [13] 伊藤 侑磨, 吉村 正義, 安浦 寛人, "スキャンパス攻撃を考慮した暗号 LSI のテストバリエーション評価," 信学技報 DC2007-76, Vol.107, No.482, pp.57-62, 機械振興会館, Feb. 2008.
- [14] 杉原 真, "ヘテロジーニアスマルチプロセッサのソフトウェア脆弱性を低減するタスクスケジューリング技術," 信学技報 VLD2007-138, Vol.107, No.506, pp.7-12, 沖縄県男女共同参画センター, Mar. 2008.
- [15] 渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "性能歩留まり改善を目的とする演算器カスケードの提案,"

- 情処学研報 2008-ARC-177, pp.43-48, 北海道大学 学術交流会館, Mar. 2008.
- [16]舟木 敏正, 佐藤 寿倫, "信頼性と性能のトレードオフ評価指標の提案とそのマルチコアプロセッサへの適用," 情処学研報 2008-ARC-177, pp.49-54, 北海道大学 学術交流会館, Mar. 2008.
- [17]小玉 翔, 松永 裕介, "マルチプレクサの削減を目的としたバインディング改善手法," 情処学研報 2008-SLDM-135, pp.19-24, 神戸大学 百年記念館, May 2008.
- [18]松永 多苗子, 木村 晋二, 松永 裕介, "スイッチング確率を考慮した prefix graph 合成手法の改良について," 情処学研報 2008-SLDM-135, pp.31-36, 神戸大学 百年記念館, May 2008.
- [19]杉原 真, "リアルタイム制約とSEU脆弱性制約の下でのヘテロジーニアスマルチプロセッサ合成技術," 信学技報 VLD2008-13, Vol.108, No.23, pp.37-42, 神戸大学 百年記念館, May 2008.
- [20]国武 勇次, 佐藤 寿倫, 安浦 寛人, "入力依存の遅延ばらつきを利用する DVS システムにおける性能およびエリアオーバーヘッドの改善検討," 情処学研報 2008-ARC-178, pp.93-98, 日立中央研究所, May 2008.
- [21]国武 勇次, 佐藤 寿倫, 安浦 寛人, "カナリア方式におけるタイミングエラー見逃しに関する調査," 先進的計算基盤システムシンポジウム, pp.48-49, つくば国際会議場, June 2008.
- [22]渡辺 慎吾, 橋本 昌宜, 佐藤 寿倫, "タイミング歩留まり改善を目的とする演算器カスケードニング," 先進的計算基盤システムシンポジウム, pp.115-122, つくば国際会議場, June 2008.
- [23]大塚 信介, 川本 哲, 高野 茂, 馬場 謙介, 安浦 寛人, "モバイル端末を用いたキャンセラブルバイオメトリクスの効果的な適用," バイオメトリックスシステムセキュリティ研究会第 13 回研究発表会予稿集, pp.59-64, 東京理科大学 森戸記念館, June 2008.
- [24]伊藤 侑磨, 吉村 正義, 安浦 寛人, "暗号 LSI におけるテストビリティとセキュリティに関する一考察," 第 59 回 FTC 研究会, 8 pages, 石川県いこいの村能登半島, July 2008.
- [25]杉木 一也, 細川 利典, 吉村 正義, "機能的時間展開モデルを用いたデータパスのテスト生成法," 第 59 回 FTC 研究会, 7 pages, 石川県いこいの村能登半島, July 2008.
- [26]万 玲玲, 細川 利典, 吉村 正義, "BAST アーキテクチャにおけるドントケア抽出を用いた擬似ランダムパターンビット反転数削減の一手法," 第 59 回 FTC 研究会, 8 pages, 石川県いこいの村能登半島, July 2008.
- [27]杉原 真, "性能と消費エネルギーを制約として考慮したヘテロジーニアスマルチプロセッサ合成技術," 情報処理学会 DA シンポジウム 2008 論文集, pp.43-48, 遠鉄ホテルエンパイア, Aug. 2008.
- [28]高田 大河, 松永 裕介, "深さ最小かつ LUT の信号遷移確率の総和最小な LUT 型 FPGA 向けテクノロジー・マッピング," 情報処理学会 DA シンポジウム 2008 論文集, pp.79-84, 遠鉄ホテルエンパイア, Aug. 2008.
- [29]赤峰 悠介, 原田 翔次, 松永 裕介, "組み合わせ回路におけるソフトエラー伝搬率計算手法の評価," 平成 20 年度電気関係学会九州支部連合大会, 04-2A-02, 2 pages, 大分大学 工学部 (旦野原キャンパス), Sep. 2008.
- [30]松永 裕介, "組み合わせ論理回路におけるソフトエラーの論理マスク効果の正確な見積もり手法について," 情処学研報 2008-SLDM-136, pp.53-58, 岩手県民情報交流センター, Oct. 2008.
- [31]松永 多苗子, 木村 晋二, 松永 裕介, "FPGA を対象とした部分積加算回路の合成について," 情処学研報 2008-SLDM-136, pp.59-63, 岩手県民情報交流センター, Oct. 2008.
- [32]中村 徹, 稲永 俊介, 馬場 謙介, 池田 大輔, 安浦 寛人, "プライバシー保護とメモリ効率性の両立を実現するマルチサービス環境向け認証方式," 情報処理学会コンピュータセキュリティシンポジウム 2008 論文集, Vol.2008, No.10, pp.67-72, 沖縄コンベンションセンター, Oct. 2008.
- [33]国武 勇次, 佐藤 寿倫, 山口 誠一郎, 安浦 寛人, "タイミングエラーの予報を目的とするカナリア FF の挿入位置限定," 情処学研報 2008-SLDM-137, pp.85-89, 北九州学術研究都市, Nov. 2008.
- [34]Masayoshi Yoshimura, Yuma Ito and Hiroto Yasuura, "Design for Testability Methods against Scan based Attacks," Joint Seminar on Advanced LSI Test Technology, Fukuoka, Japan, Dec. 2008.
- [35]安浦寛人, "統合的高信頼化設計のためのモデル化と検出・訂正・回復技術," CREST「ディペンダブル VLSI システムの基盤技術」研究領域 ディペンダブル VLSI システムワークショップ 2008, 科学技術振興機構 東京本部, Dec. 2008.
- [36]中村 徹, 稲永 俊介, 馬場 謙介, 池田 大輔, 安浦 寛人, "マルチサービス環境における署名手法のリンク不能性に関する研究," 2009 年暗号と情報セキュリティシンポジウム (SCIS 2009) 予稿集, Vol.2009, No.1, 6 pages, 大津プリンスホテル, Jan. 2009.
- [37]高田 大河, 松永 裕介, "FPGA 向けテクノロジー・マッピングにおける深さ最小ネットワーク生成のための効率的なカット列挙手法," 情処学研報 2008-SLDM-138, pp.57-62, 慶應義塾大学 日吉キャンパス, Jan.

- 2009.
- [38]秋山 祐介, 細川 利典, 吉村 正義, 山崎浩二, "SAT を用いた ATPG 困難故障に対する冗長故障判定の高速化," 第 60 回 FTC 研究会, 6 pages, 山形県ウェルサンピア山形, Jan. 2009.
- [39]吉村 正義, 小河 宏志, 大森 悠翔, 細川 利典, 山崎 浩二, "スキャンテストにおけるテスト不可能故障の検出を削減するためのテスト生成法," 信学技報 DC2008-69, Vol.108, No.431, pp.7-12, 機械振興会館, Feb. 2009.
- [40]秋山 祐介, 細川 利典, 吉村 正義, 山崎 浩二, "SAT を用いた ATPG 困難故障に対する冗長故障判定の高速化," 信学技報 DC2008-70, Vol.108, No.431, pp.13-18, 機械振興会館, Feb. 2009.
- [41]万 玲玲, 若園 大洋, 細川 利典, 吉村 正義, "検出容易故障に着目したドントケア数増加手法～BASTアーキテクチャへの適用～," 信学技報 DC2008-76, Vol.108, No.431, pp.49-54, 機械振興会館, Feb. 2009.
- [42]小玉 翔, 松永 裕介, "イニシエーション・インターバルとアロケーションの制約下における総面積最小を目的としたパイプライン・スケジューリング手法," 信学技報 VLD2008-131, Vol.108, No.478, pp.29-34, 沖縄県男女共同参画センター, Mar. 2009.
- [43]松永 裕介, 安浦 寛人, 馬場 謙介, 吉村 正義, 佐藤 寿倫, 杉原 真, "ディペンダブル VLSI 設計技術への挑戦," 電子情報通信学会総合大会, AI-1-6, 愛媛大学 城北地区, Mar. 2009.
- [44]平田 元春, 吉村 正義, 松永 裕介, 安浦 寛人, "算術演算器を含む回路に対する高速なソフトエラー率評価手法," 信学技報 DC2009-5, Vol.109, No.12, pp.25-30, 首都大学東京秋葉原サテライトキャンパス, Apr. 2009.
- [45]小津和 大昌, 吉村 正義, 松永 裕介, "セルベース設計に適した SER 評価の為のパルス発生確率解析手法," 信学技報 DC2009-8, Vol.109, No.12, pp.43-48, 首都大学東京秋葉原サテライトキャンパス, Apr. 2009.
- [46]原田 翔次, 赤峰 悠介, 吉村 正義, 松永 裕介, "SER 評価のための論理回路におけるパルスの伝搬解析," 信学技報 DC2009-9, Vol.109, No.12, pp.49-54, 首都大学東京秋葉原サテライトキャンパス, Apr. 2009.
- [47]小河 宏志, 吉村 正義, 細川 利典, 山崎 浩二, "テスト不可能故障の検出数の削減のためのスキャンテスト生成法," 信学技報 VLD2009-3, Vol.109, No.34, pp.13-18, 北九州国際会議場, May 2009.
- [48]小河 宏志, 細川 利典, 吉村 正義, 山崎 浩二, "マルチサイクルキャプチャテストを用いた遷移故障テスト生成法," 第 61 回 FTC 研究会, 6 pages, 三重県奥伊勢フォレストピア, July 2009.
- [49]小河 宏志, 細川 利典, 吉村 正義, 山崎 浩二, "タイミング冗長故障判定を考慮した遷移故障テスト生成法," 第 61 回 FTC 研究会, 三重県奥伊勢フォレストピア, July 2009.
- [50]若園 大洋, 細川 利典, 吉村 正義, "ケアビット分布制御のためのドントケア抽出技術," 第 61 回 FTC 研究会, 三重県奥伊勢フォレストピア, July 2009.
- [51]赤峰 悠介, 吉村 正義, 松永 裕介, "マルコフモデルを用いた順序回路のソフトエラー耐性評価手法," DA シンポジウム 2009 論文集, pp.121-126, ホテルアローレ(石川県加賀市), Aug. 2009.
- [52]松永 多苗子, 木村 晋二, 松永 裕介, "FPGA を対象としたマルチオペランド加算器合成手法" DA シンポジウム 2009 論文集, pp.137-142, ホテルアローレ(石川県加賀市), Aug. 2009.
- [53]打越 寛, 杉原 真, "トラフィック情報に基づく NoC のスループット向上を実現する IP コアのトポロジ決定手法," 情報処理学会 DA シンポジウム 2009 論文集, ホテルアローレ(石川県加賀市), pp.169-174, Aug. 2009.
- [54]佐々木 遼平, 杉原 真, "部分再構成とモジュール配置による FPGA システムの可用性向上," 平成 21 年度電気関係学会東海支部連合大会, O-424, 愛知工業大学, Sep. 2009.
- [55]松永 裕介, 赤峰 悠介, "順序回路のソフトエラー率解析手法の非明示的列挙による高速化について," 信学技報 VLD2009-34, Vol.109, No.201, pp.31-36, 大阪大学 情報系総合研究棟, Sep. 2009.
- [56]池田 大輔, 中村 徹, 大石 哲也, 井上 創造, "シングルサインオンから独立した認可基盤とプライバシー保護," 信学技報 WI2-2009, pp.1-6, 学術総合センター, Oct. 2009.
- [57]中村 徹, 稲永 俊介, 池田 大輔, 馬場 謙介, 安浦 寛人, "PIR に基づく匿名認証とその応用," 情報処理学会コンピュータセキュリティシンポジウム 2009 論文集, Vol.2009(11), pp.571-576, 富山国際会議場, Oct. 2009.
- [58]赤峰 悠介, 吉村 正義, 松永 裕介, "順序回路のソフトエラー耐性評価における近似手法の計算精度および実行時間の評価," 信学技報 VLD2009-49, Vol.109, No.315, pp.55-60, 高知市文化プラザ, Dec. 2009.

- [59]伊藤 侑磨, 吉村 正義, 安浦 寛人, "スキャンベース攻撃とその防御法に対する定量的なセキュリティ評価," 信学技報 DC2009-39, Vol.109, No.316, pp.73-78, 高知市文化プラザ, Dec. 2009.
- [60]若園 大洋, 細川 利典, 吉村 正義, "テスト圧縮指向ドントケア抽出法," 信学技報 DC2009-49, Vol.109, No.316, pp.149-154, 高知市文化プラザ, Dec. 2009.
- [61]早川 鉄平, 細川 利典, 吉村 正義, "RSA 暗号回路の安全なテスト容易化設計," 信学技報 DC2009-50, Vol.109, No.316, pp.155-160, 高知市文化プラザ, Dec. 2009.
- [62]高田 大河, 松永 裕介, "フレックスマージ: LUT 数削減を目的とした LUT 型 FPGA 向け論理最適化手法," 信学技報 VLD2009-68, Vol.109, No.315, pp.185-190, 高知市文化プラザ, Dec. 2009.
- [63]安浦寛人, "統合的高信頼化設計のためのモデル化と検出・訂正・回復技術," CREST「ディペンダブル VLSI システムの基盤技術」研究領域 ディペンダブル VLSI システムワークショップ 2009, 東京大学 武田ホール, Dec. 2009.
- [64]國武 勇次, 久村 孝寛, 安浦 寛人, "メディア処理向けカスタムプロセッサにおける復号処理命令拡張の検討," 情処学研報 2010-ARC-187, No.21, 6 pages, 東芝本社, Jan. 2010.
- [65]小河 宏志, 細川 利典, 吉村 正義, 山崎 浩二, "マルチサイクルキャプチャ遷移故障テスト生成を用いたテスト不可能故障の原因解析," 信学技報 DC2009-67, Vol.109, No.416, pp.13-18, 機械振興会館, Feb. 2010.
- [66]湯本 仁高, 細川 利典, 吉村 正義, "遷移故障テスト圧縮指向制御ポイント挿入法," 信学技報 DC2009-72, Vol.109, No.416, pp.45-50, 機械振興会館, Feb. 2010.
- [67]Toru Nakamura, Shunsuke Inenaga, Daisuke Ikeda, Kensuke Baba and Hiroto Yasuura, "An Identifiable Yet Unlinkable Authentication System in Multi-Service Environment," IPSJ MPS Technical Report, 2010-MPS-77, No.20, 7 pages, ルネッサ赤沢(伊豆高原), Mar. 2010.
- [68]赤峰 悠介, 吉村 正義, 松永 裕介, "順序回路のソフトウェア耐性評価手法の状態数削減による高速化," 信学技報 VLD2009-126, Vol.109, No.462, pp.163-168, 沖縄県男女共同参画センター, Mar. 2010.
- [69]本間 哲, 杉原 真, "トラフィック情報に基づくリングバスのスループットを向上させるタスク配置手法," 信学技報 CPSY2009-83, Vol.109, No.474, pp.11-16, 八丈シーパークリゾート, Mar. 2010.
- [70]芹澤 光範, 杉原 真, "タスクスイッチによって生じるキャッシュメモリの性能オーバーヘッドの定量的評価," 信学技報 CPSY2009-85, Vol.109, No.474, pp.303-308, 八丈シーパークリゾート, Mar. 2010.
- [71]打越 寛, 杉原 真, "NoC を利用した特定用途向けシステムのスループットを向上する IP コアトポロジ決定手法," 信学技報 CPSY2009-88, Vol.109, No.474, pp.321-326, 八丈シーパークリゾート, Mar. 2010.
- [72]城林 直樹, 赤峰 悠介, 吉村 正義, 松永 裕介, "順序回路のソフトウェア耐性評価における高精度な近似評価手法," 信学技報 VLD2010-2, Vol.110, No.36, pp.25-30, 北九州国際会議場, May 2010.
- [73]長谷川 創, 赤峰 悠介, 吉村 正義, 松永 裕介, "有限状態機械の分割に基づく定常状態確率の近似計算手法," 信学技報 VLD2010-3, Vol.110, No.36, pp.31-36, 北九州国際会議場, May 2010.
- [74]國武 勇次, "SRAM における NBTI 抑制のためのストレス確率の制御手法," VDEC デザイナーズフォーラム 2010, 東京大学 武田先端知ビル, June 2010.
- [75]陳 贇, 細川 利典, 吉村 正義, "ランダムパターンレジスタント故障検出用ドントケア抽出を用いた BAST アーキテクチャにおけるテストパターンマッチング法," 信学技報 DC2010-11, Vol.110, No.106, pp.19-24, 機械振興会館, June 2010.
- [76]國武 勇次, 佐藤 寿倫, 安浦 寛人, "ストレス確率を考慮した SRAM の値反転による NBTI 劣化抑制手法," 情報処理学会 DA シンポジウム 2010 論文集, pp.129-134, ホテル日航豊橋, Sep. 2010.
- [77]吉村 正義, 赤峰 悠介, 松永 裕介, "順序回路のソフトウェア耐性評価手法の高速化," 情報処理学会 DA シンポジウム 2010 論文集, pp.239-244, ホテル日航豊橋, Sep. 2010.
- [78]原田 翔次, 吉村 正義, 松永 裕介, "ソフトウェア耐性と面積オーバーヘッドのトレードオフを考慮した TMR をベースとしたエラー訂正手法," 情報処理学会 DA シンポジウム 2010 論文集, pp.245-250, ホテル日航豊橋, Sep. 2010.
- [79]小津和 大昌, 松永 裕介, 吉村 正義, "デバイスシミュレータを用いた論理回路のソフトウェアエラー解析," 情報処理学会 DA シンポジウム 2010 論文集, pp.251-256, ホテル日航豊橋, Sep. 2010.
- [80]松永 裕介, "ソフトウェア耐性を考慮した EDA 技術," 電子情報通信学会 2010 ソサイエティ大会, SS-38, 大阪府立大学 中百舌鳥キャンパス, Sep. 2010.
- [81]平田 元春, 吉村 正義, 松永 裕介, "ソフトウェアに起因するパルスのラッチ確率のモデル化," 信学技報 VLD2010-56, Vol.110, No.210, pp.83-88, 京都工芸繊維大学 60 周年記念館, Sep. 2010.
- [82]杉原 真, "マイクロプロセッサにおける制御信号系列の誤りを検出する動的シグネチャ検査技術," 情処学

- 研報 2010-SLDM-146, pp.13-18, 幕張メッセ国際会議場, Oct. 2010.
- [83] 沈 揚, 細川 利典, 吉村 正義, “キャプチャ時低消費電力指向テスト生成における検出疑似外部出力決定法,” 信学技報 DC2010-29, Vol.110, No.317, pp.37-42, 九州大学医学部 百年講堂, Nov. 2010.
- [84] 高田 大河, 松永 裕介, “最大の可観測性ドントケア集合の抽出における CODC を用いた近似手法,” 信学技報 VLD2010-91, Vol.110, No.360, pp.43-48, 慶應義塾大学 日吉キャンパス, Jan. 2011.
- [85] 山崎 達也, 細川 利典, 吉村 正義, “テスト圧縮のためのテスト生成に関する一考察,” 第 64 回 FTC 研究会, 岐阜県恵那峡, Jan. 2011.
- [86] 柏崎 智史, 細川 利典, 吉村 正義, “製造ばらつきを考慮した VLSI のフィールドテスト法,” 第 64 回 FTC 研究会, 岐阜県恵那峡, Jan. 2011.
- [87] 柏崎 智史, 細川 利典, 吉村 正義, “製造ばらつきを考慮したフィールドテストのためのパス選択法,” 信学技報 DC2010-61, Vol.110, No.413, pp.13-19, 機械振興会館, Feb. 2011.
- [88] 早川 鉄平, 細川 利典, 吉村 正義, “機能的時間展開モデルを用いたデータパス回路のテスト生成法,” 信学技報 DC2010-65, Vol.110, No.413, pp.39-44, 機械振興会館, Feb. 2011.
- [89] 安浦寛人, “統合的高信頼化設計のためのモデル化と検出・訂正・回復技術,” CREST「ディペンダブル VLSI システムの基盤技術」研究領域 ディペンダブル VLSI システムワークショップ 2011, 東京大学 生産技術研究所, Mar. 2011.
- [90] 吉木 崇人, 佐藤 寿倫, 林田 隆則, “タイミングエラー予報 FF を利用するマルチコアプロセッサのパワーマネージメント,” 情報処理学会九州支部 火の国情報シンポジウム, A-2-1, 福岡大学, Mar. 2011.
- [91] 小林 哲也, 佐藤 寿倫, 林田 隆則, “チップ面積制約下におけるマルチコア化による性能改善要件の調査,” 情報処理学会九州支部 火の国情報シンポジウム, A-2-2, 福岡大学, Mar. 2011.
- [92] 矢野 力也, 森 英貴, 佐藤 寿倫, 林田 隆則, “構成可変コアによるシングルコア・プロセッサの性能改善検討,” 情報処理学会九州支部 火の国情報シンポジウム, A-2-3, 福岡大学, Mar. 2011.
- [93] 柏崎 智史, 細川 利典, 吉村 正義, “VLSI の製造バラつきと経年劣化を考慮したアダプティブフィールドテストにおけるパス選択結果における一考察,” 信学技報 DC2011-10, Vol.111, No.100, pp.11-16, 機械振興会館, June 2011.
- [94] 山崎 紘史, 細川 利典, 吉村 正義, “ケアビット分布制御ドントケア抽出 ～ キャプチャ消費電力削減への適用 ～,” 信学技報 DC2011-12, Vol.111, No.100, pp.23-28, 機械振興会館, June 2011.
- [95] 安浦寛人, “統合的高信頼化設計のためのモデル化と検出・訂正・回復技術,” CREST「ディペンダブル VLSI システムの基盤技術」研究領域 平成 23 年度第 1 回領域会議, 科学技術振興機構 三番町, July 2011.
- [96] 高田 大河, 松永 裕介, “順序回路におけるソフトエラーの論理マスク効果の悲観的な解析手法について,” 情報処理学会 DA シンポジウム 2011 論文集, pp.75-80, ホテル下呂温泉水明館, Aug. 2011.
- [97] 綾部 秀紀, 吉村 正義, 松永 裕介, “組み合わせ回路のソフトエラー耐性評価における近似手法の統計科学的な精度評価,” 信学技報 VLD2011-49, Vol.111, No.216, pp.49-54, 会津大学, Sep. 2011.
- [98] 陳 賛, 細川 利典, 吉村 正義, “BAST におけるテストデータ量を削減するためのスキャンチェーンの接続法,” 信学技報 DC2011-49, Vol.111, No.325, pp.127-132, ニューウェルシティ宮崎, Nov. 2011.
- [99] 松永 裕介, “論理合成・検証の研究開発用インフラストラクチャ Ymtools の開発,” 信学技報 VLD2011-78, Vol.111, No.324, pp.153-158, ニューウェルシティ宮崎, Nov. 2011.
- [100] 柏崎 智史, 細川 利典, 吉村 正義, “VLSI の製造バラつきと経年劣化を考慮したアダプティブフィールドテストにおけるパス選択法に関する考察,” 信学技報 DC2011-61, Vol.111, No.325, pp.191-195, ニューウェルシティ宮崎, Nov. 2011.
- [101] 安浦寛人, “統合的高信頼化設計のためのモデル化と検出・訂正・回復技術,” CREST「ディペンダブル VLSI システムの基盤技術」研究領域 ディペンダブル VLSI システムワークショップ 2011/12, 東京大学 武田ホール, Dec. 2011.
- [102] 矢野 憲, 林田 隆則, 吉木 崇人, 佐藤 寿倫, “改良カナリア FF を利用した高信頼性 VLSI 設計手法の提案,” 情報学研報 2012-ARC-198, No.13, 6 pages, 電気通信大学, Jan. 2012.
- [103] 荻田 英実, 細川 利典, 吉村 正義, “AES 暗号回路におけるトロイ設計の影響評価,” 信学技報 DC2011-77, Vol.111, No.435, pp.7-12, 機械振興会館, Feb. 2012.
- [104] 高橋 明彦, 細川 利典, 吉村 正義, “制御ポイント挿入による遷移故障テストパターン削減法,” 信学技報 DC2011-82, Vol.111, No.435, pp.37-42, 機械振興会館, Feb. 2012.
- [105] 矢野 憲, 吉木 崇人, 林田 隆則, 佐藤 寿倫, “冗長化 FF 置き換え方式による高信頼性 VLSI 設計の自動化,” 信学技報 VLD-2011-133, Vol.111, No.450, pp.79-84, 別府ビーコンプラザ, Mar. 2012.
- [106] 高田 大河, 松永 裕介, “順序回路におけるソフトエラーの論理マスク効果の効率的な解析手法について

- て,” 信学技報 VLD-134, Vol.111, No.450, pp.85-90, 別府ビーコンプラザ, Mar. 2012
- [107]吉木 崇人, 矢野 憲, 林田 隆則, 佐藤 寿倫, “タイミングエラー予報フリップフロップを利用した LSI 設計におけるチップ面積オーバーヘッドの見積もり,” 情報処理学会九州支部 火の国情報シンポジウム, B-5-5, 九州工業大学, Mar. 2012.
- [108]林田 隆則, 安浦 寛人, 矢野 憲, 佐藤 寿倫, “LSI の信頼性評価指標の提案,” 情処学研報 2012-ARC-199, No.6, 3 pages, 長崎大学, Mar. 2012.
- [109]林田 隆則, 安浦 寛人, 佐藤 寿倫, 小川 貢, 吉永 亮太, 矢野 憲, “性能や電力とのトレードオフを考慮できる信頼性指標,” 先進的計算基盤システムシンポジウム, pp.20-21, 神戸国際会議場, May 2012.
- [110]若杉 諒介, 細川 利典, 吉村 正義, “故障活性化率向上指向ドントケア割当て法の評価,” 信学技報 DC2012-9, Vol.112, No.102, pp.1-6, 機械振興会館, June 2012.
- [111]高田 大河, 吉村 正義, 松永 裕介, “順序回路における一時故障を対象とした故障シミュレーションのヒューリスティックの評価について,” 信学技報 VLD2012-20, Vol.112, No.114, pp.55-60, 京都リサーチパーク, July 2012.
- [112]矢野 憲, 林田 隆則, 佐藤 寿倫, “モンテカルロシミュレーションによるソフトエラー率の数量的評価手法,” 信学技報 VLD2012-21, Vol.112, No.114, pp.61-66, 京都リサーチパーク, July 2012.
- [113]松永 裕介, “効率的な間接含意の計算アルゴリズムについて,” 信学技報 VLD2012-22, Vol.112, No.114, pp.67-72, 京都リサーチパーク, July 2012.
- [114]山崎 紘史, 細川 利典, 吉村正義, “ドントケア分散に基づくテスト圧縮指向ドントケア抽出法,” 第 67 回 FTC 研究会, 滋賀県大津市, July 2012.
- [115]高橋 明彦, 細川 利典, 吉村正義, “遷移故障テストパターン数削減のための制御ポイント挿入箇所の解析,” 第 67 回 FTC 研究会, 滋賀県大津市, July 2012.
- [116]矢野 憲, 林田 隆則, 佐藤 寿倫, “モンテカルロシミュレーションによる ソフトエラー耐性ラッチ、SRAM の信頼性評価,” 第 25 回 回路とシステムワークショップ, pp.438-443, 淡路夢舞台国際会議場, July 2012.
- [117]Ken Yano, Takanori Hayashida and Toshinori Sato, “Analysis of SER Improvement by Soft Error Tolerant Latches,” 情処学研報 2012-ARC-201, No.21, 6 pages, とりぎん文化会館, Aug. 2012.
- [118]Yusuke Matsunaga, “Probabilistic Analysis for Softerror Tolerance of Sequential Circuits,” Dagstuhl Seminar 12341 Verifying Reliability (Schloss Dagstuhl – Leibniz-Zentrum für Informatik GmbH), Wadern, Germany, Aug. 2012.
- [119]吉村 正義, 松永 裕介, “ハードウェアトロイのオンライン検出手法,” 情報処理学会 DA シンポジウム 2012 論文集, pp.139-143, ホテル下呂温泉水明館, Aug. 2012.
- [120]松永 裕介, “DAG パタンを効率よく共有するためのデータ構造の提案,” 信学技報 VLD2012-86, Vol.112, No.320, pp.159-162, 九州大学百年講堂, Nov. 2012.
- [121]若杉 諒介, 細川 利典, 吉村 正義, “遷移故障テストパターンに基づいた故障活性化率向上指向ドントケア割当て法,” 信学技報 DC2012-69, Vol.112, No.321, pp.255-260, 九州大学百年講堂, Nov. 2012.
- [122]楠山 友紀乃, 山崎 達也, 細川 利典, 吉村 正義, 山崎 浩二, “テスト圧縮効率化のためのテスト生成法の一考察,” 信学技報 DC2012-71, Vol.112, No.321, pp.267-272, 九州大学百年講堂, Nov. 2012.
- [123]松永 裕介, “SAT ソルバを用いたテスト生成の高速化手法について,” 信学技報 DC2012-81, Vol.112, No.429, pp.7-12, 機械振興会館, Feb. 2013.
- [124]若杉 諒介, 細川 利典, 吉村 正義, “縮退故障テスト集合と遷移故障テスト集合を用いた欠陥検出能力向上のためのドントケア割当て法,” 信学技報 DC2012-83, Vol.112, No.429, pp.19-24, 機械振興会館, Feb. 2013.
- [125]荻田 英実, 細川 利典, 吉村 正義, “AES 暗号回路におけるトロイ回路設計の影響評価およびその一考察,” 信学技報 DC2012-86, Vol.112, No.429, pp.37-42, 機械振興会館, Feb. 2013.
- [126]吉村 正義, 松永 裕介, “テスト応答圧縮器のセキュリティ評価の一手法,” 信学技報 DC2012-87, Vol.112, No.429, pp.43-47, 機械振興会館, Feb. 2013.
- [127]杉原 真, 岩永 明人, “焼きなまし法を用いた TDMA スケジューリング技術,” 情処学研報 2013-SLDM-160, No.13, pp.1-6, 対馬市交流センター会議室, Mar. 2013.

③ポスター発表 (国内会議 5 件、国際会議 7 件)

- [1]Yuji Kunitake, “Typical-case Design Methodology: Concept, Challenge, and Case Study,” Student Forum at 13th Asia and South Pacific Design Automation Conf. (ASP-DAC 2008), 2 pages, Seoul, Korea, Jan. 21-24, 2008.

- [2]九州大学, 豊橋技術科学大学, “統合的高信頼化設計のためのモデル化と検出・訂正・回復技術,” ワクワク IT@あきば 2008, 秋葉原コンベンションホール, Mar. 12-13, 2008.
- [3]九州大学, 豊橋技術科学大学, “統合的高信頼化設計のためのモデル化と検出・訂正・回復技術,” イノベーションジャパン 2008, 東京国際フォーラム, Sep. 16-18, 2008.
- [4]Yuji Kunitake, Toshinori Sato and Hiroto Yasuura, “Mitigating Performance Loss in Aggressive DVS Using Dual-Sensing Flip-Flops,” 16th IFIP/IEEE International Conf. on Very Large Scale Integration, Rhodes Island, Greece, Oct. 13-15, 2008.
- [5]九州大学 大学院システム情報科学研究所, 九州大学システム LSI 研究センター, 豊橋技術科学大学, “耐ソフトウェア設計支援ツールの開発,” Electronic Design and Solution Fair 2009, パシフィコ横浜, Jan. 22-23, 2009.
- [6]Kensuke Baba, Eisuke Ito, Naomi Yoshimatsu, Nami Hoshiko and Kazuaki Murakami, “A Model of Publication of Scholarly Papers on Institutional Repositories,” DRF International Conf. 2009, Tokyo Institute of Technology, Japan, Dec. 3-4, 2009.
- [7]Taiga Takata and Yusuke Matsunaga, “Heuristic Algorithm for LUT-based FPGA Technology Mapping using the Lower Bound for DAG Covering Problem,” 18th ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, Monterey, CA, USA, Feb. 21-23, 2010.
- [8]九州大学 大学院システム情報科学研究所, 福岡大学 工学部, 豊橋技術科学大学 大学院工学研究科, “統合的高信頼化設計のためのモデル化と検出・訂正・回復技術,” 第 9 回情報科学技術フォーラム (FIT2010), 九州大学伊都キャンパス, Sep. 7-9, 2010.
- [9]So Hasegawa, Naoki Shirobayashi, Motoharu Hirata, Shoji Harada, Daisuke Kozuwa, Yuji Kunitake, Taiga Takata, Masayoshi Yoshimura and Yusuke Matsunaga, “EDA tools for soft error tolerance,” Design Automation and Test in Europe (DATE’11) Exhibition, University Booth – Session 5, P3, Grenoble, France, Mar. 16, 2011.
- [10]Toshinori Sato, Hideki Mori, Rikiya Yano, Takanori Hayashida, “Hitting Pollack’s Law for Improving MPSoC Programmability and Efficiency,” 3rd Workshop on Designing for Embedded Parallel Computing Platforms : Architectures, Design Tools, and Applications, Poster Session – Architectures & Applications Sessions, Grenoble, France, Mar. 18, 2011.
- [11]独立行政法人科学技術振興機構 ディペンダブル VLSI 研究領域－九州大学, 福岡大学, “統合的高信頼化設計のためのモデル化と検出・訂正・回復技術,” Embedded Technology 2011 / 組込み総合技術展, パシフィコ横浜, Oct. 16-18, 2011.
- [12]Ken Yano, Mitsugu Ogawa, Ryota Yoshinaga, Takahito Yoshiki, Takanori Hayashida and Toshinori Sato, “Analysis of Better-Than-Worst-Case System Design Methodology by Using Canary Flip-Flops,” Design, Automation & Test in Europe (DATE’11) Exhibition, University Booth – Session 8, Grenoble, France, Mar. 19-21, 2013.

(4)知財出願

①国内出願 (1 件)

1. 発明の名称:ソフトウェア検出回路およびソフトウェア検出方法

発明者:杉原真

出願人:国立大学法人豊橋技術科学大学 豊橋市天伯町雲雀ヶ丘1-1

出願日:2010年5月31日

出願番号:2010-124408

②海外出願 (0 件)

③その他の知的財産権(0 件)

(5)受賞・報道等

①受賞 (8 件)

- [1]第 21 回安藤博記念学術奨励賞、受賞者:杉原 真、2008 年 6 月、研究テーマ:価格競争力・信頼性に優れた VLSI 設計技術に関する研究
- [2]情報処理学会システム LSI 設計技術研究会 2007 年度優秀発表学生賞、受賞者:高田 大河、2008 年 8

- 月、発表研究会:第132回SLDM研究会(2007/11/20-22 デザインガイア)、論文名:LUT型FPGA向けテクノロジ・マッピングにおける深さ制約下のLUT数削減手法、著者名:高田 大河、松永 裕介(九大)
- [3]2008年 IEEE 福岡支部 学生研究奨励賞(第8回)、受賞者:Yuji Kunitake、九州大学 大学院システム情報科学府 情報工学専攻 博士後期課程1年、2009年1月、論文名:"Mitigating Performance Loss in Aggressive DVS Using Dual-Sensing Flip-Flops," 16th IFIP/IEEE International Conference on Very Large Scale Integration System-on-Chip, pp.543-546 (2008)
- [4]第8回船井情報科学奨励賞、受賞者:杉原 真、2009年4月、受賞部門:コンピューターサイエンス部門、受賞業績:組込み機器向けマルチコアCPUシステムの高信頼化に関する研究
- [5]2009年度IPSJ論文船井若手奨励賞、受賞者:高田 大河、2010年3月、論文タイトル:Area Recovery under Depth Constraint for Technology Mapping for LUT-based FPGAs
- [6]ICD研究会優秀若手講演賞、受賞者:國武 勇次、2010年5月、論文名:メディア処理向けカスタムプロセッサにおける復号処理命令拡張の検討、著者名:國武 勇次・久村 孝寛(NEC/阪大)・安浦 寛人、発表研究会:1月度ICDアーキテクチャ研究会(東芝)
- [7]情報処理学会システムLSI設計技術研究会 2009年度優秀発表学生賞、受賞者:赤峰 悠介、2010年9月、発表研究会:第142回SLDM研究会(平成21年12月2-4日)、論文名:順序回路のソフトエラー耐性評価における近似手法の計算精度および実行時間の評価、著者名:赤峰 悠介・吉村 正義・松永 裕介(九大)
- [8]情報処理学会システムLSI設計技術研究会 2009年度優秀発表学生賞、受賞者:若園 大洋、2010年9月、発表研究会:第142回SLDM研究会(平成21年12月2-4日)、論文名:テスト圧縮指向ドントケア抽出法、著者名:若園 大洋・細川 利典(日大)・吉村 正義(九大)

②マスコミ (0件)

③その他 (0件)

(6)出口活動(成果展開の状況)

①実用化に向けての展開

(1)成果1.「論理回路のソフトエラー耐性評価ツールの開発」(九州大学松永グループ)

- 論理回路におけるソフトエラー発生確率のモデル化についてB社と共同研究を開始した。九大側でのデバイスシミュレーション、回路シミュレーションのモデル化の結果を実際の中性子照射実験の結果と合わせこみ、論理回路のソフトエラー耐性解析手法の妥当性評価を行う。

②社会還元的な展開活動

- 国内外の学会などにおいてディペンダブル VLSI に関する技術の紹介や解説などを行い、その重要性を広く訴えるとともに、技術の普及を図っている。(§ 5. 招待講演,ポスター発表など)
- 提案し評価中の技術「カナリア・フリップフロップ」は他チーム(小野寺チーム)での利用に供している。
- 本研究成果をインターネットで公開し、一般に情報提供している。

URL;<http://dvlsi.c.csce.kyushu-u.ac.jp/>, <http://www.cis.fukuoka-u.ac.jp/~tsato/>, etc.

§ 5. 研究期間中の主なワークショップ、シンポジウム、展示会、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
2009/9/25	テスト構造フォーラム(非公開)	京都大学	20名程度	LSIの実測に関する情報共有
2010/3/30	テスト構造フォーラム(非公開)	京都大学	40名程度	LSIの実測に関する情報共有
2010/7/29	九大 総合理工学研究院との打合せ(非公開)	九州大学	9名	ソフトウェアに関するディスカッション
2010/9/10	テスト構造フォーラム(非公開)	九州大学	30名程度	LSIの実測に関する情報共有
2011/9/7-8	ソフトウェア(などの LSI における放射線効果)に関する第 1 回勉強会(非公開)	京都工芸繊維大学	40名程度	ソフトウェアなどの LSI における放射線効果に関する研究者間の情報交換
2012/1/6	九州大学・渡辺先生との打合せ(非公開)	九州大学	3名	ソフトウェアに関する打合せ
2012/1/24	九大渡辺研、神戸大吉本チームとの打合せ(非公開)	九州大学	7名	ソフトウェアに関する打合せ
2012/5/11	九州大学・渡辺先生との打合せ(非公開)	九州大学	7名	ソフトウェアに関する打合せ
2012/8/27-28	第 2 回ソフトウェア勉強会(非公開)	九州大学	40名程度	LSI における放射線効果に関する研究者間の情報交換
2013/3/27	九州大学・渡辺先生との打合せ(非公開)	九州大学	6名	ソフトウェアに関する打合せ

§ 6. 結び

中性子線等に起因するソフトウェア、素子の製造ばらつきや経年劣化によるタイミングエラー、悪意ある攻撃による回路内の機密データの漏洩の3つの事例を対象として、VLSIシステムの階層設計の各設計レベルにおけるディペンダビリティの評価、見積もり技術、向上技術を開発し、設計フローとツールを構築した。主な成果を下記にまとめる。

- ・ 成果 1.「論理回路のソフトウェア耐性評価ツールの開発」
 - (1) 物理レベルのシミュレーション結果と回路レベルの解析結果から、論理セルやフリップフロップセルのエラー確立モデルを生成する技術を開発し、ツール化した。
 - (2) 組み合わせ回路のエラー解析の効率良い線形アルゴリズムを考案し、論理回路のフリップフロップの反転パターンごとの確立モデルを生成するツールを作製した。
 - (3) システムクロックの時間粒度で順序回路としてのエラー確立を計算するために、1)確率モデルを用いた外部入力確率分布を与えた下で厳密値を保証する統計的高速解析ツールと、2)高速故障シミュレータを用いた入力パターンに対応した故障確率を計算する解析ツールを作製した。

従来の階層設計と親和性の高い解析ツールチェーンを構築できた。より抽象度の高いプロセッサの命令セットレベルやシステム記述(SystemC や SystemVerilog など)のフォールトモデルへの接続が今後の課題である。
- ・ 成果 2.「CPU システムのソフトウェア耐性評価ツール、及び設計ツールの開発」

プロセッサのメモリにソフトウェアを仮定し、その影響を命令セットレベルで解析するツールを開発した。計

算時間やチップ面積とソフトエラー耐性のトレードオフを考えながら、プロセッサシステムを設計できる環境が提供できるようになった。

- 成果 3.「ばらつきに因るタイミングエラー対策技術の開発」

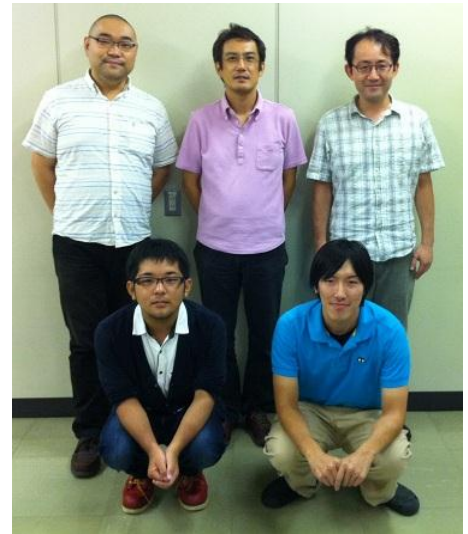
温度、電源、プロセスなどに対する過剰なマージン設計や空間／時間の多重化を用いずに製造ばらつきに起因するタイミングエラーに耐性を与える手法として、カナリア・フリップフロップの導入を提案した。具体的に、設計過程でクリティカルパス上のフリップフロップにカナリア機能を自動的に挿入するツールを作製し、エラー耐性を維持するのに面積や性能のオーバーヘッド無しに、エネルギーを20%程度削減できる事を、2種類の実用的なプロセッサ設計に対して示した。

- 成果 4.「経年劣化に因るタイミングエラー対策技術の開発」

SRAM セルの経年劣化の原因の一つである NBTI を回路レベルの工夫によって大幅に改善できる技術を開発した。シミュレーションによって、3年後の静的ノイズマージンを 25%改善できる事を示した。

- 成果 5.「悪意のある攻撃に対する安全性評価技術の開発」

テスト容易化設計に用いられるスキャンパスを用いた VLSI 内の秘密情報を盗聴する攻撃に対する耐性を、相互情報量によって解析する手法を提案し、テストバリティとセキュリティのトレードオフを評価する手法を提案し、その有効性を確認した。



(福岡大学グループ)

これらの研究開発を通じて、VLSI システムの一般的なディペンダビリティの評価指標に関する知見、設計の各段階で評価尺度を見積もる技術、ディペンダビリティの向上技術と設計中に組み込む技術、設計を最適化する技術の開発、統合した設計フローの構築に対する基本的な方針を示す事ができた。



(チーム・ミーティング)