

戦略的創造研究推進事業 CREST  
研究領域「次世代エレクトロニクスデバイスの創出  
に資する革新材料・プロセス研究」

研究課題「ナノデバイスのピコ秒物理の解析による  
揺らぎ最小化設計指針の開発」

## 研究終了報告書

研究期間 平成21年10月～平成25年3月

研究代表者：大毛利健治  
(筑波大学数理物質系・准教授)

## § 1 研究実施の概要

### (1) 実施概要

限界が叫ばれながらも益々微細化が進む高性能MOSFETの実現は、その特性揺らぎの制御なくしては不可能である。中でも雑音に代表される時間揺らぎは、 $1/f$  雑音の様に構造やプロセスに依存するとされるものから、熱雑音の様なキャリア伝導に由来する本質的なものまで、様々である。本研究課題では、今後微細化が押し進められ、プロセス由来の雑音が抑制できたとしたときに、そこで顕在化する時間的な揺らぎを計測し技術先駆けて開発し、シミュレーションから雑音要因の顕在化予測、さらに理論的な考察からキャリアの特異な集団輸送の予見を行った。

図 1.1 は MOSFET の時間揺らぎに関する研究の概念図である。これまでの研究で報告されてきた低周波帯域 (<100kHz) での  $1/f$  雑音と、10GHz を超える RF 雑音の間には、計測する事ができない周波数の谷が存在したが、その領域 (100kHz ~ 数 GHz) はコーナー周波数やクロック周波数を含む、集積回路上益々重要になる帯域である。我々は、そのピコ秒領域 (GHz 領域) での雑音実測とシミュレーション、そして古典と量子をつなぐ理論的な考察により、新たな研究分野を開拓することができたと考えている。

まず、実験グループでは、雑音を抑制する立体構造トランジスタの実証とその抑制機構を明らかにした。また、独自開発した高周波雑音プローブシステムにより、2GHz 以上に亘る MOSFET 雑音計測技術を確立した。シミュレーション・グループでは、その GHz 帯域において顕在化する雑音要因検討から、当面はプロセスによる雑音抑制が重要である事を明らかにした。さらに理論グループでは、キャリアの集団的な挙動を波束という概念を用いて、記述する事に成功した。本研究課題で拓いた分野での研究を更に押し進めていく事により、ピコ秒領域の半導体デバイス物理を構築し、果てなき電子デバイスの高性能化に引き続き貢献していきたい。

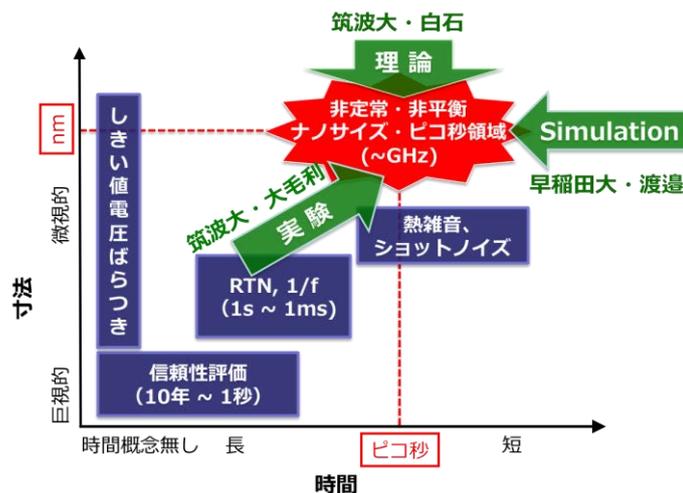


図 1.1 MOSFET 揺らぎ研究概念図と本研究課題の位置づけ。平成 23 年 4 月 22 日に行われた「平成 21 年度採択課題進捗報告会」での発表資料。

(2) 顕著な成果

1. W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, K. Ohmori  
“Fundamental origin of excellent low-noise property in 3D Si-MOSFETs ~ Impact of charge-centroid in the channel due to quantum effect on 1/f noise ~”  
International Electron Devices Meeting (IEDM), Washington DC, USA, December 5-7, 2011.  
概要: 立体構造トランジスタを用いることで、従来のプレーナ型トランジスタにくらべて、約一桁(単位:[A<sup>2</sup>/Hz])の雑音低減が達成できることを実証し、その機構を明らかにした。この成果は、「静かなトランジスタ」を実現するための設計指針に直接的な提案を行ったものである。
2. K. Ohmori, Ryu Hasunuma, Wei Feng, Keisaku Yamada  
“Continuous characterization of MOSFET from low-frequency noise to thermal noise using a novel measurement system up to 100 MHz”  
2012 VLSI Symposium on Technology, June 12-14, 2012, Hawaii, USA.  
概要: これまでに計測することができなかった高周波帯域雑音計測手法を、低雑音アンプをプローブに搭載することにより、可能にした。これにより、150MHz までの雑音評価が可能になった(現在は同様の手法で 800MHz まで可能:未発表)。この成果から、これまで捉えきれなかった新しい現象を見いだす可能性とともに、ピコ秒領域での新たな研究領域を拓くと考える。
3. K. Shiraishi, T. Shiokawa, G. Fujita, Y. Takada, M. Muraguchi, T. Yamamoto, T. Endoh, Y. Hatsugai  
“Theoretical study of multi-electron wave packet dynamics in semiconductor nano-structures”  
2nd International Conference on Small Sciences, Orland, Florida, Dec. 16-19, 2012.  
概要: 極微細半導体デバイス中で、電子を波と粒子の中間の性質をもつ波束として扱って電子の運動を計算し、複数の電子は協調的に一つの波束となって極微細デバイス中を運動し、その際、一つの波束が含むことのできる電子数には上限があることを明らかにした。この結果は、極微細デバイス中の電子伝導機構の新しい現象の発見に繋がると考えられる。
4. Takefumi Kamioka, Hiroya Imai, Yoshinari Kamakura, Kenji Ohmori, Kenji Shiraishi, Masanori Niwa, Keisaku Yamada, Takanobu Watanabe  
”Current fluctuation in sub-nano second regime in gate-all-around nanowire channels studied with ensemble Monte Carlo/molecular dynamics simulation”  
IEEE International Electron Devices Meeting (IEDM), San Francisco, USA, Dec. 11, 2012.  
概要: キャリアの離散性に起因する本質的なノイズがナノスケール・ピコ秒領域で顕在化し、およそ 100GHz を超える動作周波数領域で、現在のデバイスの主要ノイズであるランダム・テレグラフ・ノイズを上回ることをシミュレーションにより明らかにした。すなわち、当面はランダム・テレグラフ・ノイズの抑制が最重要課題であり、絶縁膜中の電荷捕獲や放出の確率を低下させることが、「静かなトランジスタ」を実現するために最も有効と判明した。

## § 2. 研究構想

### (1) 当初の研究構想

ナノスケールにおける非平衡状態の電子の挙動を記述することは必要不可欠になっているにもかかわらず、これらの学問領域は現在でも未成熟である。本提案研究では、ナノサイズ・ピコ秒領域の電子科学を構築し、時間的・空間的な不均質が避けられない将来ナノデバイスの動作原理及び設計指針を確立することを目標とする。ここで「ピコ秒領域」とは、伝導キャリアの散乱緩和時間(10-100 ps)からデバイス動作のクロック周波数( $\sim 2$  GHz)の周期(500 ps)までを含む時間帯として表現した。

微細 Si MOSFET においては、空間的不均一に由来する特性ばらつき、時間的な電流ノイズ等の現象が姿を現しつつある。これらの現象の理解を通して、ナノスケールの非平衡電子科学を確立し、それを検証できる現在は、新たな学問領域を創成する千載一遇の機会であり、その成果は産業的にも有益である。例えば、ナノスケール MOSFET においては、ドレインを熱浴として扱えず(非平衡性を考慮に入れる必要があり)、もはやランダウアー公式が成立しないことが示唆されている。またチャンネル中のドリフト伝導においても揺らぎが発生するが、その起因となる散乱現象の理解には、伝導キャリアの緩和時間(10-100 ps)であるピコ秒領域での非平衡電子科学の確立が不可欠である。

本研究を通して、デバイス中のキャリア数、移動度、不純物及び空間電荷の分布等が均質ではない系の挙動を理解するためのナノスケールの非平衡電子科学を創成する。その学理構築なくして、材料選択及びその構造設計に対して指針を提案することは出来ない。それを通じて、時間的・空間的な不均一性を抑制、または回避した「静かなトランジスタ」の設計指針提案を目指す。シリコンデバイスを用いて学理を構築することは産業界への直接的・即時的な貢献が期待される。さらに、得られた知見は、非平衡かつ少数電子系の基礎となるものであり、半導体スピントロニクス等の Beyond CMOS デバイスへの展開も可能であると考ええる。

### (2) 新たに追加・修正など変更した研究構想

ナノスケール・ピコ秒領域における非平衡電子科学を創成するという目標を掲げてスタートした本プロジェクトであったが、最初の一年間は、実験/理論/シミュレーションの各グループが、その目標に対する具体的なアプローチとグループ間での連携方法に関しては、必死に模索を行う状況であった。当初、実験/シミュレーション/理論では、取り扱うキャリアの数が、それぞれ数百万/数千/数十個と異なり、また、時間領域も当初は、それぞれ数  $\mu$ s/数百 ps/数百 fs と異なるスケールでの揺らぎ検討であった。

その中で、図 2.1 に示す様に GHz での揺らぎ現象検討を目指して、3 グループが集合するという具体的な目標を立てることができた。この 1GHz という周波数帯域(1ns という時間領域)は、ピコ秒領域への入り口であり、3 グループにとってそれぞれの新しい手法を必要としたが、現在、各グループが開発した他には無い独自の手法を通して、新たな領域を切り拓きつつあると考えている。

### § 3 研究実施体制

#### (1)「実験」グループ

##### ① 研究参加者

氏名	所属	役職	参加時期
大毛利健治	筑波大学大学院 数理物質科学研究科	准教授	H21.10～H25.3
Wei Feng	筑波大学大学院 数理物質科学研究科	研究員	H22.6～H25.3
山田啓作	筑波大学大学院 数理物質科学研究科	教授	H21.12～H25.3
丹羽正昭	筑波大学大学院 数理物質科学研究科	教授	H23.4～H25.3
野村晋太郎	筑波大学大学院 数理物質科学研究科	准教授	H21.10～H25.3
蓮沼隆	筑波大学大学院 数理物質科学研究科	准教授	H22.6～H25.3
櫻井蓉子	筑波大学大学院 数理物質科学研究科	D4	H21.10～H25.3
奈良安雄	富士通セミコンダクター	部長	H21.10～H25.3
松木武雄	ルネサスエレクトロニクス	主任研究員	H22.3～H25.3
佐藤基之	東芝 デバイスプロセス 開発センター	主務	H22.5～H25.3
福田浩一	産業総合技術研究所 ナノ電子デバイス研究センター	主任研究員	H22.6～H25.3
Dou Chunmeng	筑波大学オナーズプログラム	D2	H23.10～H25.3
呉 研	筑波大学オナーズプログラム	D2	H23.10～H25.3
Ranga Hettiarachchi	筑波大学大学院 数理物質科学研究科	研究員	H22.5～H23.8
佐藤創志	東京工業大学総合理工学研究 科物理電子システム創造専攻	博士2年生	H21.10～H23.3
清家綾	早稲田大学 理工学術院 基幹理工学研究科	客員講師	H21.10～H22.3
高井一	早稲田大学 理工学術院 先進理工学研究科	修士1年生	H21.10～H22.3

##### ② 研究項目

- ・ 静特性ばらつきと雑音特性の相関
- ・ 雑音特性に与えるキャリア伝導機構の影響
- ・ 金属/high-k 絶縁膜トランジスタにおける雑音特性
- ・ ナノスケール MOSFET チャネルでのポテンシャル変化のリアルタイム観測
- ・ 立体構造トランジスタによる静かなトランジスタ設計指針
- ・ 独自システム開発による高周波帯域雑音の計測
- ・ 独自システムによる雑音の基板電圧依存性評価
- ・ 低雑音アンプの IC 化及び DUT の IC 内蔵による GHz 帯域での MOSFET 雑音評価
- ・ パルス信号入力時の MOSFET 電流揺らぎ評価

(2)「理論」グループ

① 研究参加者

氏名	所属	役職	参加時期
白石賢二	筑波大学数理物質系	教授	H21.10～H25.3
初貝安弘	同上	教授	H12.10～H25.3
谷口伸彦	筑波大学大学院 数理物質科学研究科	准教授	H21.10～H25.3
高田幸宏	筑波大学大学院 数理物質科学研究科	研究員	H21.10～H25.3
棚谷翔	筑波大学大学院 数理物質科学研究科	D3	H21.10～H25.3
Puetter Christoph Minol	筑波大学大学院数理物質科学研 究科(計算科学研究センター)	研究員	H23.9～H25.3
笹岡健二	東京大学大学院工学系研究科	研究員	H23.6～H25.3
神谷克政	筑波大学大学院 数理物質科学研究科	助教	H23.6～H25.3
Yang Moon Young	筑波大学大学院 数理物質科学研究科	D2	H23.6～H25.3
塩川太郎	筑波大学物理学類	M1	H23.6～H25.3
Young Taek Yoon	筑波大学物理学類	B4	H23.6～H24.3
海老原康裕	筑波大学大学院 数理物質科学研究科	M2	H23.6～H24.3
吉崎智浩	筑波大学大学院 数理物質科学系	M2	H23.11～H24.3
米村悠	筑波大学大学院 数理物質科学研究科	M2	H22.10～H23.3
有川晃弘	筑波大学大学院数理物質科学研 究科(計算科学研究センター)	研究員	H22.4～H23.3
野村晋太郎	筑波大学大学院 数理物質科学研究科	准教授	H21.10～H23.3
櫻井蓉子	筑波大学大学院 数理物質科学研究科	D2	H21.10～H23.3
小口悠	筑波大学大学院 数理物質科学研究科	研究員	H21.10～H23.3
山口慶太	筑波大学大学院 数理物質科学研究科	M2	H21.10～H23.3
磯崎健太	筑波大学大学院 数理物質科学研究科	M2	H21.10～H23.3

② 研究項目

- ・ 量子・古典クロスオーバー系の伝導機構の検討
- ・ オーミック接触の新しい物理モデルの提案

(3)「シミュレーション」グループ

②研究参加者

氏名	所属	役職	参加時期
渡邊 孝信	早稲田大学理工学術院	教授	H21.10～H25.3
神岡 武文	早稲田大学ナノ理工学研究機構	次席研究員	H21.10～H25.3
凶師 知文	早稲田大学理工学術院	D1	H24.4～H25.3
高井 一	早稲田大学理工学術院	M2	H21.10～H23.3
吉田 尚弘	早稲田大学理工学術院	M2	H21.10～H23.3
磯野 文哉	早稲田大学理工学術院	M2	H23.4～H25.3
鹿浜 康寛	早稲田大学理工学術院	M2	H23.4～H25.3
川村 祐士	早稲田大学理工学術院	M2	H23.4～H25.3
富田 将典	早稲田大学理工学術院	M1	H23.4～H25.3
青木 直成	早稲田大学理工学術院	M1	H24.4～H25.3
今井 裕也	早稲田大学理工学術院	M1	H24.4～H25.3
栗山 亮	早稲田大学理工学術院	M1	H24.4～H25.3
山下 広樹	早稲田大学理工学術院	M1	H24.4～H25.3

②研究項目

- ・ EMC-MD 法によるナノサイズ・ピコ秒領域の電流揺らぎの解析
- ・ ナノワイヤ型ショットキーバリアトンネル FET に関する基礎的検討
- ・ 分子動力学法による Si ナノ構造中のフォノンの解析

## § 4 研究実施内容及び成果

### § 4.1 ナノデバイスにおけるピコ秒領域のキャリア伝導観測と解析(筑波大学 実験グループ)

#### (1)研究実施内容及び成果

##### (1-1) 静特性ばらつきと雑音特性の相関

##### (1-2) 雑音特性に与えるキャリア伝導機構の影響

##### (1-3) 金属/high-k 絶縁膜トランジスタにおける雑音特性

##### (1-4) ナノスケール MOSFET チャンネルでのポテンシャル変化のリアルタイム観測

##### (1-5) 立体構造トランジスタによる静かなトランジスタ設計指針

##### (1-6) 高周波帯域雑音計測のための独自システム開発

##### (1-7) 独自システムによる雑音の基板電圧依存性評価

#### 研究実施内容(1-1) 静特性ばらつきと雑音特性の相関

MOSFET のゆらぎはデバイスの微細化・高性能化にとって、最も懸念される問題の一つである。ゆらぎは、多数のトランジスタ間の静特性ばらつきと、単一トランジスタの時間ゆらぎ(雑音)に分けることができる。

図 4.1.1 は、静特性のばらつき(Pelgrom plot)である。不純物濃度が小さい方が傾きが小さく、不純物離散化によるばらつきが小さいことがわかる。図 4.1.2 は、 $L/W = 190 \text{ nm}/2\mu\text{m}$  のトランジスタに対するドレイン電流の静特性ばらつき( $\sigma_{Id}/Id$ )のゲートオーバードライブ電圧依存性である。どちらの基板不純物濃度においても、 $\sigma_{Id}/Id$  の値はサブスレッショルド電圧近傍で大きな値を持つが変化が少なく、ゲート電圧が大きくなりしきい値近傍からキャリア数が増大する事により単調に減少する。この変化は、MOSFET のチャンネル伝導がしきい値前後で拡散伝導からドリフト電流に変化する事とよく合致している。また着目すべき点として、基板不純物濃度が小さい方が、しきい値での傾きが大きいことが挙げられる。

図 4.1.2 で用いたものと類似の寸法(L, W)の MOSFET に対して、雑音測定を行った。図 4.1.3 はドレイン電流で規格化した雑音スペクトルのゲートオーバードライブ電圧及び基板電圧への依存性である。基板不純物濃度が高いときは、

移動度の低下を反映して雑音が大きくなる。さらに、基板不純物濃度が小さい方が、その傾きが大きい。この事は、静特性ばらつきでも観測された様に、しきい値前後でのキャリア伝導機構の変化と密接に関わっていると考えられる。

以上、多数のトランジスタ測定によって得られる静特性のばらつきと一つのトランジスタ計測から得られる雑音特性のばらつきを比較し、キャリア伝導機構の見地から考察した結果、その共通の依存性を見いだすことが出来た。

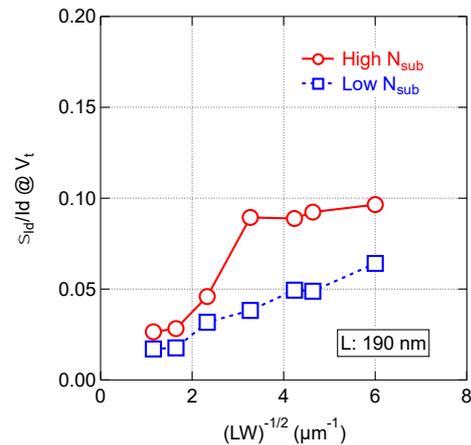


図 4.1.1 N-MOSFET の静特性ばらつき(ペルグロムプロット)。しきい値でのドレイン電流値のばらつきの大きさを評価した。ゲート長 190nm のトランジスタに対して、ゲート幅を変化させた。

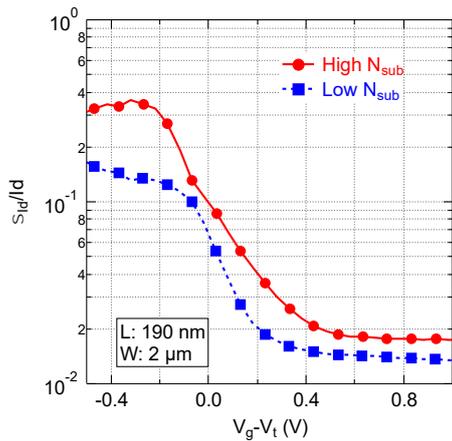


図 4.1.2  $I_d$ - $V_g$  特性のミスマッチスイープ。ドレイン電流ばらつきゲート電圧依存性。ばらつきはしきい値前後で大きく変化していることがわかる。

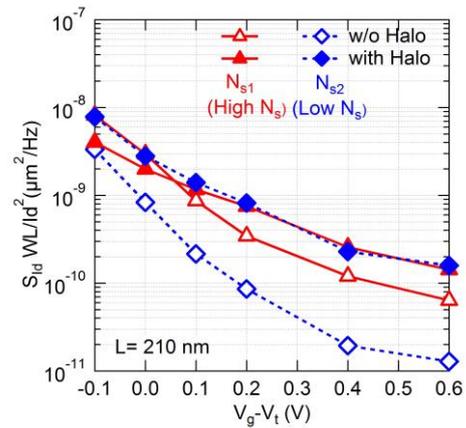


図 4.1.3 規格化した雑音パワースペクトル強度。ゲート絶縁膜はいずれも 3nm 厚の  $\text{SiO}_2$  膜であるが、ゲート電圧依存性はチャンネル不純物の濃度と分布に依存する。

#### 研究実施内容(1-2)雑音特性に与えるキャリア伝導機構の影響

図 4.1.3 で述べた様に、規格化した雑音スペクトル強度のゲートオーバードライブ電圧依存性はチャンネルの作製条件(基板不純物濃度、ハロー注入の有無、ゲート長)に依存する。しきい値前後の雑音強度とトランジスタのチャンネルにおける伝導機構を詳細に比較した結果、図 4.1.3 におけるしきい値での雑音強度の変化(傾き)は、デバイスのサブスレッショルド・スロープに依存する事が明らかになった(図 4.1.4)。しきい値前後においてドレイン電流の伝導機構は、それぞれ拡散及びドリフト伝導である事を考慮すると、この結果は、雑音特性がキャリアの伝導機構に依存する事を示唆している。すなわち、サブスレッショルド近傍では、本来拡散電流が支配的であるが、微細 MOSFET においては短チャンネル効果等に寄ってドリフト成分が増加する。これを以下に抑制するかが、S 値の低減に欠かすことができない。しかしながら拡散電流はそのランダム性の高い伝導機

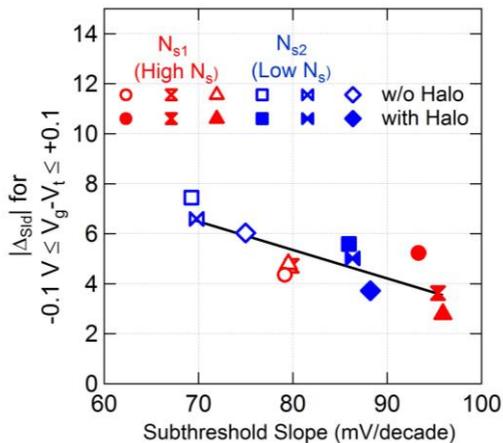


図 4.1.4 閾値近傍の雑音強度の変化(傾き)と S 値の関係。作製条件(基板不純物濃度、ハロー注入の有無、ゲート長)を変えた MOSFET に対して計測した。

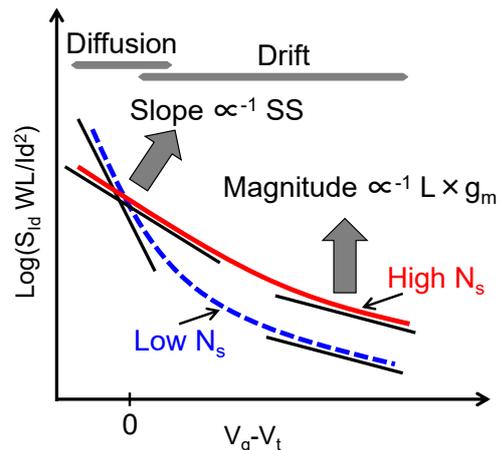


図 4.1.5 ノイズ強度のゲート電圧依存性の模式図。

構から雑音強度が高く、特性はトレードオフの関係にあると考えられる(図 4.1.5)。

研究実施内容(1-3) 金属/high-k 絶縁膜トランジスタにおける雑音特性

金属/high-k 絶縁膜は極薄化する絶縁膜に伴うトンネルリーク電流を抑制する材料として用いられているが、新規材料の導入は新たなばらつきやゆらぎの原因となり得る。特に等価絶縁膜厚低減に有効な手法である窒化処理はトラップ密度を増大させる事が懸念されている。図 4.1.6 に示す様に、窒化処理の方法によってはトラップが増加し、ノイズの増大に寄与する。窒化処理は、high-k 絶縁膜中の欠陥を低減させるとともに、界面層の欠陥密度を増加させる。PBTI(positive bias temperature instability)測定を行った結果、窒化処理によって寿命の低下が観測された(図 4.1.7)。その結果、図 4.1.8 に示す様にノイズ増大に寄与するトラップはシリコンに近い界面層側に存在する事が明らかになった。

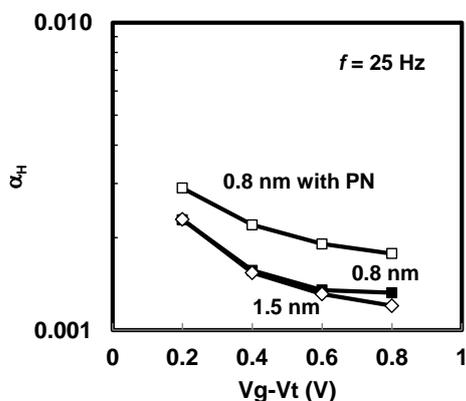


図 4.1.6 Hooge パラメータ ( $\alpha_H$ ) のゲート電圧依存性。界面層の厚さは 0.8 及び 1.5nm。プラズマ窒化処理により  $\alpha_H$  雑音特性の劣化が見られる。

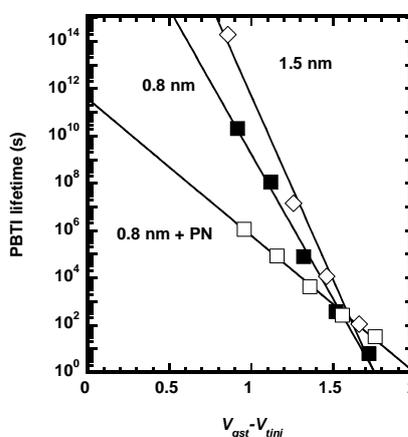


図 4.1.7 界面層の異なる MOSFET の PBTI 寿命。Vgst 及び Vtini は、それぞれストレスゲート電圧と、ストレス前のしきい値電圧。

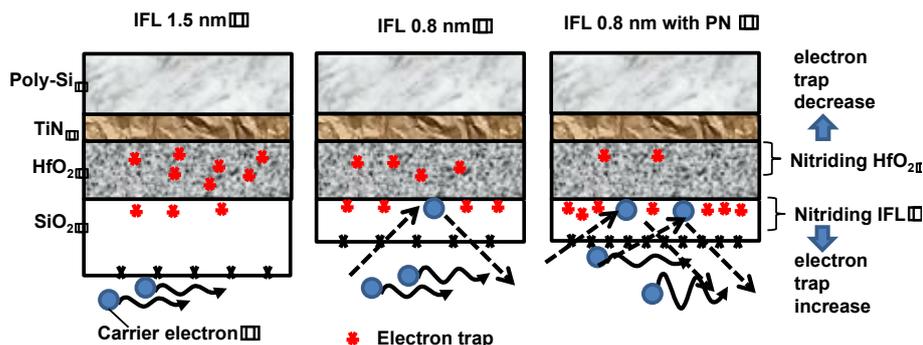


図 4.1.8 雑音及び PBTI 寿命に影響を与える電子トラップ形成の模式図。

研究実施内容(1-4) ナノスケール MOSFET チャンネルのポテンシャル変化のリアルタイム観測

微細 MOSFET において顕在化しているランダムテレグラフノイズ(RTN)は、ドレインまたはゲートの電流・電圧がディスクリートに変動する現象である。その要因としては、ゲート絶縁膜でのトラップ捕獲・放出があげられる。我々は、特殊な電圧モニタ端子をチャンネル中に取り付けたナノワイヤトランジスタを用いて、ドレイン電流の RTN 要因となるチャンネルでのトラップ捕獲・放出によるポテンシャル

変化を直接リアルタイムで測定する事に成功した(図 4.1.9)。その結果、ナノワイヤチャンネルにおける RTN は、局所的なトラップの捕獲・放出による電圧変動が、チャンネル全域に亘って起きることが明らかになった。ゲート幅の大きいプレーナトランジスタの場合は、電流経路として迂回することが出来るが、ナノスケールでは局所トラップがボトルネックになる事を示している。(VLSI Symposia 2011にて発表)

### (1-5) 立体構造トランジスタによる静かなトランジスタ設計指針

MOSFET 雑音、特に  $1/f$  雑音もしくはフリッカーノイズと呼ばれる低周波帯域での雑音は、キャリア電子の移動度の揺らぎや絶縁膜中のトラップによって発生する。そのため、その雑音強度を低減する方法として、チャンネル形成を制御する事を試みた。しかしながら、例えば通常のプレーナ型 MOSFET を用いた場合、絶縁膜トラップでのキャリアの捕獲・放出頻度を

低減するために、深い位置にチャンネルを形成すると、ゲートの実効力が低下し、ゲート容量の低下や短チャンネル効果の発現が危惧される。

我々は、立体構造ナノワイヤ型 MOSFET を用いる事で、同じ電流量で比較したときにプレーナ型 MOSFET よりも雑音強度を低減することが出来る事を実験的に見いだした(図 4.1.10)。これは、量子効果によりナノワイヤ芯にチャンネルが形成され、絶縁膜でのトラップ頻度を低減するためと考えられる。さらに、ナノワイヤにおける量子効果は、誘起するキャリア密度の増大をもたらすために、界面からチャンネルが遠ざかった場合でも実効的なゲート容量の低下を回避できる事を実験およびシミュレーションより明らかにした(図 4.1.11)。

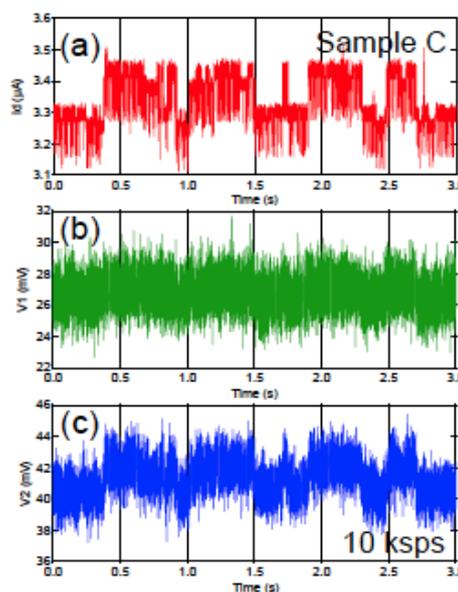


図 4.1.9 (a) ドレイン電流の RTN および (b-c) それに関連したチャンネル中の電圧の時間変化。

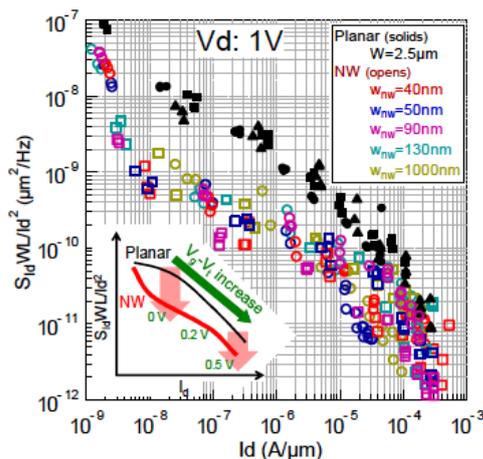


図 4.1.10 ナノワイヤ型(色付き)及びプレーナ型(黒)における雑音強度の電流値依存性。ナノワイヤの方が雑音強度が低いことがわかる。

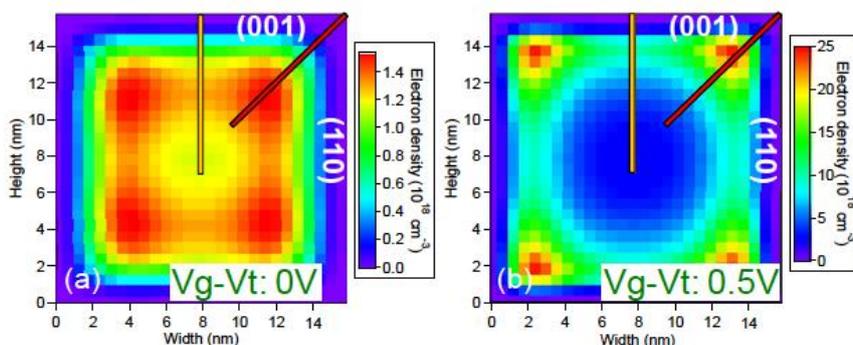


図 4.1.11 (a)  $V_g=V_t$  及び  $V_g=V_t+0.5V$  におけるナノワイヤチャンネル断面のキャリア分布。Poisson-Schrödinger 方程式によりシミュレーションを行った。

(IEDM 2011にて発表)

研究実施内容(1-6) 高周波帯域雑音計測のための独自システム開発

本研究課題の最も大きな目的の一つが、より高周波帯域におけるトランジスタの雑音を実測し、それに基づいた現象の理解と抑制への指針を提案する事である。特に時間ゆらぎや雑音は、デジタル/アナログ回路特性の劣化やエラーレートの増大をもたらし、信号の誤り訂正技術という回路的なアプローチにより、性能回復が図られてはいるが、雑音の本質的な解明とその抑制手法の開発は、今後益々重要なテーマである。

既に述べた様に、雑音の主要因として、低周波帯域(100kHz以下)では  $1/f$  雑音、高周波帯域(数GHz以上)では熱雑音が支配的である(図 4.1.12)。その要因が変化するコーナー周波数は、回路設計上重要なパラメータであるが、素子の駆動力向上により、益々高くなっており、現在の数十ナノメートルの世代においては、10MHzを超える帯域になっている。しかしながら、市販の  $1/f$  雑音システムでは、1MHzを超える計測は困難である。一方、高周波帯域における熱雑音の計測は、雑音指数メータを用いて行われるが、embedding用の高周波TEG(test element group)を必要とし、また、数GHz以上での評価が一般的である。すなわち、MOSFET雑音のコーナー周波数やSRAMのアクセス時間(5ns→200MHz)を含む重要な帯域である1MHzから数GHzに亘る雑音評価技術は、確立していない。

例えば、図 4.1.13 に示す様に、市販の雑音評価機器では1MHzを超えると素子(DUT)のノイズに比べて測定システムの雑音強度が大きくなり、それ以上の帯域では雑音計測が出来ない。その主な要因は(1)DUTと雑音を増幅するアンプの距離が遠い(1GHzの波長は30cmであるが、通常の測定では、DUTからアンプまでの距離も同程度)こと、さらに(2)アンプがそもそも低周波雑音の帯

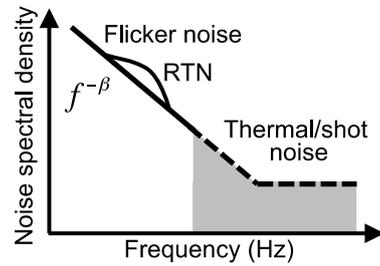


図 4.1.12 MOSFET 雑音の周波数依存性とその主要因。

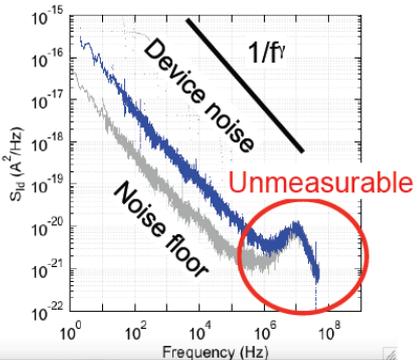


図 4.1.13 市販の雑音測定機における測定機のノイズフロアと DUT からの雑音。

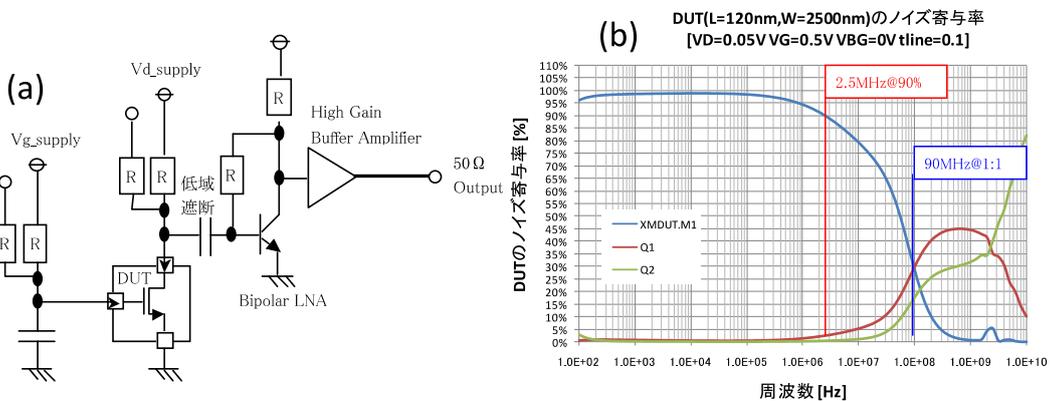


図 4.1.14 (a) 広帯域雑音測定プローブの回路図。(b) シミュレーションによる回路(Q1, Q2)及び被測定デバイス(XMDUT)からのノイズ成分寄与率。

域用に設計されていることが挙げられる。そのために我々はまず、既存(市販)の機器に代わる測定回路をプローブに搭載することにより DUT の極近傍へ設置し、高周波特性の計測を可能にするシステムの検討を行った。図 4.1.14(a)に示す様にドレイン電流から交流結合により電圧の変化を時間変化で検知し、2 段の超低ノイズアンプを用いて増幅する。さらに、このシステムは既存の測定を既存のデバイス上で行いながら、より高周波帯域の計測を可能にすることが出来る。実際、図 4.1.14 (b)に示す様に、シミュレーションによると 90MHz を超える帯域で DUT の雑音信号を検出可能である。この検討に基づいて測定システムの構築を行った。

最終的には、図 4.1.15 に示す様に DUT から 1cm 以内にアンプを配置することが出来るマイクロプローブの設計及び作製を行い、安定化電源及びスペクトラムアナライザを用いた測定システムを開発した。

図 4.1.16 は、その高周波帯域雑音プローブで(a) 予

測される MOSFET 雑音強度(シミュレーション)と(b) DUT を測定した結果である。利得差が -3dB になる遮断周波数で見た場合、14kHz~154MHz までの雑音計測が可能となった。実際、(b)で見られる様に灰色のノイズフロアに比べて十分な DUT からの雑音が 100MHz 超まで測定できていることがわかる。尚、100kHz 以下の低周波帯域での雑音強度の低下は、容量結合で雑音成分を低雑音アンプへ入力していることによるものである。

このプローブを用いて様々なプロセス条件で作製したデバイスを測定した。図 4.1.17 に示す様に、膜厚 3nm の SiO<sub>2</sub> をゲート絶縁膜に持つ MOSFET においては、熱雑音の顕在化による 1/f 雑音の傾きが緩やかになる様子が観測できた。しかしながら、金属/high-k 絶縁膜(等価酸化膜厚 1.6nm)の MOSFET においては、その高い駆動力のために 100MHz を超えても 1/f 特性が現れていることがわかる。

我々は、このプロジェクト開始後に、実験/理論/シミュレーションの3グループが、1GHz での MOSFET 時間揺らぎを議論し、その抑制手法の提案を目標とした。本研究実施内容では、我々のアプローチの実証と、既存(市販)の雑音評価システムに比べて、約3桁の周波数帯域伸長に成功した。しかしながら、現在のナノデバイスにおいて、そのコーナー周波数は、1GHz に迫ろうとしており、更なる帯域の伸長が必要である。現在の帯域を決めているものは、やはり、低雑音アンプの帯域とアンプと DUT

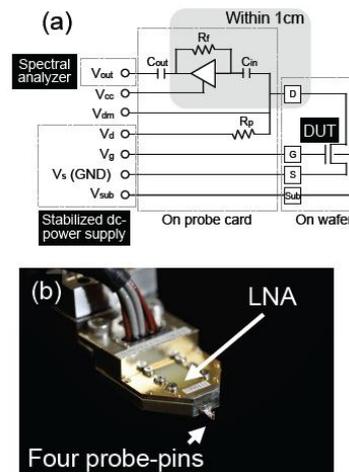


図 4.1.15 (a) 開発システムのブロック図と (b) 作製した高周波帯域雑音プローブ。

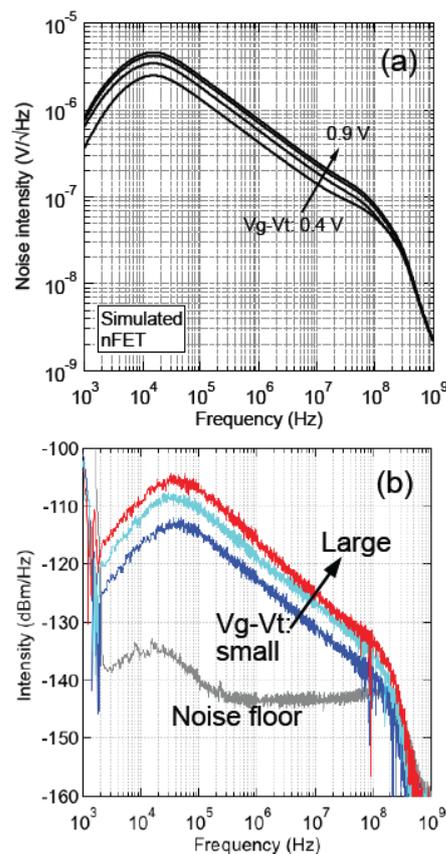


図 4.1.16 (a) シミュレーションによる予測特性と (b) MOSFET 雑音の実測データ。80kHz~100MHz 程度の実用周波数帯域が得られた。

が離れていることによる帯域の劣化(寄生容量の追加)である。これらを改善した研究内容に関しては、研究実施内容(1-8)において述べる。(2012年6月にVLSI Symposiumにおいて発表)

研究実施内容(1-7) 独自システムによる雑音の基板電圧依存性評価

研究実施内容(1-6)において、100MHz を超える帯域での雑音評価技術を開発したことを述べた。計測技術はもちろん重要であるが、それにより既存の手法では、観測できない現象を見だし、静かなトランジスタの設計指針を得ることが最終的な目標である。

ここでは、既存の雑音測定と独自開発したプローブによる測定を組み合わせることにより、新たに見いだされた雑音の特徴について報告する。

低周波雑音は、反転層キャリアが絶縁膜トラップに捕獲され、またトラップから放出されることが主な要因である。しかしながら、それが引き起こす雑音の発生機構として、エネルギーバンドの変化によるキャリア数の変化による揺らぎ(number fluctuation)や移動度の揺らぎ(mobility fluctuation)が、提案されて以来、20年以上に亘って未だ議論がされている。

捕獲・放出の頻度は、絶縁膜のトラップ密度、エネルギー準位、界面からの距離、印加電圧等に依存する。そのため、基板電圧を印加することにより、反転層キャリアの界面からの電荷中心位置を変化させ、雑音強度を制御することが可能である。キャリアの捕獲放出に関しては、チャージポンピング法を用いた絶縁膜トラップの評価や、BTI(bias-temperature instability)法による信頼性評価で多くの議論がされてきたが、そこで観測されるトラップの緩和時間は、最も速いもので $\mu\text{s}$ のオーダーである。通常の(オンウェーハでの)計測システムでは、 $\mu\text{s}$ 以下(MHz以上)の信号を計測することは容易ではないため、 $\mu\text{s}$ 以下の緩和時間でキャリアを捕獲・放出するトラップが、非常に少ないのが、それとも計測できていないのか判断するのは困難である。

図 4.1.18 に MOSFET 雑音強度の基板電圧依存性を示す。基板電圧による雑音強度の変化は、主に 100kHz 以下の低周波帯域で見られ、それよりも高帯域では、基板電圧依存性は見られない。しかしながら、通常の計測システムでは、これ以上の高周波帯域での計測は困難であるため、開発した雑音プローブによる計測を行った。図 4.1.19 に示す様に、実際、高周波帯域では 1MHz を超えて 1/f 雑音が見られるにも関わらず、雑音の基板電圧依存性が、低周波帯域ほど顕

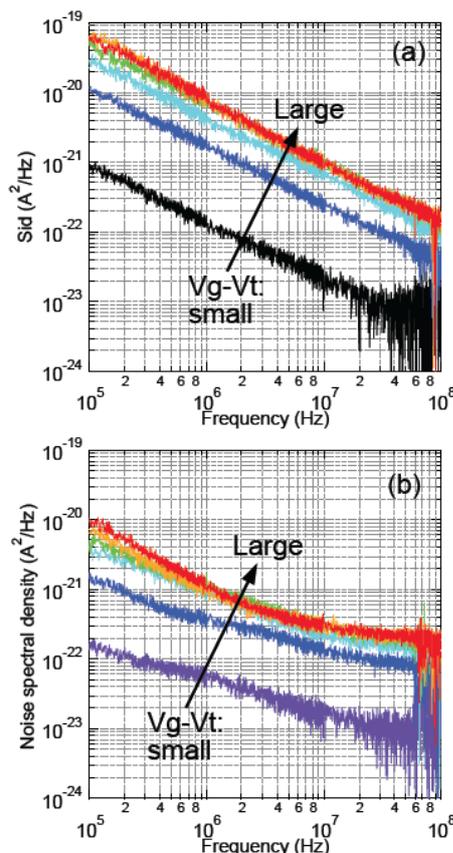


図 4.1.17 (a) 金属/high-k 絶縁膜トランジスタ。1/f 特性が 100MHz においても見られる。(b) 傾きが小さくなり熱雑音レベルが見え始めている。100MHz 近傍までの測定帯域拡張により、これらの現象の観測が可能となった。

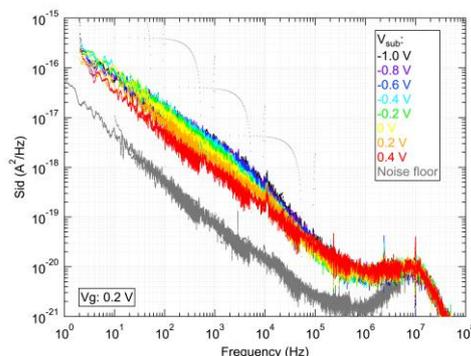


図 4.1.18 MOSFET 雑音強度の基板電圧依存性(低周波帯域)。基板電圧による雑音強度の変化は、主に 100kHz 以下の低周波帯域で起きていることがわかる。

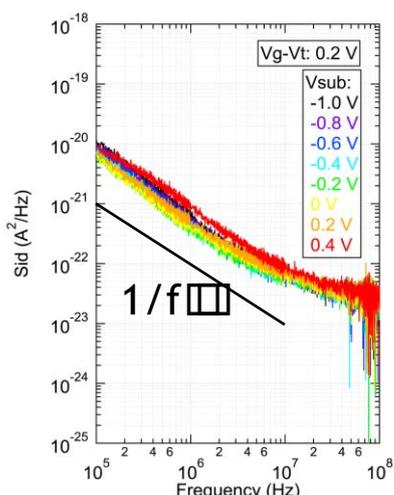


図 4.1.19 MOSFET 雑音強度の基板電圧依存性 (高周波帯域)。高周波帯域では、雑音の基板電圧依存性が少ない。

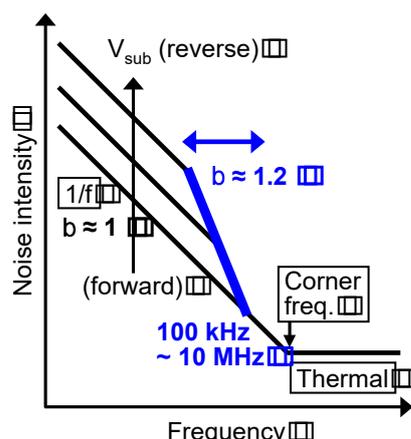


図 4.1.20 MOSFET 雑音強度の基板電圧依存性の模式図。

著ではない。このことは、 $1/f$  雑音を構成する複数の因子があり、それらの周波数依存性が異なることを示唆している。傾きの周波数依存性を検討した結果、図 4.1.20 に示す様に、この複数の因子の影響の大きさが逆転する周波数が  $100\text{kHz} \sim 10\text{MHz}$  であり、その周波数では、 $1/f$  雑音の傾きが約 1.2 と大きくなることが明らかになった。より詳細な検討により、これまで議論されてきた、雑音発生機構 (number/mobility fluctuation) の明瞭な切り分けが可能になると考える。

#### 研究実施内容 (1-10) フェムト秒光パルスを用いたナノデバイスのピコ秒物理の解析

ナノデバイスのピコ秒物理の解析には、広帯域オシロスコープを用いた時間軸での電気測定、もしくは広帯域スペクトラムアナライザを用いた周波数軸での電気測定によって従来行われてきた。これらの測定では主に電気パルスの伝送路中での信号の減衰やパルス幅の広がりが生じ、時間分解能に限界が生じていた。一方で、光パルスの計測を行う時間分解光学測定では、伝送路中での光パルスの劣化は小さくフェムト秒代の時間分解測定による研究が幅広く多くの研究グループで実施されている。本研究では、被測定対象の直近の光パルスによって電気信号の on、off を行う光伝導スイッチを用いることにより電気パルスの伝搬長を最小にして、通常の電気測定のみでは困難な時間領域であるナノデバイスのピコ秒物理の解析を試みた。光伝導スイッチは半導体に直流電圧を印加して超短パルス光を照射することにより電子正孔プラズマを光生成し、過渡的に電気抵抗を変化させるものである。これを 2 個使うことにより電気パルスのピコ秒時間分解測定が可能となる。光伝導スイッチを用いると 1 つの半導体チップ上に光伝導スイッチと被測定対象の電子素子を作り込んで時間分解を行えることから、配線を極めて短くすることが可能で、信号の劣化を抑えた測定が可能となった。

具体的には、繰り返し  $80\text{MHz}$  のチタンサファイアモード同期フェムト秒レーザーからのパルス光をポンプ光

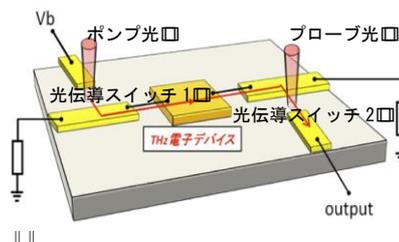


図 4.1.28 二つの光伝導スイッチを用いた電子デバイスのピコ秒応答測定方法の概略図。ポンプ光、プローブ光に時間差をつけて過渡的応答を測定。

とプローブ光とに分け、可動ステージによりプローブ光の光路差を変えて時間遅延を与えて、図1に示すようにそれぞれ二つの光伝導スイッチに対物レンズを用いて局所的に照射した。出力信号を直近に設置した高周波アンプで増幅した後、高周波ロックインアンプで検出した。時間分解能はこれらの電気測定機器で決まるのではなく、光伝導スイッチの応答特性で決まる。光照射による抵抗変化が大きい半絶縁性 GaAs を用いた光伝導スイッチを用いた。光伝導スイッチを構成するショットキー電極の形状、特に対向電極間の間隔の最適化を行った。

図2に、二つの光伝導スイッチを直列に接続した場合の応答特性例を示す。周期約 240 ps の振動的構造が観測された。この周期は光伝導スイッチに印加した直流バイアス電圧( $V_b$ )が 12 V 以下では一定であった。 $V_b = 10$  V に固定し、ポンプ光の平均パワーを 20  $\mu$ W から 10 mW、プローブ光平均パワーを 3  $\mu$ W から 1 mW に変化させて応答特性を調べた。ポンプ光の平均パワーが 10 mW の場合は熱によるブロードニングと信号の飽和が見られたが、20  $\mu$ W から 2.5 mW の間の平均パワーではそれらは見られず、また振動の周期も一定であった。この結果はポンプ光の平均パワーを 20  $\mu$ W でも十分に大きな信号が得られ、ナノデバイスの時間応答測定にこの手法が適用可能であることを示した。

次に実際に Si-MOSFET を対象に図1に示すように二つの光伝導スイッチと被測定対象を近接して配置し、研究を実施した。Si-MOSFET のソース、ドレイン電極と光伝導スイッチはワイヤボンディングにより可能な限り短く結線した。ゲート電圧に依存した時間応答特性を得た。現状では、ワイヤボンディング部の影響が見られ、より高い時間分解能を得るためにはマイクロストリップライン構造でインピーダンス整合した結線方法が望ましいことがわかった。以上により、フェムト秒光パルスを用いたナノデバイスのピコ秒物理の解析手法が構築された。

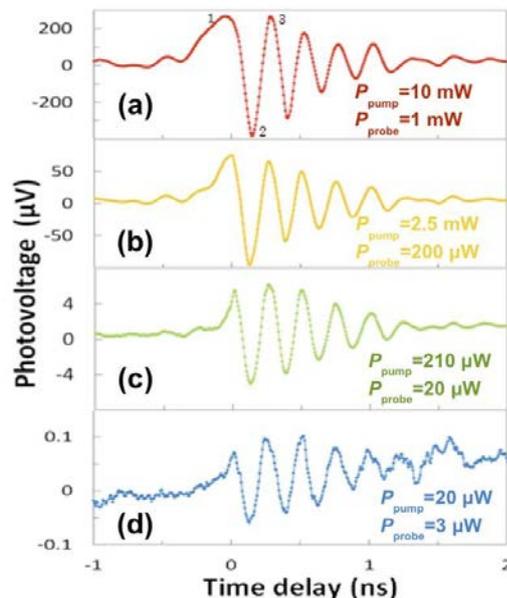


図 4.1.29 図2、光伝導スイッチの応答特性。直流バイアス電圧  $V_b = 10$  V に固定し、繰り返し 80 MHz 励起パルスレーザーのポンプ光( $P_{\text{pump}}$ )、プローブ光( $P_{\text{probe}}$ )平均パワーを (a)  $P_{\text{pump}} = 10$  mW and  $P_{\text{probe}} = 1$  mW, (b)  $P_{\text{pump}} = 2.5$  mW and  $P_{\text{probe}} = 200$   $\mu$ W, (c)  $P_{\text{pump}} = 210$   $\mu$ W and  $P_{\text{probe}} = 20$   $\mu$ W, and (d)  $P_{\text{pump}} = 20$   $\mu$ W and  $P_{\text{probe}} = 3$   $\mu$ W とした。

## 4. 2 ピコ秒・ナノスケールの物理の構築とナノデバイス設計指針 (筑波大学 理論グループ)

### (1) 研究実施内容及び成果

#### 概要

理論グループは、ナノメートルスケール・ピコ秒領域の物理概念の構築を行うことを目指して研究を行なった。特にナノスケールデバイスに高電界を印加されるとデバイス中の電子は量子論的性質と古典論的性質の双方を有するようになると考えられる。すなわち、量子・古典クロスオーバー領域の電子物性を考察することが本研究のキーポイントである。電子輸送の物理は、①ドルーデモデルに代表される古典的な手法、②ランダウアー公式で代表される量子力学的な手法、の2つの立場からこれまで精力的に研究されてきた。しかしながら、これら2つの立場の間をつなぐ領域はほとんど研究が行われていない。上述の量子・古典クロスオーバー領域の電子物性を考察するために、「波束ダイナミクス」というこれまでの電子輸送解析に用いられてこなかったアプローチによってナノ構造体中の電子の挙動を考察し、「多電子波束」ではじめて顕在化する新しい物理現象を理論的に明らかにすると同時に、この結果に立脚して「ナノスケール・ピコ秒領域」で顕在化する新しい物理現象を明らかにした。具体的には「量子・古典クロスオーバー領域」において電子は波束として運動すると予見されるが、その波束が持つ特徴的な性質を明らかにした。それは以下の記述すとおりである。

- ① 1つの波束は多くの電子を収容できること、
- ② 1つの波束が収容できる電子数には上限があること。
- ③ 項目②の上限は波束のサイズ、電子間相互作用に依存すること。

このように電子がある程度の「かたまり」となって波束としてまとまって運動することは、電子輸送の考え方、特にキャリア伝導における本質的なゆらぎに関わるもので、今後実験グループとの共同により、新しい物理現象の観測、新しいナノ科学・新しいデバイス物理の確立へとつながってゆくと考えられる。

また、オーミック接触の考え方に対しても研究を行い、オーミック接触がこれまでの電子デバイスの教科書に載っている機構ではなく、全く別の機構で考察できることの提案を行なった。具体的にはショットキー障壁中の界面準位分布、界面準位数を制御することで、ショットキー障壁が存在してもオーミック接触が電気特性としては実現されることを理論的に明らかにした。

#### 研究項目1 量子・古典クロスオーバー系の伝導機構の検討

##### § 4.2.1 はじめに

波束とは、多くの電子が協調的振舞った結果、あたかも一つの波のように見える多電子の状態というイメージで我々は考えている。しかし、多くの電子から構成される波束のダイナミクスに関する理論的研究は皆無であった。これまで行われてきた波束にダイナミクスに関する研究は、1電子波束あるいは2～3電子波束に対する検討がばかりであった。本CRESTプロジェクトでは、多くの電子から構成される波束の本質に迫る研究を世界ではじめて手がけ、多電子波束の持つ本質的な物理の解明に成功し、ナノ物理学における新しい物理概念の構築に成功した。

本プロジェクトが多電子波束に注目し、注力した理由は次のとおりである。デバイスの極微細化の結果、将来のトランジスタのゲート長は10nm程度になることが予想されている。一方で、電源電圧はゲート長に比べてその低電圧化が進んでいないため、ナノスケールの領域に高電圧のかかる状況で将来のナノデバイスは動作することになる。

高電界下に置かれたナノ構造体中の電子は、電子が本来もつ「波(量子)」の性質と同時に「粒子(古典)」の性質を有するようになり、「量子・古典クロスオーバー領域」での振る舞いをすると考えられる(図1)。本プロジェクトでは、量子・古典クロスオーバー領域で振舞う電子を「波束」として表現し、波束のダイナミクスを検討することで、将来のナノデバイス領域で顕在化する新しい物理現象を研究することを通して、将来デバイスの揺らぎ抑制設計指針構築へつなげることを目指して研究を行なった。

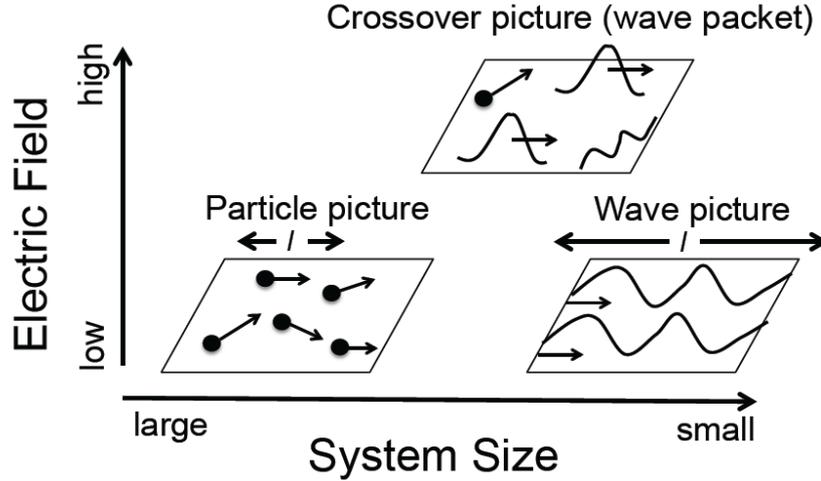


図 4.2.1: 本プロジェクトが対象とする量子・クロスオーバー領域の模式図と波束 (Wave packet) との関係

#### § 4.2.2 1 電子波束ダイナミクス

まず、最初に行なったのは、波束自体の性質を見極めるために、1電子波束の持つ特徴的な性質を検討した。まずは磁性不純物を記述する最も典型的なモデルとして知られているアンダーソンモデル(図2)を考えた。アンダーソンモデルのハミルトニアンは次式で与えられる。

$$\mathcal{H} = - \sum_{j=1}^{\infty} \sum_{\sigma=\uparrow,\downarrow} [c_{j,\sigma}^\dagger c_{j+1,\sigma} + \text{H.c.}] + U n_{\uparrow}^f n_{\downarrow}^f + V \sum_{\sigma=\uparrow,\downarrow} [c_{j_0,\sigma}^\dagger f_{\sigma} + \text{H.c.}] + \varepsilon_f \sum_{\sigma=\uparrow,\downarrow} n_{\sigma}^f, \quad (1)$$

アンダーソンモデルにおいては、On-Site クーロン相互作用  $U$  が大きい場合には、不純物サイトは常に1重占有状態であり、2重占有状態は殆ど無視できると考えられている。図 4.2.2 のようにアンダーソンモデルの右側から波束を注入したあとの局在サイトの2重占有の確率の時間発展を示したのが図 4.2.3 である。この考察で非常に注目すべき点は、時間発展の際に2重占有状態が度々出現することである。このことは、波束は系の固有状態ではなく、系の過渡的な状態を記述するものであると同時に、波束自体が系の高いエネルギー状態もその成分として含んでいる。そのため、通常は超高エネルギー状態であるため、無視できる2重占有の状態も波束ダイナミクスにおいては大きな寄与をすることが本研究で明らかとなった。上記の結果は、電子が粒子性をもち、波束的になると高エネルギーの状態も系のダイナミクスに影響を与えることを明確に示しており、波束ダイナミクスのひとつの特徴を如実に表す結果である[1, 有川 JPS]。

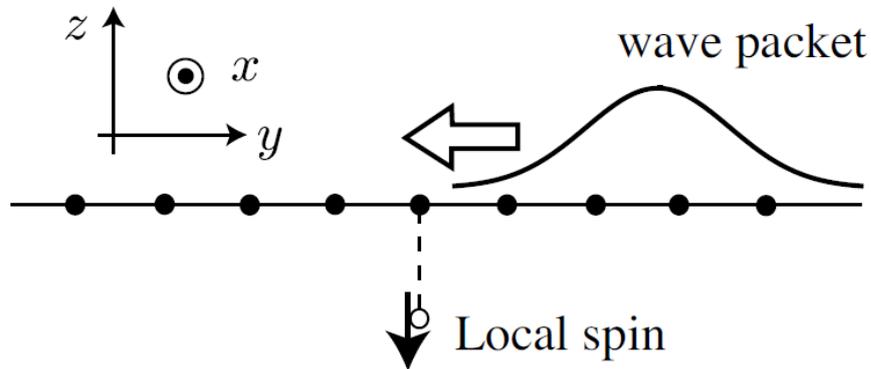


図 4.2.2: アンダーソンモデルに右側から波束を注入する際の模式図

### § 4.2.3 2電子波束ダイナミクス

次に波束ダイナミクスの多体効果の特徴を明らかにするために、2電子波束ダイナミクスの特講を明らかにした。具体的には有効質量近似を離散化して得られる、1粒子のタイトバインディング近似を基礎に、長距離のクーロン相互作用を取り込み次の式で与えられるスピン自由度を無視したハミルトニアンを基礎に研究を行なった。

$$H_T = -\gamma \sum_i (\hat{c}_i^\dagger \hat{c}_{i+1} + h.c.) + \sum_i V_{ext}(x_i) \hat{n}_i + \sum_{i < j} \frac{U}{|x_i - x_j|} \hat{n}_i \hat{n}_j \quad (2)$$

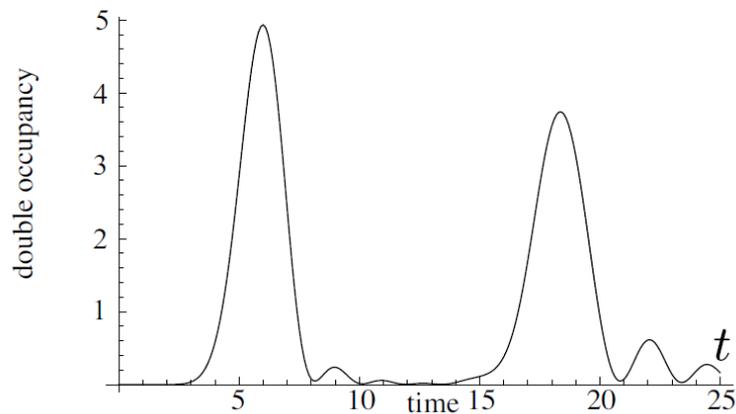


図 4.2.3: アンダーソンモデルにおける局在スピンサイトの2重占有の時間依存性。ただし、縦軸は任意単位である。

本研究では1次元及び2次元の上記ハミルトニアンを基礎に時間依存シュレディンガー方程式を数値的に解くことによって電子間相互作用が波束ダイナミクスに与える影響を理論的に考察した。具体的には鈴木トロッター公式に基づく厳密な多体問題の数値解析と平均場近似に相当する時間依存ハートリーフォック方程式に基づく解析を行なった。その結果、時間依存ハートリーフォック方程式は厳密な電子相関の取り扱いを行なったものと非常によい一致を示し、波束ダイナミクスにおける時間依存ハートリーフォック方程式の取り扱いの有用性を示すものとなった。

図 4.2.4 (a), (b)に時間依存ハートリーフォック近似における二電子波束ダイナミクスにおける電子密度の時間発展を示したものである。図 4.2.4 (a)は電子間相互作用が

弱い場合、図 4.2.4 (b)は電子間相互作用が強い場合に相当する。図 4.2.4 (a),(b)から如実にわかるように、電子波束の崩壊が電子間相互作用が大きくなると抑制されることがわかる。この傾向は1次元系だけではなく、2次元系でも同様に見られる。これは、電子間相互作用の効果に依って電子が粒子的な性質を保ったまま輸送されることを示唆する結果である[2 高田 JJAP]。以上の結果は、電子輸送における多体効果の重要性を示すとともに、波束ダイナミクスが将来のナノデバイスの設計指針につながる新しい物理概念を構築する上で非常に有力なツールであることを示している。

#### § 4.2.6. まとめ

理論グループではナノスケール・ピコ秒領域の電子輸送の物理を支配すると考えられる多電子波束ダイナミクスの新しい物理概念の構築に成功した。本物理概念に基づいてナノスケールの電子輸送を見直すことで、次世代ナノデバイスの揺らぎをはじめとする新しいデバイス原理の構築へと本プロジェクトの成果をもとにさらに研究を進める所存である。

### 研究項目2 オーミック接触の新しい物理モデルの提案

#### § 4.2.7. はじめに

金属と半導体のオーミック接触作製は、様々なデバイスや量子ホール効果等の物性実験において欠かせない技術である。特に、将来の LSI に導入が期待されている金属ソースドレインの作製のためには金属とシリコンの界面にナノスケールのオーミック接触を作る必要があり、このとき仕事関数の制御が次の技術的な難題である。特にシリコンナノワイヤFETでは当該技術の導入が不可欠であると考えられており、当該技術の基礎となる新しい物理モデルを構築することは喫緊の課題である。本研究ではオーミック接合の新しい物理モデルを提案することを主眼に研究を行った。

#### § 4.2.8. これまでのオーミック接触の考え方

まず、これまでのオーミック接触の考え方についてサーベアーする。オーミック電極は、半導体デバイスや物理実験において非常に重要な電極であり、オーミック電極を作成するためには、材料である金属と半導体を接触抵抗が無視できるほど小さくなるように接触させることが重要と考えられてきた。これがオーミック接触の教科書的な定義である。

オーミック接触された金属-半導体界面では、電流-電圧特性がオームの法則に従い線形になる。これまでこのような特性を達成するために様々な研究が行われてきた。近年では、Göktaş らがサブミクロンサイズのオーミック接触を作製したことを報告している等オーミック接触作製にはあらゆる物性分野において大きな意義をもつ。図 4.2.9 (a)にオーミック接触された金属-半導体界面における理想的な空間的電子構造を示した。オーミック接触された界面では金属のフェルミレベルと半導体の伝導帯下端のエネルギーが一致しているか、そのずれが無視できるほど小さい状態となり、金属と半導体の波動関数が滑らかに接続する。

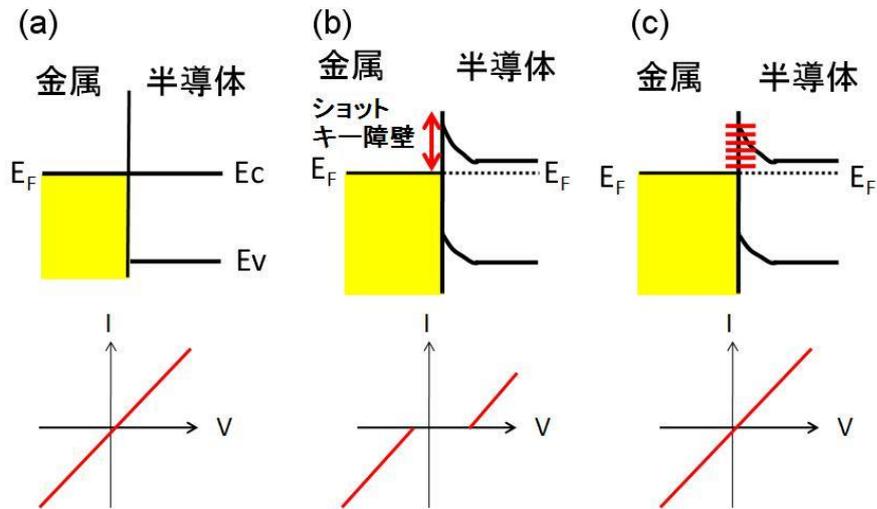


図 4.2.9: 金属-半導体接触の空間的な電子構造(上)と電流-電圧特性(下)の模式図 (a) 理想的なオーミック接触 (b) ショットキー障壁 (c) 本研究で提案した実用的なオーミック接触に対するモデル

#### § 4.2.9. 電荷中性点の考え方との矛盾

しかしながら、金属と半導体を接触させると、金属と半導体の界面にポテンシャル障壁ができることが知られている。この障壁がショットキー障壁である。図 4.2.9 (b) にショットキー障壁を持った金属-半導体界面の空間的な電子構造と電流特性の模式図を示した。図 4.2.9 (b) では、金属と n 型半導体を接触させた時の電子構造を示した。この接触では、n 型半導体のフェルミレベルが金属のフェルミレベルより高いため、半導体から金属への電子の移動が起こる。これにより、半導体表面が正に帯電するためバンドが図のように曲がる。このように金属と半導体の界面ではショットキー障壁が存在しているため、オーミック接触を実現するためには、ショットキー障壁高さの制御が重要な課題になる。しかしながら、今日までショットキー障壁高さを制御する一般的な方法は見つかっておらず、障壁高さ制御は非常に難しい問題となっている。この問題を難しくする第一の要因は、フェルミレベルピニングである。フェルミレベルピニングとは、金属-半導体接触においてショットキー障壁の高さが接触する金属の種類によらず一定になる現象である。この現象の起源を説明するモデルとして、 Tersoff の提案したモデルがよく知られている。このモデルでは、図 4.2.10 に示すように界面を通した (a) 金属の占有状態と半導体の非占有状態の軌道混成と (b) 金属の非占有状態と半導体の占有状態の軌道混成、という 2 つの軌道混成によって誘起された界面の電子移動がピニングの起源であることを提案している。

このような軌道混成の起源は、接触によって起こる金属の電子波動関数の半導体側へのしみだしである。例えば金属のエネルギーが半導体の伝導帯下端に近い場合には、(a) 金属の占有状態と半導体の非占有状態が強く軌道混成し、電子が金属から半導体へ移動すると考えられる。他方、金属のエネルギーが半導体の価電子帯上端に近い場合には、(b) 金属の非占有状態と半導体の占有状態が強く軌道混成し、半導体から金属へ電子が移動すると考えられる。したがって、この二つのタイプの電子の移動が釣り合うエネルギーの値が存在することが考えられる。このエネルギーレベルを電荷中性点と呼ぶ。 Tersoff は、バンドギャップの狭い半導体では電荷中性点にフェルミレベルがピン止めされてしまうことを提

案している。

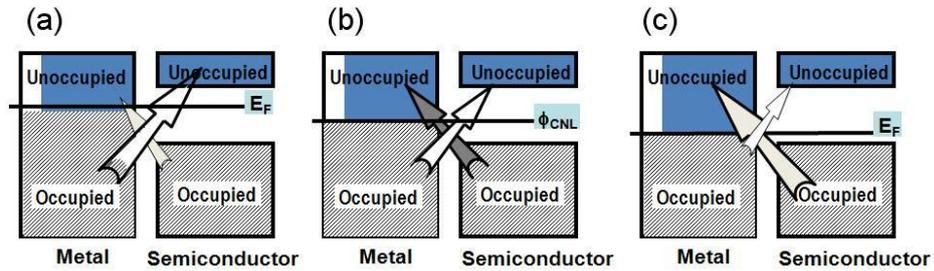


図 4.2.10: フェルミレベルピンニングの模式図。フェルミレベルは電荷中性点( $\phi_{CNL}$ )にピン止めされる。矢印は電荷の移動を表し、その大小で移動量を表している。(a) 金属のレベルが電荷中性点より高い場合。金属の占有準位と半導体の非占有準位の軌道混成が強くなり電子が金属から半導体に移動し金属のレベルが下がる。(b) 金属のレベルが電荷中性点に一致した場合。2つの軌道混成による電荷の移動が起きている。(c) 金属のレベルが電荷中性点より低い場合。半導体から金属へ電子が移動し、金属のレベルが電荷中性点へ近づく。

一方、Göktaş らのようにオーミック接触させた金属-半導体界面が実際に作成されており、これらの界面では線形な電流-電圧特性が得られていることが報告されている。しかしながら、上記の議論から理想的なオーミック接触であるショットキー障壁高さ0の構造を達成することは、フェルミレベルピンニング現象と完全に矛盾する。したがって、このような系においてどのような電子構造でオーミック接触が達成されているかは自明ではない。すなわち従来のオーミック接触の考え方に根本的な欠陥があり、将来のナノデバイス用のオーミック接触を実現するには新しい物理モデルを構築することが必要となることを意味している。

#### § 4.2.10. 新しいオーミック接触の物理モデル

上記のオーミック接触の現状を鑑み、本研究ではこのような系で達成されているオーミック接触の電子構造についての新たなモデルを提案し、次世代デバイスの作製の指針を示すことを目的とした。

本研究で新たに提案したオーミック接触の物理モデルを図 4.2.9 (c)に示す。この図からわかるように、本研究で提案したモデルは、これまで理解されてきた理想的なオーミック接触やショットキー障壁とは本質的に異なる。このモデルの特徴は、ショットキー障壁中に多数のエネルギーレベルが存在した構造を持っていることである。これらのエネルギーレベルは、金属/半導体界面中に接触作成の際の熱処理によって作られたアモルファス層中の空孔や角度の異なるボンド、不純物などがその起源であると考えている。また、ドーピング濃度の低いオーミック接触の電流は熱電子放出電流で支配されていると考えられてきた。しかしながら低温下、あるいはショットキー障壁高さがフェルミレベルピンニングによって相当大きい場合には、熱電子放出による電子の移動は期待できない。そのため、我々が提案したモデルではエネルギーレベルとの共鳴トンネルによって電子が移動すると考えた。我々が提案したモデルは、ショットキー障壁は有しているが、ショットキー障壁中に多数のエネルギーレベルが存在した構造を持っている。多数のエネルギーレベルの起源は、例えば電極作成時の熱処理によって形成される電極/半導体界面のアモルファス層等であ

る。アモルファス層では、様々な角度とボンド長の結合の中に、多くの欠陥も含まれるため、バンドギャップ中にもエネルギー準位が存在すると考えられる。また、このモデルでは、ショットキー障壁中のエネルギーレベルを介した共鳴トンネル(トラップ・アシスト・トンネル)によって電子が移動すると考えた。このような電子の移動は、比較的低温中では特に重要になると考えている。なぜなら、比較的低温では、ショットキー障壁を熱エネルギーによって乗り越えることができないため、共鳴トンネルが唯一の電子の移動方法になると考えられるからである。特に低濃度でドーピングされた半導体上に作られたオーミック接触は今後のナノワイヤデバイス作製に非常に重要であり、このような系でも実現可能となるオーミック接触の新たな処方箋を提案する。このような観点から、本研究では実験で得られるオーミック接触と第一原理計算で考察した金属/半導体界面のフェルミレベルピンギング現象の双方に矛盾のない、新たなオーミック接触のモデル(図 4.2.9 (c))を提案した。このモデルでは、ショットキー障壁の広い範囲のエネルギー領域に多数の欠陥レベルが存在しており、電子はこの欠陥レベルを介した共鳴トンネルによる伝導によってオーミック接触が達成される。本研究で提案した物理モデルに基づき、ランダウアー公式を当てはめてIV特性の計算を行った。特に注力したのは欠陥準位の分布とIV特性の関連である。

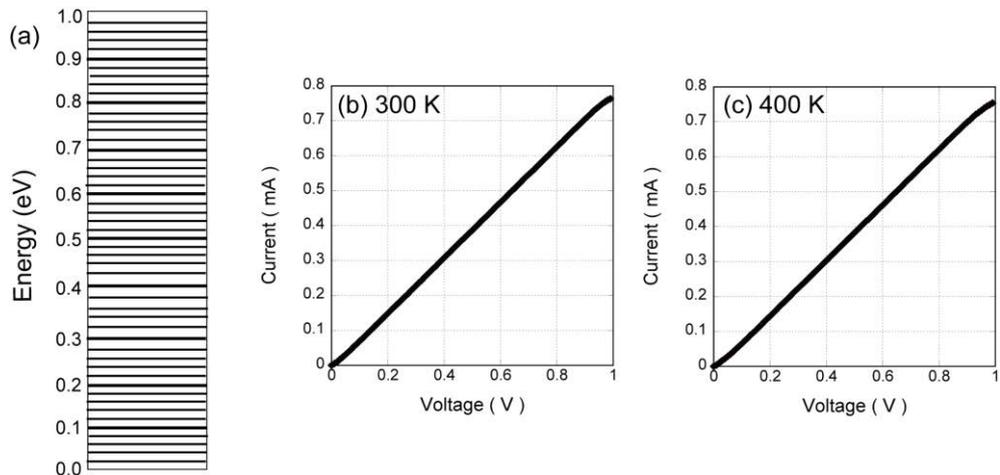


図 4.2.10: 欠陥準位が一様で密に分布するときのIV特性の温度依存性。

図 4.2.10 に一様で密に欠陥準位が分布するときのIV特性を示す。この図からわかるように、欠陥準位が一様で密に分布するときには、IV特性は少なくとも室温以上ではオーミックな特性を示すことがわかる。

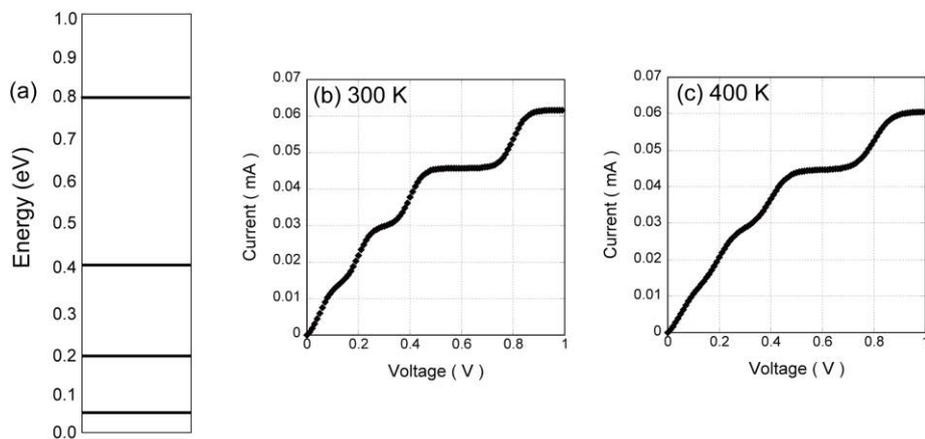


図 4.2.11: 欠陥準位が不均一に分布するときのIV特性

図 4.2.11 に欠陥準位が不均一に分布するときのIV特性を示す。この図からわかるように、欠陥準位が不均一分布するときには、室温ではオーミックな特性にならないことがわかる。これに対して400Kではオーミックな特性に近づいてゆくが、理想的な特性とは程遠いことがわかる。この結果は一様で密な界面準位の分布を実現することでオーミック接触に相当するIV特性が得られることを示している。

#### § 4.2.11 オーミック接触実現の指針

以上の考察からショットキー障壁高さを制御せずとも、不純物濃度が小さいことが予想される次世代ナノデバイスにおけるオーミック接触が実現できることがわかる。図 4.2.12 に次世代ナノデバイスにおけるオーミック接触実現の処方箋を示す。特に重要となるのは、界面準位のエネルギー分布と同様に空間分布である。すなわち、(1) 界面準位が界面付近に特に多く存在する、(2) 界面準位のエネルギー分布がほぼ一様で密となる、という2つの特徴をもつ金属電極を選択することが次世代ナノデバイス作製における不可欠な処方箋となる。

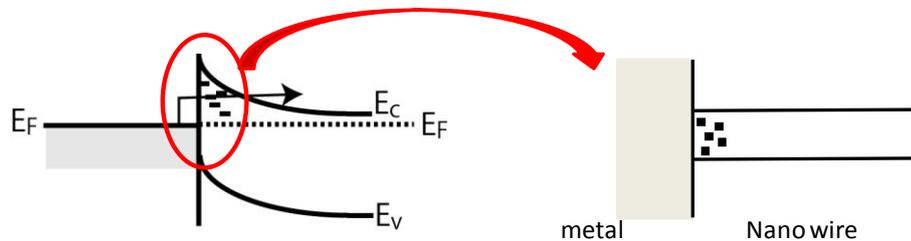


図 4.2.12: 次世代ナノデバイスにおける金属電極材料選択の指針

#### (2) 研究成果の今後期待される展開

項目(1)で述べた我々の成果からわかったことは、ナノ構造体中を電子がある程度の「かたまり」として波束としてまとまって運動することである。本研究成果は、電子輸送の考え方、特にキャリア伝導における本質的なゆらぎに関わるもので、今後実験グループとの密接な連携により、新しい物理現象の観測、さらには新しいデバイス原理の確立へとつながってゆくと考えられる。

また、将来のナノデバイスにおいてキーとなるオーミック接触の新しい物理モデルを構築し、さらにオーミック接触実現の処方箋まで示した。本研究成果も次世代ナノデバイスのあるべき姿に関わるもので、今後さらに発展してゆくと考えられる。

#### § 4.3 大規模シミュレーションによるナノデバイス伝導機構の検証と提案(早稲田大学渡邊グループ)

##### (1)研究実施内容及び成果

###### 概要

シミュレーショングループは、ナノメートルスケール・ピコ秒領域のキャリアの振る舞いを数値シミュレーションにより定量的に予測し、時間的・空間的な揺らぎを回避する方法の提案に繋げることを目的として研究を行った。ナノメートルスケール・ピコ秒領域の電子輸送の物理は、古典論と量子論のクロスオーバー領域であり、理論グループによって新たな物理現象が見出される可能性のある領域であるが、シミュレーショングループでは、あくまで古典論論をベースとし、量子力学的な効果については量子閉じ込め効果とトンネル効果までを考慮し、位相相関は無視する立場をとった。このような前提で得られる数値シミュレーションの結果を、実験グループの結果と比較しその差に注目することで、逆に理論グループが追究するクロスオーバー領域特有の現象を浮き彫りにする狙いがある。

シミュレーションの方法として、キャリアを古典的粒子として表現するアンサンブルモンテカルロ法(EMC法)と分子動力学法(MD法)をハイブリッドさせる方法を採用した。現在の主要な電流ノイズ要因となっているランダム・テレグラフ・ノイズ(RTN)を比較対象とし、キャリアの離散性に起因する本質的なノイズ(熱ノイズ・ショットノイズ)が顕在化するデバイスサイズや動作周波数領域を調査した。その結果、キャリアの離散性に起因するノイズはおよそ 100 GHz 以上の周波数領域で顕在化すること、RTN と異なりデバイスパラメータで制御不能な、本質的に避けられないノイズであることが明らかとなった。

また、ナノメートルスケール・ピコ秒領域で顕在化すると予想される様々な揺らぎを抑制する具体策の提案を目的として、

- ①チャンネル形状の非対称化による電流揺らぎの抑制
- ②プロセスばらつきへの耐性が期待されるショットキー障壁トンネルFET
- ③ナノサイズ立体形状デバイスにおける熱的特性の制御

の3項目のアイデアについて、それぞれシミュレーションによる検討を行った。その結果、①についてはソースからドレインに向かってチャンネル幅が広がるホーン形状が有利であること、②については直径 5nm 以下のナノワイヤ型であれば従来型 MOSFET の性能を凌駕する可能性があることが明らかとなり、これを確認するための検証実験にも着手した。③については、大規模分子動力学の結果、ナノデバイス内におけるフォノンの平均自由時間の著しい低下、排熱効率の著しい低下が予測され、今後、回避策を積極的に検討する必要がある重要課題となる可能性が示唆された。

#### ・EMC-MD 法によるナノサイズ・ピコ秒領域の電流揺らぎの解析

##### ①Gate-all-around Si ナノワイヤにおける酸化膜捕獲電荷による電流変動の解析

ランダム・テレグラフ・ノイズ(RTN)は、酸化膜中のトラップにチャンネル中のキャリアが捕獲される過程、あるいはトラップから放出される過程で生じると考えられ、時間的な特性変動を引き起こす原因となっている。これまで、プレーナ型デバイスにおける RTN については多数の報告がなされてきたが、ナノワイヤ型チャンネルを始めとする立体構造デバイスについては、RTN の観測がなされている程度にとどまり、微細化と RTN 振幅の関係については不明な点が多い。

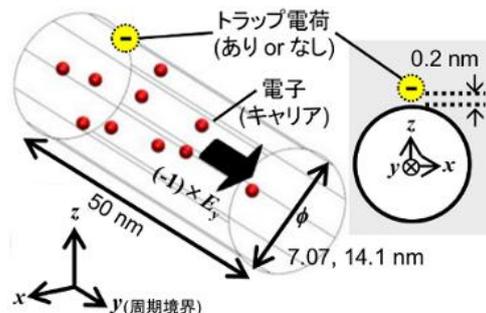


図 4.3.1. シミュレーションに用いた円筒型 GAA Si ナノワイヤチャンネルモデル。

本研究では、Gate-all-around(GAA)型ナノワイヤ型デバイスを覆う酸化膜中のトラップに伝導電子が捕獲された電荷によって、どの程度の電流変動が引き起こされるかをEMC/MDシミュレーションにより調査した(図4.3.1). チャネル中の伝導電子は、捕獲電荷からCoulomb反発力を受けるため、通過できる実質的なチャネル断面が狭窄し(図4.3.2), 平均電流が低下する. この電流低下率(比RTN振幅)は、チャネル径の縮小にともない増大する(図4.3.3)ことから、単一捕獲電荷の影響は細いナノワイヤほど顕在化する. これは、細いナノワイヤほど、捕獲電荷とキャリア間の平均距離が短くなり、移動度が大きく低下するためである.

微細化に伴うRTN振幅の増大は避けたいが、ナノワイヤ径が細くなるほど量子力学的な閉じ込め効果が強くなり、これによりキャリアの捕獲および放出確率が低下する利点はあると考えられる. 実際、プレーナ型との比較では、ナノワイヤ構造でノイズパワーが減少することが実験的に確認されている(大毛利チームの成果を参照).

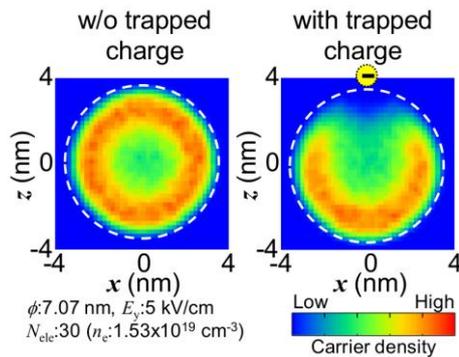


図 4.3.2. 捕獲電荷の有無によるキャリア分布の違い. Coulomb 反発相互作用により、キャリアが捕獲電荷近傍を避けている様子がわかる.

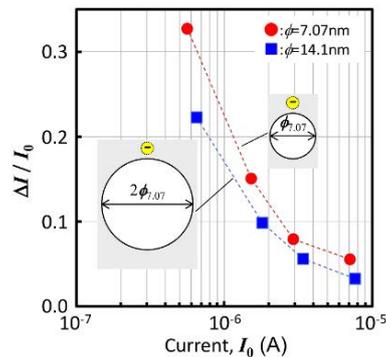


図 4.3.3. 電流低下率(比 RTN 振幅). 細いチャネル径のナノワイヤの方が電流低下率が大きく、捕獲電荷の影響を強く受ける.

### ③ キャリアの離散性に起因する電流揺らぎの解析

Si CMOS デバイスの高速化や低電圧化にともない、単クロック周期でデバイス内を通過するキャリアの絶対個数が減少するため、キャリアの離散性に起因する電流揺らぎが無視できなくなり、これがデバイスの動作周波数限界を決める可能性が考えられる. そこで、粒子ベースのキャリア輸送シミュレーション(EMC/MD 法)を行い、電流揺らぎが顕在化する周波数を定量的に予測した.

Gate-all-around(GAA)型シリコンナノワイヤチャネルをデバイスモデルとして、チャネルを通過した電荷量の変動幅を、積算時間を変えて見積もり、これを酸化膜中トラップ電荷の有無により生じる通過電荷

量の変動幅、すなわち RTN によって引き起こされる変動幅と比較した(図 4.3.4). その結果、キャリアの離散性に起因する通過電荷量の変動幅は平均通過電荷量の平方根に比例し、RTN による変動幅は平均通過電荷量に比例することがわかった. すなわち、微細化・高速化ともに平均通過電荷量を小さくしていくと、RTN による変動は比例して小さくなるが、キャリ

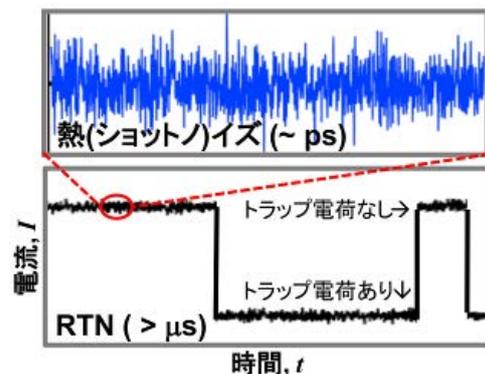


図 4.3.4. ランダム・テレグラフ・ノイズ(RTN)と、キャリアの離散性に起因する熱(ショット)ノイズの概念図.

アの離散性による変動の低下率は鈍く、必ずどこかで支配的なノイズ要因となることを意味する。本シミュレーションでは、キャリアの離散性に起因する電流揺らぎが支配的となるのは、およそ 100 GHz 以上の周波数領域であることがわかった(図 4.3.5)。

さらに、RTN による通過電荷量の変動幅はチャンネル径に依存するのに対し、キャリアの離散性に起因する変動幅はデバイスサイズに依存せず、通過電荷量の総量で決まることが明らかとなった(図 4.3.6)。これは、キャリアの離散性に起因するノイズが、デバイスパラメータで制御不能であり、本質的に避けられないノイズであることを意味する。(本成果は IEDM2012 にて発表予定)

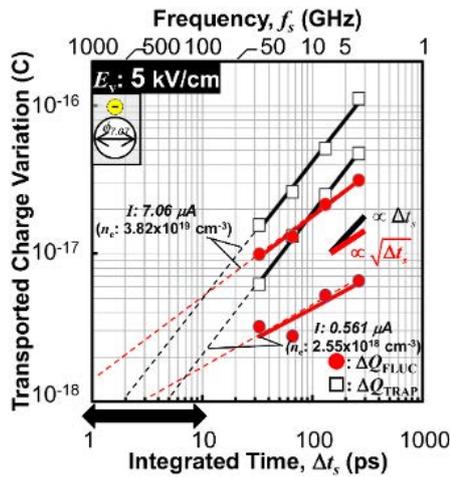


図 4.3.5. 通過電荷量変動幅( $\Delta Q$ )の積算時間( $\Delta t$ )依存性. 積算時間が数 ps 程度(約 100 GHz 以上)にまで短くなると、単一捕獲電荷による通過電荷量の変動幅( $\Delta Q_{TRAP}$ , 黒)よりも、電流揺らぎによる通過電荷量の変動幅( $\Delta Q_{FLUC}$ , 赤)が上回ることを予想される。

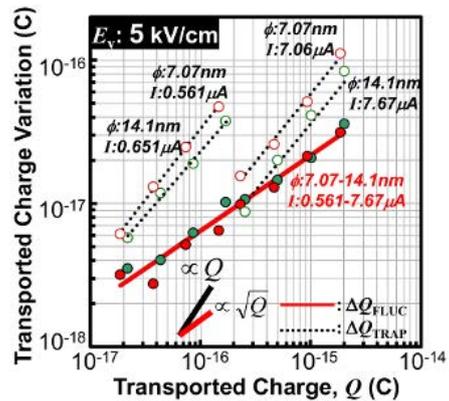


図 4.3.6. 通過電荷量変動幅( $\Delta Q$ )と、通過電荷量の総量( $Q$ )との関係. 単一捕獲電荷による通過電荷量の変動幅( $\Delta Q_{TRAP}$ , 黒破線)は、デバイスサイズ依存性があるが、電流揺らぎによる通過電荷量の変動幅( $\Delta Q_{FLUC}$ , 赤線)は、デバイスサイズに依存せず、使電荷の総量  $Q$  で決まる。

#### ④ 非対称チャンネルにおけるキャリア輸送シミュレーション

Trigate 型トランジスタの量産化が本格的にはじまり、さらにその先のデバイスとして Gate-all-around 型、および縦型など、立体構造トランジスタの研究開発が盛んに進められている。このようにチャンネル構造が大幅に見直される状況においては、ソースとドレインの非対称化も検討対象となる。実際、縦型のピラー型トランジスタの場合にはそのような状況が想定される。非対称チャンネル構造の採用は LSI の設計ルールに根本的な変更を迫る大改革となるが、これをデバイスの新たな設計自由度ととらえ、デバイスの性能向上に積極的に利用するという発想もできる。特に、チャンネル長がキャリアの平均自由行程と同程度になると、ソースから注入されたキャリアが準弾道的にチャンネル末端まで到達することになり、表面/界面散乱が支配的な散乱機構となる。したがって、チャンネル形状の選択によってキャリアの実効的な移動度を制御できる可能性が考えられる。

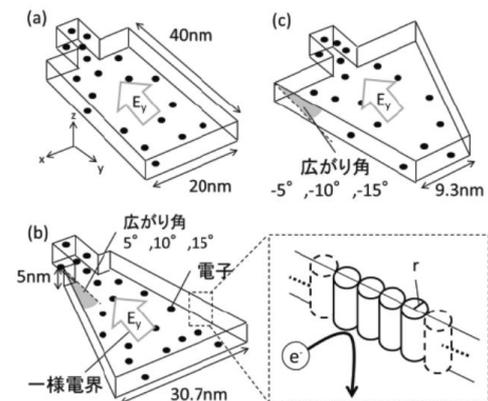


図 4.3.7. (a)直線, (b)ホーン, (c)逆ホーン形状チャンネルのシミュレーションモデル。

これまで、非対称構造チャンネルにおけるキャリア輸送については、メゾスコピック系の電気伝導という観点から理理想的な場合が理論的に検討された程度で、キャリアとチャンネル側壁との界面散乱に焦点をあてて詳しく調査した例はない。そこで本研究では、対称および非対称構造のチャンネルでキャリアの運動にどのような差異が生じるかを EMC/MD シミュレーションにより調査した(図 4.3.7)。

シミュレーションの結果、対称的な直線形状のチャンネルよりも、チャンネル幅が入口から出口に向かって徐々に広がる非対称ホーン形状チャンネルで電流密度が増加することが判明した(図 4.3.8)。これは、ホーン形状チャンネルのチャンネル側壁における界面散乱によって、キャリア運動量の長手方向成分が増加するコリメーション効果によるものと考えられる。チャンネル側壁のラフネスを増大させた場合、全体的に電流密度が若干低下するものの、ホーンの開きを大きくするほど電流が増加する傾向は変わらなかった。

以上の結果は、縦型構造トランジスタのようにチャンネル形状が非対称となる場合には、電流を流す向きを適切に選択することでデバイス特性を向上させられることを意味する。

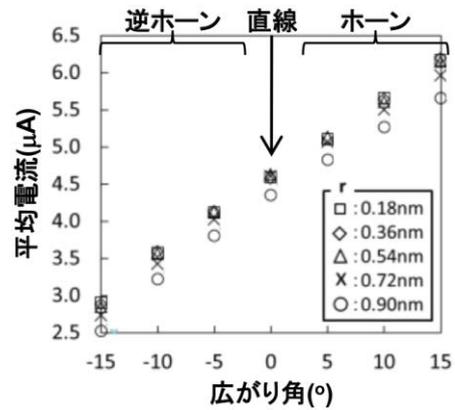


図 4.3.8. 平均電流の広がり角依存性. ホーン形状チャンネルでは、ラフネスに関わらず電流増加が期待できる。

## ・ナノワイヤ型ショットキーバリアトンネル FET に関する基礎的検討

### ①Gate-all-around 型ショットキー障壁トンネル FET の 3 次元シミュレーション

ショットキーバリア型トンネル FET(SBTfET)は、チャンネルへの不純物ドーピングが本質的に不要であること、ソースおよびドレイン領域の寄生抵抗を抑制できること、短チャンネル効果の大幅な抑制が期待できることに加え、シリサイド化プロセスを採用した場合のサーマルバジェットが低く high-k/メタルゲートプロセスと親和性が高いことなど、性能向上と特性ばらつき抑制の観点で多くの可能性を秘めている。ただし、ショットキー障壁を介したトンネル電流を用いることから、サブスレッショルド特性やオン電流密度が従来の MOSFET に及ばない点が問題となっていた。

本研究では、この SBTfET を3次元化した場合の特性についてデバイスシミュレーションを用いて検討した。その結果、図 4.3.9 に示すようにナノワイヤ形状にすることで、プレーナ型に比べサブスレッショルド特性とオン電流密度が向上することが明らかとなった。チャンネル径を 5 nm 以下に細くすると、同形状の MOSFET よりも高い駆動能力が得られる可能性があることも見出した(図 4.3.10)。ゲートによるショットキー障壁厚の変調はチャンネル周囲で顕著に起こり、細いナノワイヤほど周囲の効果が顕在化したためと考えられる。SBTfET は微細化による恩恵が MOSFET よりも多く、揺らぎに強い「静かなデバイス」として有力なデバイスであると考えられる。

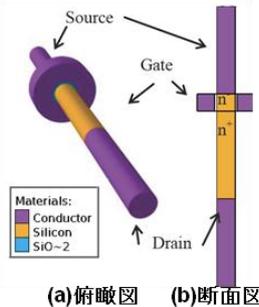


図 4.3.9. GAA 型 3 次元 SBTfET のモデル。

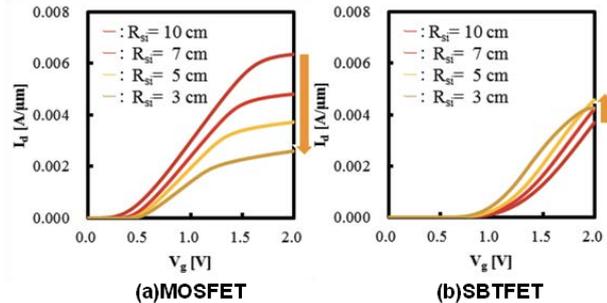


図 4.3.10.  $I_d$ - $V_g$  特性のチャンネル径依存性。(a)GAA 型 MOSFET, および(b)GAA 型 SBTfET。

### ②ナノワイヤ構造の STM 観察

ナノワイヤなどの立体構造デバイスでは、電界分布のフリッジ効果が顕在化し、空乏層幅の増大などが随所で起こると考えられる。こうした空乏層幅や不純物イオンが作るポテンシャルを STM で直接観察する実験も試みた。まず、立体型デバイスのような大きな段差のある構造に対する STM 観察に取り組み、幅 1  $\mu\text{m}$  のストライプ状に加工した立体型試料を観察に成功した。さらに、この立体型試料に対してイオンを照射し、凸型部分の影となってイオンがさえぎられるシャドウ効果のその場 STM 観察に世界で初めて成功した。図 4.3.11 は、室温でリンイオン( $\text{P}^+$ )が照射された Si 基板表面の STM 像であるが、凸状に加工した部分のそばで、イオン照射された領域とされない領域の境界が明瞭に観察された。また本研究では、Si 表面下に注入されたドーパントイオンを可視化するため、表面を水素終端により不活性化する技術も確立した。このようなイオン照射過程のその場観察技術と、水素終端や酸化による表面不活性化技術を組み合わせ、立体構造の端部における不純物揺らぎや空乏領域も直接の観察できると考えている。

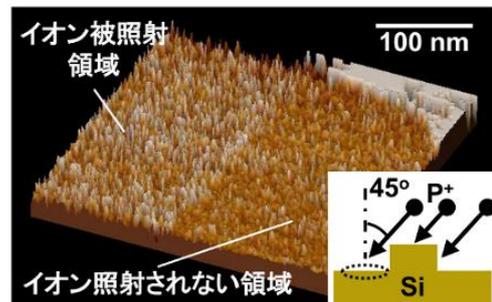


図 4.3.11. Shadow 効果をその場 STM 観察した例。立体構造の影となり、イオンが照射された領域とされない領域の境界が観察できている。

## ・分子動力学法による Si ナノ構造の熱的特性の解析

### ① シリコン Fin 構造における熱輸送の MD シミュレーション

立体構造デバイスでは、チャンネルの比表面積が大きく、熱伝導率の低いゲート絶縁物がそのチャンネルを取り囲むため、デバイス中で発生した熱の排出効率が悪い。このため、デバイスの昇温により特性が劣化する、いわゆる、自己加熱問題が深刻化すると考えられている。

本研究では、立体構造チャンネルにおける熱輸送課程を分子動力学シミュレーションで再現し、調査した。バルク基板および SOI 基板上の Fin チャンネル構造モデルを用意し、ホットスポットと呼ばれる熱源からの熱輸送過程を比較した。その結果、埋め込み酸化膜(BOX)層の厚さが 1 原子層でも存在すれば、Fin 構造から下部の Si 基板への熱輸送が遅延することがわかった(図 4.3.14)。この原因を調べるため、光学および音響フォノンの分布の時間発展を解析したところ、音響フォノンが SiO<sub>2</sub>/Si 界面において滞留することが、熱輸送を妨げる要因となっていることがわかった。以上の結果は、SOI 基板上の Fin、ナノワイヤなど、チャンネルが絶縁物に取り囲まれている構造で排熱効率が低下することを意味している。したがって、熱の逃げ道を意図的に設けるなど、自己加熱を回避する設計上の工夫が必要となる。

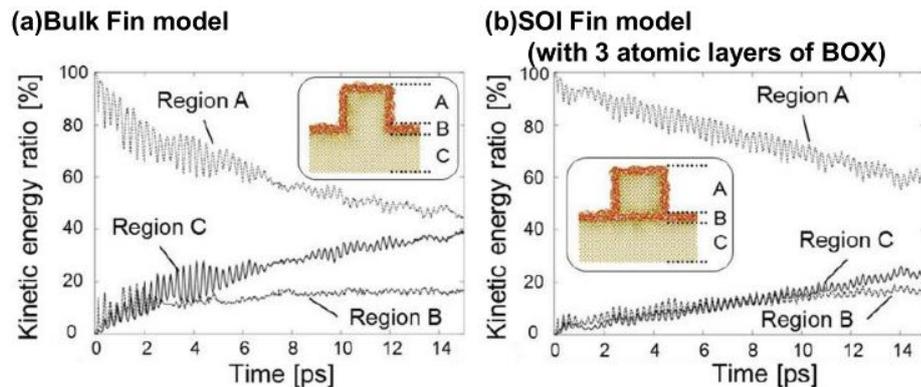


図 4.3.14. Fin 構造の各領域における運動エネルギーの時間発展. (a)バルク基板上の Fin チャンネル, および, (b)BOX 層の存在する Fin チャンネル. BOX 層の存在により, チャンネル部(A)の運動エネルギーの散逸が遅延する。

## ② 酸化膜で覆われた Si ナノワイヤのフォノン分散関係

Si ナノワイヤ中のフォノンは、バルク結晶中とは異なる振る舞いを示すことが知られている。フォノンはデバイス中の熱やキャリアの輸送過程を支配しており、熱伝導率やキャリアのフォノン散乱確率を決めるため、ナノワイヤのような低次元系でのフォノンの挙動を正確に理解することが重要である。しかし、これまで報告されているフォンスペクトルに関する解析は、バルク Si あるいは酸化膜のない Si 結晶のみを対象としており、SiO<sub>2</sub> 膜の存在を考慮した例はなかった。そこで、当グループが有する SiO<sub>2</sub>/Si 界面の大規模分子動力学技術を用いて、酸化膜で覆われた現実的な Si ナノワイヤのフォノン分散関係を計算し、その酸化膜厚依存性を調査した。

直径 5.0 nm、長さ 16.3nm、 $\langle 100 \rangle$ 軸と長手方向とする円柱状 Si 結晶を、表面から数層酸化した Si ナノワイヤをデバイスモデルとして用いた(図 4.3.15)。分子動力学計算で得られた各原子位置の時系列データを時空間 Fourier 変換して動的構造因子を求め、 $\langle 100 \rangle$ 軸方向に沿ったフォノン分散関係を得た。酸化されていないナノワイヤの場合には、図 4.3.16(a)に示すように、Brillouin ゾーン境界付近で音響フォノンのソフトニングが生じていることがわかる。これは、ナノワイヤの表面における再構成によって、一部の Si-Si 結合の力の

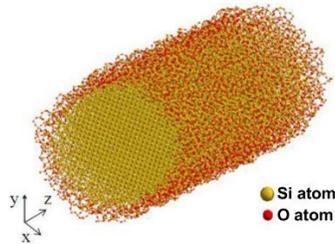


図 4.3.15. 酸化膜で覆われた Si $\langle 100 \rangle$ ナノワイヤモデル。軸方向に周期境界を課している。

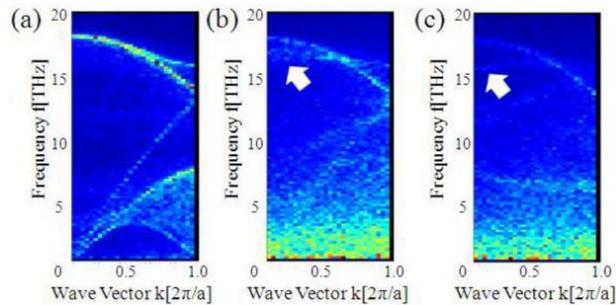


図 4.2.16. Si ナノワイヤのフォノン分散関係。(a)酸化膜なし、(b)酸化膜厚 0.6 nm、(c)酸化膜厚 1.1 nm。

定数がバルクでの値よりも低下したためと考えられる。酸化膜が存在する場合には、図 4.3.16(b)および(c)に示すように、音響フォノン分枝が著しく不明瞭になった。このような表面/界面近傍における音響フォノン分枝の乱れが、ナノワイヤ構造の電伝導率の低下の要因と考えられる。また、酸化膜で覆われた構造では、横波光学フォノン分枝のソフト化も見られた。これも、酸化膜によって誘起された動径方向の格子歪を反映した変化と解釈できる。

## (2)研究成果の今後期待される展開

当初の目標であった「ナノスケール・ピコ秒領域」の極限的な電流揺らぎについて、EMC/MD シミュレーションを用いて明確な知見を得た他、非対称チャネル、ナノワイヤ型のショットキー障壁トンネルFET構造など、揺らぎに強い「静かなトランジスタ」を実現するための指針を提示することができた。ただし、キャリアの離散性に起因する熱/ショットノイズについてはデバイスパラメータに依存しない本質的な揺らぎであることが明らかとなり、デバイス内部の自己発熱過程を理解し、これを抑える新たな工夫を模索する必要があることが判明した。

本プロジェクトの後半で着手した分子動力学計算により、これまで明らかでなかったナノワイヤ構造中のフォノンの特異な振る舞いが詳細に明らかになりつつある。今後は、大毛利チームの実験結果と比較することで、デバイス内部の熱発生過程および排熱過程を解明し、熱ノイズ抑制のための指針獲得につなげていきたい。

## § 5 成果発表等

(1)原著論文発表 (国内(和文)誌 0 件、国際 (欧文) 誌 37 件)

1. Y. Sakurai, S. Nomura, Y. Takada, K. Shiraishi, M. Muraguchi, T. Endoh, M. Ikeda, K. Makihara, S. Miyazaki  
“Electron Tunneling Between Si Quantum Dots Two Dimensional Electron Gas under Optical Excitation at Low Temperatures”  
ECS Trans. **28** (1) (2010) pp. 369-374.
2. Y. Sakurai, J. Iwata, M. Muraguchi, Y. Shigeta, Y. Takada, S. Nomura, T. Endoh, S.-I. Saito, K. Shiraishi, M. Ikeda, K. Makihara, S. Miyazaki  
“Temperature Dependence of Electron Tunneling between Two Dimensional Electron Gas and Si Quantum Dots”  
Jpn. J. Appl. Phys. **49**, 014001 (2010).
3. Y. Sakurai, S. Nomura, Y. Takada, J. Iwata, K. Shiraishi, M. Muraguchi, T. Endoh, T. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki  
“Anomalous temperature dependence of electron tunneling between a two-dimensional electron gas and Si dots”  
Physica E **42**, 918 (2010).
4. M. Muraguchi, T. Endoh, Y. Takada, Y. Sakurai, S. Nomura, K. Shiraishi, M. Ikeda, K. Makihara, S. Miyazaki, Y. Shigeta  
“Importance of electronic state of two-dimensional electron gas for electron injection process in nano-electronic devices”  
Physica E **42**, 2602-2605 (2010).
5. Y. Takada, M. Muraguchi, T. Endoh, S. Nomura, K. Shiraishi  
“Proposal of a new physical model for Ohmic contacts”  
Physica E **42**, 2837-2840 (2010).
6. M. Muraguchi, Y. Takada, S. Nomura, T. Endoh, K. Shiraishi  
“Importance of the Electronic State on the Electrode in Electron Tunneling Processes between the Electrode and the Quantum Dot”  
IEICE Transactions on electronics, **E93C**, 563-568 (2010).
7. Takahiro Yamamoto, Kenji Sasaoka, Satoshi Watanabe  
“Universal Transition between Inductive and Capacitive Admittance of Metallic Single-Walled Carbon Nanotubes”  
Phys. Rev. B **82**, 205404 (2010).
8. Yukihiro Takada, Masakazu Muraguchi, Tetsuo Endoh, Shintaro Nomura, Kenji Shiraishi  
“Investigation of the New Physical Model of Ohmic Contact for Future Nanoscale Contacts”  
ECS Transactions **28** (1), 73-79 (2010).
9. Y. Sakurai, S. Nomura, Y. Takada, K. Shiraishi, M. Muraguchi, T. Endoh, M. Ikeda, K. Makihara S. Miyazaki  
“Electron Tunneling Between Si Quantum Dots and Two Dimensional Electron Gas under Optical Excitation at Low Temperatures”  
ECS Transactions **28** (1), 369-374 (2010).

10. Kenji Sasaoka, Takahiro Yamamoto, Satoshi Watanabe  
 “A Numerical Approach to Transient Currents in a Quantum Dot Connected to a Single Electrode”  
 ECS Transactions **33**, 85 (2010).
11. Takanobu Watanabe, Tomoya Onda, Iwao Ohdomari  
 “Misfit Stress Relaxation Mechanism in GeO<sub>2</sub>/Ge Systems: A Classical Molecular Simulation Study”  
 ECS Transactions **33**, pp.901-912 (2010).
12. Kenji Ohmori<sup>1</sup>, Kenji Shiraishi, Keisaku Yamada  
 “Influences of carrier transport on drain-current variability of MOSFETs”  
 Key Materials Engineering **470** (2011) pp. 184-187.
13. Y. Sakurai, S. Nomura, K. Shiraishi, K. Ohmori, K. Yamada  
 “Photoluminescence Characteristics of Ultra-Thin Silicon-on-Insulator at Low Temperatures”  
 Key Materials Engineering **470** (2011) pp. 39-42.
14. T. Matsuki, R. Hettiarachchi, W. Feng, K. Shiraishi, K. Yamada, K. Ohmori  
 “Identification of electron trap location degrading low-frequency noise and PBTI in poly-Si/HfO<sub>2</sub>/interface-layer gate-stack MOSFETs”  
 Microelectronic Engineering **88** (2011) pp. 1421-1424.
15. Takeo Matsuki, Ranga Hettiarachchi, Wei Feng, Kenji Shiraishi, Keisaku Yamada, Kenji Ohmori  
 “Impact of Nitrogen Incorporation on Low-Frequency Noise of Polycrystalline Silicon/TiN/HfO<sub>2</sub>/SiO<sub>2</sub> Gate-Stack Metal–Oxide–Semiconductor Field-Effect Transistors”  
 Japanese Journal of Applied Physics **50** (2011) 10PB02 (5 pages).
16. Ranga Hettiarachchi, Takeo Matsuki, Wei Feng, Keisaku Yamada, Kenji Ohmori  
 “Behavior of Low-Frequency Noise in n-Channel Metal-Oxide-Semiconductor Field-Effect Transistors for Different Impurity Concentrations”  
 Japanese Journal of Applied Physics **50** (2011) 10PB04 (5 pages).
17. T. Matsuki, R. Hettiarachchi, W. Feng, K. Shiraishi, K. Yamada, K. Ohmori  
 “Identification of electron trap location degrading low-frequency noise and PBTI in poly-Si/HfO<sub>2</sub>/interface-layer gate-stack MOSFETs”  
 Microelectronic Engineering **88** (2011) pp. 1421-1424.
18. K. Ohmori, W. Feng, S. Sato, R. Hettiarachchi, M. Sato, T. Matsuki, K. Kakushima, H. Iwai, K. Yamada  
 “Direct Real-Time Observation of Channel Potential Fluctuation Correlated to Random Telegraph Noise of Drain Current Using Nanowire MOSFETs with Four-Probe Terminals”  
 2011 Symposium on VLSI Technology, Digest of Technical Papers pp. 202-203.
19. W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, K. Ohmori  
 “Fundamental origin of excellent low-noise property in 3D Si-MOSFETs ~ Impact of charge-centroid in the channel due to quantum effect on 1/f noise ~”  
 Technical Digest of International Electron Devices Meeting 2011, pp. 630-633.
20. M. Muraguchi, Y. Sakurai, Y. Takada, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki, S. Nomura, K. Shiraishi, T. Endoh, “Collective Tunneling Model in Charge-Trap-Type Nonvolatile Memory Cell”, Japanese Journal of Applied Physics **50**, 04DD04 (2011).

21. K. Sasaoka, T. Yamamoto, S. Watanabe, K. Shiraishi  
“ac response of quantum point contacts with a split-gate configuration”  
Phys. Rev. B **84** 125403 (2011).
22. Tomofumi Zushi, Yoshinari Kamakura, Kenji Taniguchi, Iwao Ohdomari, Takanobu Watanabe  
“Molecular Dynamics Simulation on Longitudinal Optical Phonon Mode Decay and Heat Transport in a Silicon Nano-Structure Covered with Oxide Films”  
Japanese Journal of Applied Physics Vol.50, p.010102 1-6, (2011).
23. Takefumi Kamioka, Hiroya Imai, Takanobu Watanabe, Kenji Ohmori, Kenji Shiraishi, Yoshinari Kamakura  
“Impact of Channel Shape on Carrier Transport Investigated by Ensemble Monte Carlo/Molecular Dynamics Simulation”  
2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD) Proceedings, pp.83-86, (2011).
24. Wei Feng, Ranga Hettiarachchi, Soshi Sato, Kuniyuki Kakushima, Masaaki Niwa, Hiroshi Iwai, Keisaku Yamada, Kenji Ohmori  
“Advantages of Silicon Nanowire Metal-Oxide-Semiconductor Field-Effect Transistors over Planar Ones in Noise Properties”  
Japanese Journal of Applied Physics **51** (2012) 04DC06 (5 pages).
25. Yoko Sakurai, Kenji Ohmori, Keisaku Yamada, Kenji Shiraishi, Kuniyuki Kakushima, Hiroshi Iwai, Shintaro Nomura  
“Photoluminescence Characterization of the Interface Properties of Si Nanolayers and Nanowires”  
ECS Transactions **41** (2012) 47-50.
26. K. Ohmori, W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, K. Yamada  
“Low-Frequency Noise Reduction in Si Nanowire MOSFETs”  
ECS Transactions **45** (2012) 437-442.
27. K. Ohmori, Ryu Hasunuma, Wei Feng, Keisaku Yamada  
“Continuous characterization of MOSFET from low-frequency noise to thermal noise using a novel measurement system up to 100 MHz”  
Proceedings of 2012 VLSI Symposium on Technology, pp. 143-144.
28. Yukihiro Takada, Young Taek Yoon, Taro Shiokawa, Satoru Konabe, Mitsuhiro Arikawa, Masakazu Muraguchi, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi  
“Multi-Electron Wave Packet Dynamics in Applied Electric Field”  
Japanese Journal of Applied Physics **51** (2012) 02BJ01.
29. M. Arikawa, M. Muraguchi, Y. Hatsugai, K. Shiraishi, T. Endoh  
“Role of Synthetic Ferrimagnets in Magnetic Tunnel Junctions from Wave Packet Dynamics”  
Japanese Journal of Applied Physics **51** 02BM03 (2012).
30. Mitsuhiro Arikawa, Yasuhiro, Hatsugai, Tetsuo Endoh, Kenji Shiraishi  
“Wave Packet Dynamics in the Spin Torque Transfer”  
Journal of the Physical Society of Japan **81**, 044706-1~044706-4 (2012).
31. T. Shiokawa, Y. Takada, S. Konabe, M. Muraguchi, T. Endoh, Y. Hatsugai K. Shiraishi  
“Effect of Coulomb Interaction on Multi-Electron Wave Packet Dynamics”  
Proceeding of 31<sup>st</sup> International Conference on the Physics in Semiconductors 2012 (to be published).

32. Takefumi Kamioka, Fumiya Isono, Takahiro Yoshida, Iwao Ohdomari, Takanobu Watanabe  
"Challenge for STM Observation of Dopant Activation Process on Si(001): In-Situ Ion Irradiation and Hydrogenation"  
Physica State Solidi C Vol.6, pp.1418-1422 (2012).
33. Takefumi Kamioka, Hiroya Imai, Yoshinari Kamakura, Kenji Ohmori, Kenji Shiraishi, Masanori Niwa, Keisaku Yamada, Takanobu Watanabe  
"Impact of single trapped charge in gate-all-around nanowire channels studied by ensemble Monte Carlo/molecular dynamics simulation"  
Proceedings of 2012 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD 2012), 2012, pp.11-14.
34. Tomofumi Zushi, Takanobu Watanabe, Kenji Ohmori, Keisaku Yamada  
"Molecular Dynamics Simulation of Heat Transport in Silicon Fin Structures"  
Proceedings of 2012 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD 2012), 2012, pp.59-62.
35. Takanobu Watanabe, Tomofumi Zushi, Masanori Tomita, Ryo Kuriyama, Naoshige Aoki, Takefumi Kamioka  
Phonon Dispersion in <100> Si Nanowire Covered with SiO<sub>2</sub> Film Calculated by Molecular Dynamics Simulation"  
ECS Transactions, in press (2012).
36. Takefumi Kamioka, Hiroya Imai, Yoshinari Kamakura, Kenji Ohmori, Kenji Shiraishi, Masanori Niwa, Keisaku Yamada, Takanobu Watanabe  
"Current fluctuation in sub-nano second regime in gate-all-around nanowire channels studied with ensemble Monte Carlo/molecular dynamics simulation"  
Technical Digest of International Electron Devices Meeting 2012, pp. 399-402.
37. Taro Shiokawa, Genki Fujita, Yukihiro Takada, Satoru Konabe, Masakazu Muraguchi, Takahiro Yamamoto, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi  
"Influence of Coulomb Blockade on Wave Packet Dynamics in Nanoscale Structures"  
Japanese Journal of Applied Physics **52** (2013) 04CJ06.

(2)その他の著作物(総説、書籍など)

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 12 件、国際会議 14 件)  
<国内学会招待講演>

1. 白石賢二  
「Si ナノワイヤのバンド構造解析」  
2010 年春季第 57 回応用物理 学関係連合講演会シンポジウム、「2020-30 年代のナノエレクトロニクスデバイスの本命を考える」東海大学、秦野、2010 年 3 月 17 日-20 日
2. 白石賢二  
「CMOS の限界と将来の Beyond CMOS への課題」  
2010 年秋季第 71 回応用物理学会学術講演会シンポジウム「シリコンテクノロジーの未来像を徹底的に考える-Never Ending Silicon Technology-」、2010 年 9 月 14 日-17 日、長崎大学、長崎

3. 渡邊孝信  
「Si 系トンネル FET のシミュレーション」  
電気学会シリコンナノデバイス集積化技術調査専門委員会「急峻サブスレッショルドデバイスの現状と将来展望」、早稲田大学研究開発センター、2010 年 11 月 26 日
4. 大毛利健治  
「しきい値電圧およびドレイン電流解析による MOSFET 特性ゆらぎの検討」  
先端デバイス(1) デバイス高性能化技術ー22nm 世代以降のデバイス技術 More Mooreー  
SEMICON ジャパン 2010 (2010 年 12 月 1-3 日、幕張メッセ)
5. 中山隆史、角嶋邦之、中塚理、町田義明、五月女真一、松木武雄、大毛利健治、岩井洋、財満鎮明、知京豊裕、白石賢二、山田啓作  
「ドーピングによるシリサイドの仕事関数の変調:シリサイドの物理に基づく理論」  
SDM 研究会「IEDM 特集(先端 CMOS デバイス・プロセス)技術」(2011 年 1 月 31 日、東京)
6. 大毛利健治  
「ナノデバイスにおける動的揺らぎ計測の試み」  
ナノデバイスにおけるノイズ:物理・計測・応用(電気学会調査専門委員会)  
於・早稲田大学研究開発センター、2011年7月29日(金)
7. 白石賢二  
「次世代 LSI 開発における計算科学の位置づけと利用方法」  
日本物理学会 2011 年秋季大会シンポジウム「ナノスケール量子輸送の計算科学的研究の現状・展望と次世代スパコンへの期待」富山大学、2011 年 9 月 21 日～24 日
8. 渡邊孝信  
「ナノプロセス研究のための分子動力学計算技術」  
第 8 回プラズマエレクトロニクス分科会新領域研究会、慶応義塾大学日吉キャンパス、2011 年 10 月 26 日
9. Kenji Shiraishi  
“Computational Sciences toward Developing Semiconductor Industry”  
第 21 回日本 MRS 学術シンポジウム、横浜、2011 年 12 月 19 日～21 日.
10. 大毛利健治、蓮沼隆、フェンウェイ、山田啓作  
「独自開発した高周波帯域雑音計測プローブによるMOSFETの時間揺らぎ特性評価 ～1/f (低周波)から熱雑音(100 MHz超)まで～」  
シリコンテクノロジー分科会第151研究集会「先端CMOSデバイス・プロセス技術 (VLSシンポジウム特集)」2012年 8月 3日、産業技術総合研究所 臨海副都心センター
11. 大毛利健治  
「高周波帯域雑音計測プローブによるMOSFETの時間揺らぎ特性評価 ～ 1/f(低周波)から熱雑音(100 MHz超)まで」  
シリコン材料・デバイス研究会(SDM)「プロセス・デバイス・回路シミュレーションおよび一般」  
2012年11月15日～16日、東京都港区 機械振興会館
12. 大毛利健治  
「独自開発した雑音計測プローブによるナノ秒領域でのMOSFET時間ゆらぎ評価」  
第18回「ゲートスタック研究会 -材料・プロセス・評価の物理-」  
2013年1月25日～26日、静岡県熱海市、ニューウェルシティー湯河原

<国際学会招待講演>

1. K. Shiraishi  
“Physics for Si nanowire FET and its fabrication”  
PICE International Symposium on Silicon Nano Devices in 2030: Prospects by World’s Leading Scientists, Tokyo, Japan, October 13-14, 2009.
2. K. Shiraishi  
“Physics of Nano-Interfaces and Nano-Structures for Future Si Nano-Devices”  
216th Meeting of Electrochemical Society, Vienna, Austria, October 4-9, 2009.
3. K. Ohmori, T. Matsuki, Y. Ohkura, J. Yugami, K. Ikeda, Y. Ohji, Y. Yasuda, T. Endoh, K. Shiraishi, K. Yamada  
“Effect of carrier scattering phenomena on drain current variability in Si MOSFET”  
217th Electrochemical Society Meeting, Vancouver, Canada, Apr. 25-30th, 2010.
4. K. Ohmori, T. Matsuki, Y. Ohkura, J. Yugami, K. Ikeda, Y. Ohji, Y. Yasuda, T. Endoh, K. Shiraishi, K. Yamada  
“Influence of carrier transport phenomena on drain-current variability of MOSFETs”  
International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Shanghai, China, Nov. 1-4, 2010.
5. Ryu Hasunuma, Chihiro Tamura, Tsuyoshi Nomura, Yuuki Kikuchi, Kenji Ohmori, Motoyuki Sato, Akira Uedono, Toyohiro Chikyow, Kenji Shiraishi, Keisaku Yamada, Kikuo Yamabe  
“Degradation in HfSiON film induced by electrical stress application”  
217th Electrochemical Society Meeting, Vancouver, Canada, Apr. 25-30, 2010.
6. Kenji Shiraishi  
“Crucial Contribution of First Principles Calculations for Modern Nano-Scale Semiconductor Devices”  
The 13th Asian Workshop on First-Principles Electronic Structure Calculations, POSTECH, Pohang, Korea, November 1-3, 2010.
7. K. Shiraishi, K. Yamaguchi, A. Otake, K. Kamiya, Y. Shigeta  
“Guiding Principles for Charge Trap Memories –A Theoretical Approach-”  
International Conference on Solid-State and Integrated Circuit Technology, November 1-4, 2010, Shanghai, China.
8. Takanobu Watanabe  
“Force Field Approaches for Modeling Oxide-Semiconductor Interfaces”  
3rd Asian Consortium on Computational Material Science (ACCMS) Working Group Meeting, Jeju, Korea, April 2, 2011.
9. K. Shiraishi  
“Computational Science Studies toward Future Nano-Devices”  
WIMNACT Workshop and IEEE EDS Mini-colloquium on Nanometer CMOS Technology 31, Tokyo Institute of Technology, Yokohama, Japan, Jan. 30th, 2012 (IEEE Distinguished Lecture).
10. K. Ohmori, W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, K. Yamada  
“Low-Frequency Noise Reduction in Si Nanowire MOSFETs”  
221st Electrochemical Society Meeting, Seattle, WA, May 6-10th, 2012.

11. K. Ohmori, Ryu Hasunuma, Wei Feng, Keisaku Yamada  
 “Characterization of Noise and Fluctuation in Nano-Scaled MOSFET”  
 Tsukuba Nanotechnology Symposium 2012, July 25-26, 2012, University of Tsukuba, Ibaraki, Japan.
12. K. Ohmori, W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, K. Yamada  
 “Reduction of Low-Frequency Noise in Si MOSFETs by Using Nanowire Channel”  
 IEEE International Conference on Solid-State and Integrated Circuit Technology, Xian, China, Oct. 29th-Nov. 1st, 2012.
13. K. Shiraishi, T. Shiokawa, G. Fujita, Y. Takada, M. Muraguchi, T. Yamamoto, T. Endoh, Y. Hatsugai  
 “Theoretical study of multi-electron wave packet dynamics in semiconductor nano-structures”  
 2<sup>nd</sup> International Conference on Small Sciences, Orland, Florida, Dec. 16-19, 2012.
14. Takanobu Watanabe  
 “Molecular Dynamics Simulation of Thermal Properties of Nano-scale Silicon Structures Covered with Oxide Film”  
 The 3rd Advanced Materials Development and Integration of Novel Structured Metallic and Inorganic Materials (AMDI-3), Toyohashi, Japan, November 7, 2012.

② 口頭発表 (国内会議 59 件、国際会議 33 件)

<国内>

1. 恩田知弥、山本英明、渡邊孝信  
 「分子動力学法による GeO<sub>2</sub>/Ge 界面構造の基板面方位依存性に関する調査」  
 ゲートスタック研究会 (第 15 回) - 材料・プロセス・評価の物理 -、東レ総合研修センター、静岡県三島市、2010 年 1 月
2. 恩田知弥、山本英明、渡邊孝信  
 「GeO<sub>2</sub>/Ge 界面のストレス緩和の起源」  
 春季第 57 回応用物理学関連連合講演会、東海大学、平塚市、2010 年 3 月
3. 高田幸宏、村口正和、遠藤哲郎、野村晋太郎、白石賢二  
 「将来のナノスケールコンタクトを目指した新しいオーミックコンタクトモデルの考察」  
 2010 年春季第 57 回応用物理学関係連合講演会、東海大学、平塚市、2010 年 3 月
4. 松木武雄、ランガ ヘッティアラッチ、大毛利健治、山田啓作  
 「Poly-Si/TiN/HfO<sub>2</sub>/SiO<sub>2</sub>ゲートファーストMOSFETにおける1/fノイズ特性の界面層厚の影響」  
 秋季第71回応用物理学会学術講演会、長崎大学、長崎市、2010年9月
5. 櫻井蓉子、白石賢二、大毛利健治、山田啓作、野村晋太郎  
 「低温における極薄SOIの発光特性」  
 秋季第71回応用物理学会学術講演会、長崎大学、長崎市、2010年9月
6. 大毛利健治、白石賢二、山田啓作  
 「微細MOSFETドレイン電流ばらつきのゲート/ドレイン電圧依存性」  
 秋季第71回応用物理学会学術講演会、長崎大学、長崎市、2010年9月

7. 磯野文哉、神岡武文、吉田尚弘、大泊巖、渡邊孝信  
「水素終端 Si(001)-2×1 表面へのイオン照射過程のその場 STM 観察」  
秋季第 71 回応用物理学会学術講演会、長崎大学、長崎市、2010 年 9 月
8. 高井一、川村祐士、鹿浜康寛、渡邊孝信  
「ショットキーバリアトランジスタのサブスレッショルドスイング評価」  
第 70 回応用物理学会学術講演会、長崎大学、長崎市、2010 年 9 月
9. 図師知文、鎌倉良成、谷口研二、大泊巖、渡邊孝信  
「Si ナノ構造中の LO フォノン緩和に関する分子動力学シミュレーション」  
秋季第 71 回応用物理学会学術講演会、長崎大学、長崎市、2010 年 9 月
10. 神岡武文、大毛利健治、白石賢二、鎌倉良成、渡邊孝信  
「EMC-MD シミュレーションによる電流揺らぎのチャネル幅依存性評価」  
秋季第 71 回応用物理学会学術講演会、長崎大学、長崎、2010 年 9 月
11. 有川晃弘、初貝安弘、白石賢二  
「Wave packet dynamics in the spin torque transfer」  
第 15 回 半導体スピン工学の基礎と応用 PASPS-15、筑波大学、2010 年 12 月 21 日
12. 松木武雄、ランガ ヘッティアーラッチ、フェン ウェイ、白石賢二、山田啓作、大毛利健治  
「Poly-Si/TiN/HfO<sub>2</sub>/SiO<sub>2</sub> ゲートスタック MOSFET の低周波ノイズ特性に対するゲートファーストプロセスの影響」  
第 16 回ゲートスタック研究会、東京工業大学、東京、2011 年 1 月
13. 高井一、川村祐士、鹿浜康寛、渡邊孝信  
「TCAD シミュレーションによる Si 系トンネル FET の比較検討」  
第 16 回ゲートスタック研究会、東京工業大学、東京、2011 年 1 月
14. 神岡武文、大毛利健治、白石賢二、鎌倉良成、渡邊孝信  
「EMC-MD シミュレーションによる電流揺らぎのチャネル幅依存性評価(II)」  
春季第 59 回応用物理学関連連合講演会、神奈川工科大学、2011 年 3 月
15. 川村祐士、高井一、鹿浜康寛、渡邊孝信  
「酸化膜誘起歪による Si ナノワイヤ FET の電流駆動能力の向上」  
春季第 59 回応用物理学関連連合講演会、神奈川工科大学、2011 年 3 月
16. 鹿浜康寛、高井一、川村祐士、渡邊孝信  
「GAA 型ショットキー障壁トンネル FET の 3次元デバイスシミュレーション」  
春季第 59 回応用物理学関連連合講演会、神奈川工科大学、神奈川、2011 年 3 月
17. Ranga Hettiarachchi, Takeo Matsuki, Wei Feng, Keisaku Yamada, Kenji Ohmori  
「Behavior of Low-Frequency Noise for n-MOSFETs in Subthreshold Regimes」  
2011 年春季第 58 回応用物理学関係連合講演会(2011 年 3 月 24-27 日、神奈川工科大学)
18. 櫻井蓉子、大毛利健治、山田啓作、角嶋邦之、岩井洋、白石賢二、野村晋太郎  
「デバイス評価に向けた Si ナノワイヤの発光測定」  
2011 年春季第 58 回応用物理学関係連合講演会(2011 年 3 月 24-27 日、神奈川工科大学)

19. 大毛利健治、ヘッティアーラッチ ランガ、ウェイ フェン、松木武雄、山田啓作  
「N 型 MOSFET を用いた雑音特性と静特性ばらつきの比較検討」  
2011 年春季第 58 回応用物理学関係連合講演会(2011 年 3 月 24-27 日、神奈川工科大学)
20. 佐藤創志、角嶋邦之、Parhat Ahmet、大毛利健治、名取研二、山田啓作、岩井洋  
「シリコンナノワイヤトランジスタの電気特性の絶縁膜厚依存性」  
2011 年春季第 58 回応用物理学関係連合講演会(2011 年 3 月 24-27 日、神奈川工科大学)
21. 櫻井蓉子、大毛利健治、山田啓作、角嶋邦之、岩井洋、白石賢二、野村晋太郎  
「低温における Si ナノワイヤの発光特性」  
日本物理学会第 66 回年会、新潟大学、2011 年 3 月 25-28 日(震災により Web 公開)
22. 有川晃弘岩、田潤一、初貝安弘、白石賢二  
「波束ダイナミクスにおけるスピントランスファートルク」  
日本物理学会第 66 回年会、新潟大学、2011 年 3 月 25-28 日(震災により Web 公開)
23. 笹岡健二、山本貴博、渡邊聡、白石賢二  
「量子ポイントコンタクトにおける交流応答の形状効果」  
日本物理学会第 66 回年会、新潟大学、2011 年 3 月 25-28 日(震災により Web 公開)
24. 神岡武文、今井裕也、大毛利健治、白石賢二、鎌倉良成、渡邊孝信  
「非対象ホーン形状チャネルにおける電流密度の向上 –EMC-MD シミュレーションによる検討–」  
秋季第 72 回応用物理学学会学術講演会、山形大学、山形、2011 年 9 月
25. 神岡武文、今井裕也、大毛利健治、白石賢二、鎌倉良成、渡邊孝信  
「ナノデバイスにおける電流揺らぎの EMC-MD シミュレーション」  
秋季第 72 回応用物理学学会学術講演会、山形大学、山形、2011 年 9 月
26. 鹿浜康寛、川村祐士、神岡武文、渡邊孝信  
「GAA 型ショットキー障壁トンネル FET 特性の 3 次元デバイスシミュレーション(2)」  
秋季第 72 回応用物理学学会学術講演会、山形大学、山形、2011 年 9 月
27. 櫻井蓉子、大毛利健治、山田啓作、白石賢二、野村晋太郎  
「シリコンナノレイヤー中電子正孔液滴発光の膜厚依存性」  
日本物理学会、2011 年秋季大会、富山大学、2011 年 9 月 21 日～24 日
28. 高田幸宏、尹永扱、塩川太郎、岩田潤一、小鍋哲、有川晃弘、村口正和、遠藤哲郎、初貝安弘、白石賢二  
「半導体中での波束ダイナミクスの印加電圧依存性」  
日本物理学会、2011 年秋季大会、富山大学、2011 年 9 月 21 日～24 日
29. 塩川太郎、尹永扱、高田幸宏、岩田潤一、小鍋哲、有川晃弘、村口正和、遠藤哲郎、初貝安弘、白石賢二  
「ハートリーフォック近似によるナノ構造中の電子波束ダイナミクス」  
日本物理学会、2011 年秋季大会、富山大学、2011 年 9 月 21 日～24 日

30. 尹永扱、塩川太郎、高田幸宏、岩田潤一、小鍋哲、有川晃弘、村口正和、遠藤哲郎、初貝安弘、白石賢二  
「Suzuki-Trotter 法による電子波束ダイナミックスの多体効果」  
日本物理学会、2011 年秋季大会、富山大学、2011 年 9 月 21 日～24 日
31. 神岡武文、今井裕也、大毛利健治、白石賢二、鎌倉良成、渡邊孝信  
「非対称ホーン形状チャネルにおける電流密度の向上-EMC-MD シミュレーションによる検討-」  
応用物理学会分科会シリコンテクノロジー研究会、機械振興会館、2011 年 11 月 11 日
32. 神岡武文、今井裕也、鎌倉良成、大毛利健治、白石賢二、丹羽正昭、山田啓作、渡邊孝信  
「GAA 型ナノワイヤチャネルにおける酸化膜トラップ電荷誘起の電流変動:EMC/MD シミュレーションによる検討」  
第 17 回ゲートスタック研究会、東レ総合研修センター、三島市、静岡県、2012 年 1 月 20 日
33. 大滝健嗣、大毛利健治、野村晋太郎  
「光伝導スイッチを用いた超短パルス時間分解測定」  
第 59 回 応用物理学関係連合講演会、2012 年 3 月 15 日～18 日、於・早稲田大学
34. 櫻井蓉子、角嶋邦之、大毛利健治、山田啓作、岩井洋、白石賢二、野村太郎  
「Si ナノワイヤの発光測定」  
第 59 回 応用物理学関係連合講演会、2012 年 3 月 15 日～18 日、於・早稲田大学
35. 神岡武文、今井裕也、鎌倉良成、大毛利健治、白石賢二、丹羽正昭、山田啓作、渡邊孝信  
「サブナノ秒領域におけるナノデバイスの電流揺らぎ:EMC/MD シミュレーションによる解析」  
第 59 回応用物理学関係連合後援会、早稲田大学、東京、2012 年 3 月 16 日
36. 今井裕也、神岡武文、鎌倉良成、大毛利健治、白石賢二、丹羽正昭、山田啓作、渡邊孝信  
「非対称チャネルにおけるキャリア輸送の EMC/MD シミュレーション」  
第 59 回応用物理学関係連合後援会、早稲田大学、東京、2012 年 3 月 16 日。
37. 栗山 亮、青木直成、富田将典、函師知文、渡邊孝信(早大)  
分子動力学法による立体構造シリコン中のストレス分布と界面構造欠陥の解析  
第 59 回応用物理学関係連合後援会、早稲田大学、東京、2012 年 3 月 17 日。
38. 櫻井蓉子、太野垣健、大毛利健治、山田啓作、金光義彦、白石賢二、野村晋太郎  
「Si ナノレイヤーの発光寿命の膜厚依存性」  
日本物理学会第 67 回年次大会、関西学院大学、2012 年 3 月 24 日～27 日
39. 高田幸宏、塩川太郎、尹永扱、岩田潤一、小鍋哲、有川晃弘、村口正和、遠藤哲郎、初貝安弘、白石賢二  
「2次元半導体ナノ構造における多電子波束ダイナミックスの検討」  
日本物理学会第 67 回年次大会、関西学院大学、2012 年 3 月 24 日～27 日
40. 塩川太郎、高田幸宏、尹永扱、岩田潤一、小鍋哲、有川晃弘、村口正和、遠藤哲郎、初貝安弘、白石賢二  
「半導体ナノ構造における多電子波束ダイナミックスの印加電圧依存性」  
日本物理学会第 67 回年次大会、関西学院大学、2012 年 3 月 24 日～27 日

41. 青木直成、栗山亮、富田将典、図師知文、渡邊孝信  
「分子動力学法による Ge ナノワイヤのストレス分布解析」  
第 73 回応用物理学会学術講演会、愛媛大学・松山大学、松山市、2012 年 9 月 14 日
42. 栗山亮、橋口誠広、青木直成、富田将典、図師知文、小椋厚志、渡邊孝信  
「多結晶シリコン粒界における酸化誘起ストレス分布:分子動力学法による解析」  
第 73 回応用物理学会学術講演会、愛媛大学・松山大学、松山市、2012 年 9 月 14 日
43. 富田将典、図師知文、渡邊孝信  
「酸化膜に覆われたナノワイヤ型 Si 結晶のフォノン分散関係」  
第 73 回応用物理学会学術講演会、愛媛大学・松山大学、松山市、2012 年 9 月 14 日
44. 今井裕也、神岡武文、鎌倉良成、大毛利健治、白石賢二、丹羽正昭、山田啓作、渡邊孝信  
「非対称チャネルにおけるキャリア輸送の EMC/MD シミュレーション(II)」  
第 73 回応用物理学会学術講演会、愛媛大学・松山大学、松山市、2012 年 9 月 14 日
45. 神岡武文、今井裕也、鎌倉良成、大毛利健治、白石賢二、丹羽正昭、山田啓作、渡邊孝信  
「GAANW チャネルにおける酸化膜中単一トラップ電荷の影響調査:EMC/MD シミュレーションによる解析」  
第 73 回応用物理学会学術講演会、愛媛大学・松山大学、松山市、2012 年 9 月 14 日
46. 図師知文、大毛利健治、山田啓作、渡邊孝信  
「分子動力学法による立体構造シリコン中の熱輸送シミュレーション」  
第 73 回応用物理学会学術講演会、愛媛大学・松山大学、松山市、2012 年 9 月 14 日
47. 高田幸宏、塩川太郎、尹永扱、小鍋哲、初貝安弘、白石賢二、山本貴博  
「古典-量子クロスオーバー系における電子波束ダイナミクス」  
第 73 回応用物理学会学術講演会、愛媛大学・松山大学、松山市、2012 年 9 月 14 日
48. 塩川太郎、藤田弦暉、高田幸宏、小鍋哲、村口正和、山本貴博、遠藤哲郎、初貝安弘、白石賢二  
「一次元非一様ポテンシャル中の波束ダイナミクス」  
日本物理学会 2012 年秋季大会、横浜国立大学、2012 年 9 月 18 日～21 日
49. 藤田弦暉、塩川太郎、高田幸宏、小鍋哲、村口正和、山本貴博、遠藤哲郎、初貝安弘、白石賢二  
「ナノ構造中の多電子波束ダイナミクスにおける電子間相互作用の効果」  
日本物理学会 2012 年秋季大会、横浜国立大学、2012 年 9 月 18 日～21 日
50. 図師知文  
「Impact of oxidation induced atomic disorder in narrow Si nanowires on transistor performance」  
第 12 回関西コロキウム・電子デバイスワークショップ、大阪大学中之島センター、2012 年 10 月 26 日
51. 図師知文、大毛利健治、山田啓作、渡邊孝信  
「立体構造シリコン中の熱輸送に関する分子動力学シミュレーション」  
シリコン材料・デバイス研究会 (SDM)、機械振興会館、東京、2012 年 11 月 16 日

52. 神岡武文、今井裕也、鎌倉良成、大毛利健治、白石賢二、山田啓作、丹羽正昭、渡邊孝信  
「非対称ホーン形状チャネルによるキャリア輸送の制御:EMC/MD シミュレーションによる検討」  
ゲートスタック研究会(第18回)-材料・プロセス・評価の物理一、熱海市、2013年1月
53. 川村祐士、鹿浜康寛、神岡武文、渡邊孝信  
「全周ゲート型ショットキー障壁トンネル FET 特性に鏡像効果が及ぼす影響」  
ゲートスタック研究会(第18回)-材料・プロセス・評価の物理一、熱海市、2013年1月
54. フェンウェイ、ランガヘッティアラッチ、李映勳、佐藤創志、角嶋邦之、佐藤基之、福田浩一、丹羽正昭、山部紀久夫、白石賢二、岩井洋、山田啓作、大毛利健治  
「Si ナノワイヤ MOSFET の「静かな」雑音特性」  
ゲートスタック研究会(第18回)-材料・プロセス・評価の物理一、熱海市、2013年1月
55. 武良 光太郎, 神岡 武文, 磯野 文哉, 川村 祐士, 鹿浜 康寛, 山下 広樹, 山田 康平, 小杉山 洋希, 橋本 修一郎, 渡邊 孝信  
「シャドールーティング効果を利用した低エネルギーイオン誘起損傷のその場 STM 観察」  
春季第 60 回応用物理学関連連合講演会、神奈川工科大学、2013 年 3 月 27～29 日
56. 鈴木晃人、今井裕也、神岡武文、鎌倉良成、渡邊孝信  
「GPU 並列計算による計算によるキャリア輸送シミュレーションの高速化輸送シミュレーションの高速化」  
春季第 60 回応用物理学関連連合講演会、神奈川工科大学、2013 年 3 月 27～29 日
57. 橋本 修一郎, 川村 祐士, 鹿浜 康寛, 神岡 武文, 渡邊 孝信  
「ショットキー障壁トンネル FET の伝達特性に鏡像効果が及ぼす影響」  
春季第 60 回応用物理学関連連合講演会、神奈川工科大学、2013 年 3 月 27～29 日
58. 塩川太郎、藤田弦暉、高田幸宏、小鍋哲、村口正和、山本貴博、遠藤哲郎、初貝安弘、白石賢二  
「多電子波束を用いた円電流ダイナミクスへの電子間相互作用の効果」  
日本物理学会 2013 年年会、広島大学、2012 年 3 月 26 日～29 日
59. 藤田弦暉、塩川太郎、高田幸宏、小鍋哲、村口正和、山本貴博、遠藤哲郎、初貝安弘、白石賢二  
「スピン自由度を考慮した多電子波束ダイナミクスにおける電子間相互作用の効果」  
日本物理学会 2013 年年会、横浜国立大学、2013 年 3 月 26 日～29 日

<国際学会発表>

1. Yukihiro Takada, Masakazu Muraguchi, Tetsuo Endoh, Shintaro Nomura, Kenji Shiraishi,  
“Proposal of a new electronic structure model of Ohmic contacts for the future metallic source and drain”  
10th International Workshop on Junction Technology, Shanghai, China, May 10 - 11, 2010.
2. K. Ohmori, K. Shiraishi, K. Yamada  
“Influences of carrier scattering phenomena on drain current variability in Si MOSEFTs”  
International Symposium on Technology Evolution for Silicon Nano-Electronics, Tokyo, Japan, June 3-5, 2010.

3. Y. Sakurai, K. Shiraishi, K. Ohmori, K. Yamada, S. Nomura  
 “Photoluminescence characteristics of ultra-thin silicon-on-insulator at low temperatures”  
 International Symposium on Technology Evolution for Silicon Nano-Electronics, Tokyo, Japan, June 3-5, 2010.
4. Tomofumi Zushi, Iwao Ohdomari, Takanobu Watanabe, Yoshinari Kamakura, Kenji Taniguchi  
 “Molecular Dynamics Simulation of LO Phonon Mode Decay in Si Nano-Structures Covered with Oxide Films”  
 The International Conference on Simulation of Semiconductor Processes and Devices (SISPAD) 2010, Bologna, Italy, Sep. 6-8, 2010.
5. Soshi Sato, Yeonghun Lee, Kuniyuki Kakushima, Parhat Ahmet, Kenji Ohmori, Kenji Natori, Keisaku Yamada, Hiroshi Iwai  
 “Gate Semi-Around Si Nanowire FET Fabricated by Conventional CMOS Process with Very High Drivability”  
 40th European Solid-State Electronic Device Research Conference (ESSDERC), Seville, Spain, Sep. 13-17, 2010.
6. Takanobu Watanabe, Tomoya Onda, Iwao Ohdomari, "Misfit Stress Relaxation Mechanism in GeO<sub>2</sub>/Ge Systems: A Classical Molecular Simulation Study," ECS meeting, Las Vegas, Oct. 14, 2010.
7. Kenji Sasaoka, Takahiro Yamamoto, Satoshi Watanabe, Kenji Shiraishi  
 “Transient and AC Electric Transport in Mesoscopic Devices”  
 Workshop in Simulation and Modeling of Emerging Electronics, Hong Kong, Dec. 6-10, 2010.
8. Yoko Sakurai, Kenji Shiraishi, Kenji Ohmori, Keisaku Yamada, Shintaro Nomura  
 “Photoluminescence from Electron-Hole Droplet in Ultra-Thin Silicon-on-Insulator at Low Temperatures”  
 International Symposium on Nanoscale Transport and Technology (ISNTT2011), Atsugi, Kanagawa, Japan, Jan. 11-14, 2011.
9. Takeo Matsuki, Ranga Hettiarachchi, Wei Feng, Kenji Shiraishi, Keisaku Yamada, Kenji Ohmori  
 “Influence of Gate-first Process on Low-frequency Noise in EOT-scaling of Poly-Si/TiN/HfO<sub>2</sub>/SiO<sub>2</sub> Gate-stack MOSFETs”  
 International Workshop on Dielectric Thin Films for Future ULSI Devices (IWDTF), Tokyo, Japan, Jan. 20-21, 2011.
10. Mitsuhiro Arikawa, Yasuhiro Hatsugai, Kenji Shiraishi  
 “Electron wave packet dynamics in the spin torque transfer”  
 The 1st CSIS International Symposium on Spintronics-based VLSIs and The 7th RIEC International Workshop on Spintronics, Laboratory for Nanoelectronics and Spintronics, Tohoku University, Sendai, Feb. 3, 2011.
11. Y. Sakurai, K. Shiraishi, K. Ohmori, K. Yamada, S. Nomura  
 “Silicon-on-Insulator Thickness Dependence of Photoluminescence from Electron-Hole Droplet”  
 The Third International Symposium on Interdisciplinary Materials Science (ISIMS-2011), March 9th - 10th, 2011 at Epochal Tsukuba, Japan.
12. Kenji Ohmori, Toyohiro Chikyow, Kenji Shiraishi, Keisaku Yamada  
 “Our Research Activity on Nano-Scaled Electronic Devices Based at Tsukuba-Site ~ Property Fluctuation of MOSFETs ~”

The Seventh International Nanotechnology Conference on Communication and Cooperation, May 16-19, 2011, College of Nanoscale Science and Engineering (CNSE), Albany, New York, USA.

13. K. Ohmori, R. Hettiarachchi, W. Feng, T. Matsuki, K. Yamada  
“Comparison of Dynamic Fluctuation in Drain Current with Static Variability Using N-MOSFETs with Poly-Si/SiO<sub>2</sub> Gate Stack Structures”  
21st International Conference on Noise and Fluctuations (ICNF), Toronto, Canada, June 12-16, 2011.
14. K. Ohmori, W. Feng, S. Sato, R. Hettiarachchi, M. Sato, T. Matsuki, K. Kakushima, H. Iwai, K. Yamada  
“Direct Real-Time Observation of Channel Potential Fluctuation Correlated to Random Telegraph Noise of Drain Current Using Nanowire MOSFETs with Four-Probe Terminals”  
2011 Symposium on VLSI Technology, Kyoto, Japan, June 14-16, 2011.
15. T. Matsuki, R. Hettiarachchi, W. Feng, K. Shiraishi, K. Yamada, K. Ohmori  
“Identification of electron trap location degrading low-frequency noise and PBTI in poly-Si/HfO<sub>2</sub>/interface-layer gate-stack MOSFETs”  
17th Conference on Insulating Films on Semiconductors (INFOS), June 21-24, 2011 Grenoble, France.
16. Yukihiro Takada, Young Taek Yoon, Taro Shiokawa, Satoru Konabe, Mitsuhiro Arikawa, Masakazu Muraguchi, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi  
“Electron Dynamics in the Nano Scale Transistor”  
2011 Asia-Pacific Workshop on Fundamental and Applications of Advanced Semiconductor Devices, Daejeon, Korea, June 30, 2011.
17. Y. Sakurai, K. Ohmori, K. Yamada, K. Kakushima, H. Iwai, K. Shiraishi, S. Nomura  
“The enhancement of the photoluminescence of electron-droplet phase in quantum confined Si structures”  
The 19th international conference on Electronic Properties of Two-Dimensional Systems (EP2DS-19), Florida, USA, July 25-29, 2011.
18. Takefumi Kamioka, Hiroya Imai, Takanobu Watanabe, Kenji Ohmori, Kenji Shiraishi, Yoshinari Kamakura  
“Impact of Channel Shape on Carrier Transport Investigated by Ensemble Monte Carlo/Molecular Dynamics Simulation”  
2011 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Osaka, Japan, Sep. 8-10, 2011.
19. W. Feng, R. Hettiarachchi, S. Sato, K. Kakushima, M. Niwa, H. Iwai, K. Yamada, K. Ohmori  
“Advantages of Silicon Nanowire MOSFETs over Planar Ones Investigated from the Viewpoints of Static and Noise Properties”  
International Conference on Solid State Devices and Materials (SSDM), Nagoya, Japan, Sep. 28-30, 2011.
20. Yukihiro Takada, Young Taek Yoon, Taro Shiokawa, Satoru Konabe, Mitsuhiro Arikawa, Masakazu Muraguchi, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi  
“Multi-electron Wave Packet Dynamics in Applied Electric Field”  
2011 International Conference on Solid State Devices and Materials, Nagoya, Japan, September 28-30, 2011.

21. Y. Sakurai, K. Ohmori, K. Yamada, K. Shiraishi, K. Kakushima, H. Iwai, S. Nomura  
 “Photoluminescence Characterization of the Interface Properties of Si Nanolayers and Nanowires”  
 220th ECS Meeting and Electrochemical Energy Summit, Boston, USA, October 9-14, 2011
22. W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, K. Ohmori  
 “Fundamental origin of excellent low-noise property in 3D Si-MOSFETs ~ Impact of charge-centroid in the channel due to quantum effect on 1/f noise ~”  
 International Electron Devices Meeting (IEDM), Washington DC, USA, December 5-7, 2011.
23. Kenji Ohmori, Ryu Hasunuma, Keisaku Yamada  
 “Development of a Novel System for Characterizing MOSFET Noise in Higher Frequency Regimes”  
 IEEE International Conference on Microelectronic Test Structures (ICMTS), March 19-22, 2012, San Diego, California, USA.
24. K. Ohmori, Ryu Hasunuma, Wei Feng, Keisaku Yamada  
 “Continuous characterization of MOSFET from low-frequency noise to thermal noise using a novel measurement system up to 100 MHz”  
 2012 VLSI Symposium on Technology, June 12-14, 2012, Hawaii, USA.
25. Takefumi Kamioka, Hiroya Imai, Yoshinari Kamakura, Kenji Ohmori, Kenji Shiraishi, Masanori Niwa, Keisaku Yamada, Takanobu Watanabe  
 ”Impact of single trapped charge in gate-all-around nanowire channels studied by ensemble Monte Carlo/molecular dynamics simulation”  
 2012 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Denver, USA, Sep 5-7, 2012.
26. Tomofumi Zushi, Takanobu Watanabe, Kenji Ohmori, Keisaku Yamada  
 “Molecular Dynamics Simulation of Heat Transport in Silicon Fin Structures”  
 2012 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Denver, USA, Sep 5-7, 2012.
27. Kenji Ohmori, Ranga Hettiarachchi, Keisaku Yamada  
 “Effect of Substrate Bias on Frequency Dependence of MOSFET Noise Intensity”  
 42nd European Solid-State Device Research Conference (ESSDERC), September 17-21, 2012, Bordeaux, France.
28. Yukihiko Takada, Taro Shiokawa, Young Taek Yoon, Satoru Konabe, Yasuhiro Hatsugai, Kenji Shiraishi, Takahiro Yamamoto  
 “Multi-Electron Wave Packet Dynamics for Electron Transport in Classical-Quantum Crossover Regions”  
 IUMRS-International Conference on Electronic Materials (IUMRS-ICEM 2012), September 23-28, 2012, Pacifico Yokohama, Yokohama, Japan.
29. K. Ohmori, R. Hasunuma, K. Yamada  
 “Characterization of High-Frequency Noise in MOSFETs”  
 IUMRS-International Conference on Electronic Materials (IUMRS-ICEM 2012), September 23-28, 2012, Pacifico Yokohama, Yokohama, Japan.
30. Takanobu Watanabe, Tomofumi Zushi, Masanori Tomita, Ryo Kuriyama, Naoshige Aoki, Takefumi Kamioka  
 “Phonon Dispersion in <100> Si Nanowire Covered with SiO<sub>2</sub> Film Calculated by Molecular Dynamics Simulation”

PRiME 2012, SiGe, Ge, and Related Compounds: Materials, Processing, and Devices 5, Honolulu, Hawaii, Oct. 10, 2012.

31. Taro Shiokawa, Genki Fujita, Yukihiro Takada, Satoru Konabe, Masakazu Muraguchi, Takahiro Yamamoto, Tetsuo Endoh, Yasuhiro Hatsugai Kenji Shiraishi  
“Multi-Electron Wave Packet Dynamics with Long-range Coulomb Interaction”  
2012 Workshop on Innovative Nanoscale Devices and Systems (WINDS 2012), Kohala Coast, Hawaii, USA, December 2-7th, 2012.
32. C. M. Puetter, S. Konabe, Y. Hatsugai, K. Shiraishi  
“Semi-classical Klein tunneling with Berry curvature effects in graphene”  
2012 Workshop on Innovative Nanoscale Devices and Systems (WINDS 2012), Kohala Coast, Hawaii, USA, December 2-7th, 2012.
33. Takefumi Kamioka, Hiroya Imai, Yoshinari Kamakura, Kenji Ohmori, Kenji Shiraishi, Masanori Niwa, Keisaku Yamada, Takanobu Watanabe  
”Current fluctuation in sub-nano second regime in gate-all-around nanowire channels studied with ensemble Monte Carlo/molecular dynamics simulation”  
IEEE International Electron Devices Meeting (IEDM), San Francisco, USA, Dec. 11, 2012.

1. ポスター発表 (国内会議 4 件、国際会議 14 件)

<国内>

1. 高井一、清家綾、土田育、増田純一、小瀬村大亮、小椋厚志、大泊 巖、渡邊孝信  
「歪 Si ナノワイヤ FET におけるチャネル方向とウエハ面方位が相互コンダクタンスに与える影響評価」  
ゲートスタック研究会(第 15 回)ー材料・プロセス・評価の物理ー、東レ総合研修センター、静岡県三島市、2010 年 1 月
2. フェン・ウェイ、ランガ・ヘッチアーラッチ、佐藤創志、角嶋邦之、丹羽正昭、岩井洋、山田啓作、大毛利健治  
「Advantages of Silicon Nanowire MOSFETs over Planar MOSFETs Investigated from the Aspect of Drain-Current Noise」  
第 72 回応用物理学会学術講演会、於・山形大学、2011 年 8 月 29 日-9 月 2 日
3. 大毛利健治、フェン・ウェイ、佐藤創志、ランガ・ヘッチアーラッチ、佐藤基之、松木武雄、角嶋邦之、岩井洋、山田啓作  
「ドレイン電流のランダムテレグラフノイズに 관련된 FET チャネルポテンシャル揺らぎの実時間直接観測」  
第 72 回応用物理学会学術講演会、於・山形大学、2011 年 8 月 29 日-9 月 2 日
4. 鹿浜康寛、川村祐士、山下広樹、神岡武文、渡邊孝信  
「立体化によるショットキー障壁トンネル FET の性能向上」  
第 17 回ゲートスタック研究会、東レ総合研修センター、静岡県三島市、2012 年 1 月 20 日

<国際>

1. Takanobu Watanabe, Tomofumi Zushi, Yoshinari Kamakura, Kenji Taniguchi, Iwao Ohdomari  
“Molecular Dynamics Simulation on Phonon Dynamics and Heat Transport in Nanoscale Silicon”  
International Symposium on Technology Evolution for Silicon Nano-Electronics, June 3-5, 2010.

2. Kenji Sasaoka, Takahiro Yamamoto, Satoshi Watanabe  
 “Real time analysis of single electron emission from a quantum dot into an electrode by non-equilibrium Green's function technique”  
 International Symposium on Technology Evolution for Silicon Nano-Electronics (ISTESNE), Tokyo, Japan, June 3-5, 2010.
3. Kenji Sasaoka, Takahiro Yamamoto, Satoshi Watanabe  
 “Analysis of Single Electron Emission from a Quantum Dot by Non-Equilibrium Green's Function Method in Time Domian”  
 30th International Conference of the Physics of Semiconductors (ICPS30), Seoul, Korea July 25-30, 2010.
4. Kenji Sasaoka, Takahiro Yamamoto, Satoshi Watanabe, Kenji Shiraishi  
 “A Numerical Approach to Transient Currents in a Quantum Dot Connected to a Single Electrode”  
 218th ECS Meeting - Las Vegas, USA, Oct. 10-16, 2010.
5. T. Kamioka, K. Ohmori, K. Shiraishi, Y. Kamakura, T. Watanabe  
 “Effect of channel width (~10 nm) on current fluctuation studied by EMC-MD simulation”  
 International Workshop on Dielectric Thin Films for Future Electron Devices (IWDTF), Tokyo, Jan. 20-21, 2011.
6. Ranga Hettiarachchi, Takeo Matsuki, Wei Feng, Keisaku Yamada, Kenji Ohmori  
 “Effect of Substrate Biasing on Low-Frequency Noise in n-MOSFETs for Different Impurity Concentrations”  
 International Workshop on Dielectric Thin Films for Future Electron Devices (IWDTF), Tokyo, Japan, Jan. 20-21, 2011.
7. Takefumi Kamioka, Fumiya Isono, Takahiro Yoshida, Iwao Ohdomari, Takanobu Watanabe  
 “Challenge for STM Observation of Dopant Activation Process on Si(001): In-Situ Ion Irradiation and Hydrogenation”  
 International Conference on the Formation of Semiconductor Interface (13th ICFSI), Prague, Czech Republic, July 3-8, 2011.
8. Fumiya Isono, Takefumi Kamioka, Iwao Ohdomari, Takanobu Watanabe  
 “In-Situ Scanning Tunneling Microscopy of Ion Irradiation Process on Hydrogen-Terminated Si(001)-2×1 Surface”  
 International Conference on the Formation of Semiconductor Interface (13th ICFSI), Prague, Czech Republic, July 3-8, 2011.
9. Taro Shiokawa, Yukihiko Takada, Young Taek Yoon, Satoru Konabe, Masakazu Muraguchi, Mitsuhiro Arikawa, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi  
 “Applied Electric Field Dependence of Multi-electron Wave Packet Dynamics”  
 The Eighth International Nanotechnology Conference on Communication and Cooperation, Tsukuba, Japan, May 8-11, 2012.
10. Taro Shiokawa, Yukihiko Takada, Satoru Konabe, Masakazu Muraguchi, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi  
 “The Effect of Coulomb Interaction in Multi-Electron Wave Packet Dynamics”  
 31st International Conference on the Physics of Semiconductors, Zurich, Switzerland, July 29-August 3, 2012.
11. Yukihiko Takada, Young Taek Yoon, Taro Shiokawa, Satoru Konabe, Mitsuhiro Arikawa, Masakazu Muraguchi, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi

“Effectiveness of Time-Dependent Hartree-Fock Approaches for Multi-Electron Wave Packet Dynamics in Nanoscale Structures”  
31st International Conference on the Physics of Semiconductors, Zurich, Switzerland, July 29-August 3, 2012.

12. Christoph M. Puetter, Satoru Konabe, Kenji Shiraishi  
“Wavepacket dynamics in grapheme”  
31st International Conference on the Physics of Semiconductors, Zurich, Switzerland, July 29-August 3, 2012.
13. K. Ohtaki, K. Ohmori, and S. Nomura  
“Time resolved measurements of ultrafast transport pulses using photoconductive switches”  
2012 International Conference on Solid State Devices and Materials, Kyoto, Japan, September 25-27, 2012.
14. Taro Shiokawa, Genki Fujita, Yukihiro Takada, Satoru Konabe, Masakazu Muraguchi, Takahiro Yamamoto, Tetsuo Endoh, Yasuhiro Hatsugai, Kenji Shiraishi  
“Effect of Coulomb Interaction in Electron Wave Packet Dynamics in Nanoscale Devices”  
2012 International Conference on Solid State Devices and Materials, Kyoto, Japan, September 25-27, 2012.

#### (4)知財出願

##### ①国内出願 (2件)

1. 大毛利健治  
「半導体基板、ナノワイヤトランジスタ及びその製造方法」  
(出願日:平成 22 年7月7日、出願番号: 特願 2010-155135)
2. 大毛利健治、蓮沼隆  
「プローブカード及びノイズ測定装置」  
(出願日:平成 23 年 10 月 3 日、出願番号: 特願 2011-219654)

##### ②海外出願 (2件)

1. 大毛利健治、蓮沼隆  
「プローブカード及びノイズ測定装置」  
PCT 特許出願(出願日:平成 24 年 10 月 1 日、出願番号: PCT/JP2012/75407)
2. 大毛利健治、蓮沼隆  
「プローブカード及びノイズ測定装置」  
台湾特許出願(出願日:平成 24 年 10 月 2 日、出願番号: 101136299)

##### ③その他の知的財産権

#### (5)受賞・報道等

##### ① 受賞

1. 日本表面科学会フェロー  
白石賢二  
<http://www.sssj.org/SSSJ-Fellows.htm>
2. Best Paper Award  
Wei Feng

## ②マスコミ(新聞・TV等)報道

1. (新聞掲載)科学新聞 2011年1月1日付。ショットキー障壁の制御に関するIEDM発表に関するプレスリリースから。
2. (新聞掲載)日刊工業新聞、「立体構造で雑音抑制 筑波大が発見」 2011年12月8日
3. (新聞掲載等)2012年12月にプレス発表(神岡武文、IEDM発表内容)

## §6 結び

本研究課題の提案内容は、研究代表者である大毛利が、微細 MOSFET の静特性ばらつきを研究していたときに、その主要因とされていたランダムドーパントフラクチュエーション以外に、どのような要因が今後顕在化してくるだろうかと、共同研究者である白石らと議論を重ねていた日々の中で生まれた。当時(2008年後半~2009年初め)、学会で大変盛況なテーマであったメタルゲート/high-k 絶縁膜の基礎研究が一段落しつつあると感じ、我々は大学で研究を行う者として、次の大きな研究テーマを探している時期でもあった。

そのような背景のなか、縦(ゲートスタック)方向から、横方向(ソース・ドレイン寄生抵抗、ドレイン電流伝導)へと逐次的に、しかも自然発生的に興味の対象が移っていった事を憶えている。とめどない微細化により、パワーデバイスよりも局所的には遥かに大きな密度で電流を駆動する Si 系 MOSFET 動作に対する工学的・科学的記述を再構築し、新しい領域を拓くことはできないかと話し合いを進めた。最終的に、「ソース・ドレイン周り」と「電流揺らぎ」の2つに興味が絞られていったが、試作環境の変化等を振り返ると、「電流揺らぎ」に的を定め、プロセス技術よりは、計測と解析、理論とシミュレーションという見地から、「静かなトランジスタ」の設計指針提案を目指す選択が出来た事は、幸運であったと感じている。

研究提案は5年半で申請をしたが、採択時に3年半でやり抜きなさいとのお達しを頂戴し、また周りからは「3年半で出来なかったら、5年半でも出来ないよ」といささか不条理な励ましを受けながらのスタートであった。研究進捗に関しては、半導体デバイス研究で最も競争的な国際会議である、International Electron Devices Meeting (IEDM)および VLSI Symposium (VL) への投稿を半年ごとのペースペーカーとした。最初の半年は苦戦したが、2011年 VL、IEDM、2012年 VL、IEDM と無事採択の運びとすることができた。もちろん、研究を継続する上での独創的な発想、深い考察、そして周りからの様々な刺激は重要であるが、これも CREST という予算規模の研究プロジェクトだからこそ出来たという面は否めない事実である。

本プロジェクトに採択され、研究を遂行する機会を頂けたおかげで、実験・シミュレーション・理論の各グループは、他にはない独自の手法を開発し、得難い経験をする事ができた。日頃から議論し、また指導を頂いている周りの緒先生方と研究者に心より感謝を申し上げたい。また、渡辺研究統括をはじめ、領域アドバイザーの皆様、JST の担当の方々には、度々の叱咤激励をいただき、御礼を申し上げます。本研究の一部は、産業技術総合研究所つくば西事業所に居を構えて行った。産総研関係者の皆様に御礼申し上げます。最後に、企業、大学、独立法人から本研究への参加を快諾いただいた技術者・研究者の皆様、ポスドク研究員、学生諸君、そして、筑波大学ならびに早稲田大学のスタッフの皆様の忌憚ない助言と協力なしには、本研究を進める事は出来ませんでした。ありがとうございます。