

戦略的創造研究推進事業 CREST
研究領域「次世代エレクトロニクスデバイスの
創出に資する革新材料・プロセス研究」
研究課題「縦型ボディークャネル MOSFET と
その集積プロセスの開発」

研究終了報告書

研究期間 平成 20年 10月～平成 26年 3月

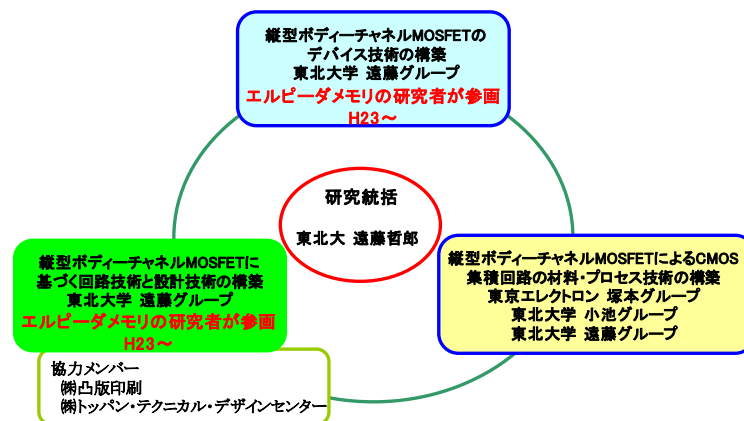
研究代表者:遠藤 哲郎
(東北大学大学院工学研究科、教授)

§ 1 研究実施の概要

(1)実施概要

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術・デバイス技術の開拓のために、デバイスのボディー領域全体を電流駆動領域とする新概念の縦型構造トランジスタのデバイス技術に加えて、その回路設計・材料・プロセス技術までを一貫して開発し、それにより半導体 LSI における新しいユニバーサル技術プラットフォームの実現に挑むものであり、以下の3つの主要課題を、図に示すように東北大学遠藤グループ(遠藤G)、東北大学小池グループ(小池G)、東京エレクトロン塚本グループ(塚本G)が共同することで実施した。

- ① 縦型ボディーチャネル MOSFET のデバイス技術の構築
- ② 縦型ボディーチャネルデバイスに基づく回路技術とその設計技術の構築
- ③ 縦型ボディーチャネルMOSFETによる CMOS 集積回路の材料・プロセス技術の構築



① 縦型ボディーチャネル MOSFET のデバイス技術の構築

縦型ボディーチャネルMOSFETのデバイス技術の構築に関しては、研究代表者の遠藤(東北大学)のグループが実施した。スケーリングフリーなユニバーサルデバイスを目指したチャネル構造の設計を、縦型ボディーチャネルMOSFETにおける駆動力向上・消費電力抑制の設計理論の構築と、縦型ボディーチャネルMOSFETの試作開発と評価解析を進めることで実現し、スケーリング則から脱却した新しいデバイス設計理論の確立とその実証へつなげた。遠藤Gが有する、デバイスシミュレーション・プロセスシミュレーションなどのTCAD ツールを中核とするデバイス設計環境を活用して、縦型ボディーチャネルMOSFETのデバイス設計、さらに、縦型ボディーチャネルMOSFET及びその集積回路の試作のためのマスクセット設計を行い、塚本G(東京エレクトロン)と連携して試作環境を構築することで縦型ボディーチャネルMOSキャパシタ、及びMOSFETの試作を行い、遠藤Gが保有する各種デバイス特性評価設備にて、デバイスの電気的特性評価を行った。これらを組み合わせ実施することで、縦型ボディーチャネルMOSFETによるプロトタイプ集積回路の試作・評価へつなげ、デバイス性能向上の集積回路レベルでの実証に成功した。

② 縦型ボディーチャネルデバイスに基づく回路技術とその設計技術の構築

本課題は、協力メンバーである㈱凸版印刷、㈱トッパン・テクニカル・デザインセンターの協力を得ながら、研究代表者の遠藤(東北大学)のグループが実施した。hp32nm世代以降における縦型ボディーチャネルMOSFETに基づくCMOS集積回路の回路技術とその設計技術の研究を行い、必要となる回路IP群の構築、及び、設計ツールの開発を行うことを第一の目的として研究を進めた。縦型ボディーチャネルMOSFET及びその集積回路の回路設計及びパタ

ーンレイアウト設計を実施すると共に、その設計支援を行うための各種設計ツールの開発を行った。具体的には、遠藤Gが有する設計環境を活用して、基本ロジック回路のレイアウト技術の開発を行い、さらに、東京エレクトロンの塚本Gと連携して、縦型ボディーチャンネルMOSFET及びその集積回路の試作開発に向けたデバイスモデルの構築、とそれによるTEG設計・パターン設計などマスク作成を行った。加えて、立体化の特徴を極限まで引き出すグラフ理論に基づく回路設計原理の提案と、それに基づいた集積回路を構成する各種回路の設計に成功した。これらをもとに、集積回路技術の構築を進め、同時に設計アルゴリズムの高効率化を行うことで、過去の設計資産のインプリメント技術およびプロトタイプ集積回路を設計し、回路技術の有効性の実証ができた。

③ 縦型ボディーチャンネルMOSFETによる CMOS 集積回路の材料・プロセス技術の構築

縦型ボディーチャンネルMOSFETによるCMOS集積回路の材料・プロセス技術の開発は、本テーマのサブリーダーである塚本Gを中心に、遠藤Gと小池G（東北大学）が協力して実施した。hp32nm世代以降における縦型ボディーチャンネルMOSFETに基づくCMOS集積回路の材料・プロセス技術の研究を行い、必要となる基本ユニットプロセス技術の確立を行った。この開発した基本ユニットプロセス技術をもとに、縦型ボディーチャンネルMOSFETによる集積回路レベルでの、集積化プロセス・材料技術の構築を進めた。

具体的には、塚本Gは遠藤Gと協力して、遠藤Gが設計したマスクセットを用いて、東京エレクトロンが保有する試作環境と国内の試作支援機関のリソースを組み合わせ、縦型ボディーチャンネルMOSFETの要素プロセス技術を開発した。加えて、TCADツール（プロセスシミュレータ&デバイスシミュレータ）を活用して遠藤Gが開発したプロセスフローをベースに、遠藤Gと協力して製造性に優れたプロセスインテグレーション技術の研究を推進した。特に、縦型ボディーチャンネルMOSFETに固有な材料・プロセス技術として、微細シリコンピラー形成技術、そのエッチング面の平滑度や界面準位密度を抑制する表面処理技術、様々な結晶面方位を有するエッチングしたシリコンピラー側面にHigh-k絶縁膜・メタルゲートのゲートスタック技術、ゲート・ソース・ドレイン電極の形成技術などの、要素技術を開発すると共に、シンプルなゲート構造形成技術などの製造性に優れたプロセスインテグレーション技術の開発を行った。また、小池Gは、塚本G・遠藤Gと連携して、東北大学の小池Gが所有する実験環境を活用して、拡散層抵抗の低抵抗化を目指したシリサイドと金属配線を低抵抗且つ安定に接続するためのコンタクト・配線技術の開発を行った。

以上要するに、本研究課題の遂行により、新提案の縦型ボディーチャンネル MOSFET を中核技術とした、半導体 LSI における新しいユニバーサル技術プラットフォーム構築に向けたデバイス・回路・プロセス・材料の研究開発による集積化技術の確立に大きな一歩を踏み出すことができた。

以上の研究成果として、学術論文 51 件、国際会議口頭発表78件、特許 国内特許出願10件、国際特許出願8件として公表・権利化された。

(2) 顕著な成果

<優れた基礎研究としての成果>

1. 縦型ボディーチャンネル MOSFET のデバイス技術の確立とその高密度メモリへの応用展開

提案した縦型ボディーチャンネル MOSFET が、駆動電流を保ったまま、同時に S-factor を従来のプレーナ技術では困難であった最小加工寸法での 60mV/dec 近傍への抑制可能であり、ソースドレイン間のリーク電流を従来技術に比べ 1/200 以下にできることを示した。加えて、ゲート方向のリーク電流も半分以下に削減出来ることを世界に先駆けて示すことに成功した。さらに、この技術が、DRAM や NAND メモリセルなどの高密度化に適していることを見出し、当初想定していたロジック回路だけでなく、将来のワーキングメモリの基本構造としても優れた特性を持つことを、実際にデバイス設計を行うことで示した。さらに、3次元構造である利点を生かしたメゾスコピック物理の、ナノスケールのシリコンデバイスへの適用という新たな方向性を提示することにも成功した。本成果は、縦型ボディーチャンネル MOSFET の技術を確立するとともに、その応用展開まで目途を付けたという意味で学術的に大きなインパクトを有する。

(学術論文:23件 特許件数:国内2件、海外2件)

2. 縦型ボディーチャンネルデバイスに基づく回路技術の確立とその設計技術の構築

立体化の特徴を極限まで引き出すため、4色グラフアルゴリズムに基づく回路設計原理の提案を世界に先駆けて行い、それに基づいた集積回路を構成する各種回路の設計を行い、世界初の縦型ボディーチャンネル MOSFET による 1MBit の SRAM テストチップの試作に成功した。これらの得られた知見をもとに、集積回路技術の構築を進め、同時に設計アルゴリズムの高効率化を行うことで、過去の設計資産のインプリメント技術およびプロトタイプ集積回路を設計し、回路技術の有効性を、競争が激化しつつある3次元集積回路の分野において世界に先駆けて実証することができた点は、今後の科学技術に大きなインパクトを与える成果である。

(学術論文:12件 特許件数:国内1件)

3. 縦型ボディーチャンネル MOSFET による CMOS 集積回路の材料・プロセス技術の確立

シリコンピラーの低ダメージ加工技術・側面のスムージングプロセス技術・シリコン結晶面方位に依存しないゲート酸化膜プロセス技術の開発に成功し、さらにシリコンピラー内部での応力分布やシリコン原子の移動を近似的に流体モデルで計算するシミュレータを用いて、シリコンピラー内部の応力分布を設計することで、ナノスケールのシリコンピラーで生じるシリコンミッシング現象を抑制できる低応力酸化技術の開発に成功した。これらの成果を総括することで、世界最小の 23nm ピラー直径での 300mm ウエハへのプロセス技術を確立することに成功した。本成果は、産業だけでなく学術的にも大きなインパクトを有する。

(学術論文:12件 特許件数:国内7件、海外6件)

< 科学技術イノベーションに大きく寄与する成果 >

1. 3次元縦型構造による集積回路の新しいプラットフォームの創出

将来の微細化の限界による集積回路技術の今後を見据え、世界に先駆けて3次元縦型ボディーチャンネルMOSFETを提案し、そのデバイス技術に加えて、回路設計・材料・プロセス技術までを一貫して開発してきた。その中で、縦型ボディーチャンネルのデバイス技術・回路技術・プロセス技術の研究開発を行い、実証を行うことで、縦型ボディーチャンネルMOSFETが微細化だけに頼らず駆動電流特性、リーク電流特性、集積密度を大幅に向上させた半導体 LSI の新しいユニバーサル技術プラットフォームを提供できることを示し、研究期間途中からエルピーダメモリの参画を受けるなど、複数の企業から研究参加の打診を受けるところまで発展させることができた。

2. マルチピラー構造の提案とそのパワーデバイス系への新たな応用展開

シリコンピラーを複数束ねるマルチピラー構造により、シングルピラー構造の場合と同じ駆動電流を維持しながら、シリコンピラー直径の縮小化によるゲートの制御性の向上効果に加えて、優れた放熱特性により、温度上昇抑制による接合リーク電流の抑制効果の相乗効果で、現在のシリコン集積回路における最大の課題の一つである、ソース・ドレイン方向に流れるサブスレッショルド電流が、既存のシングルピラーの場合と比較して、1/200にまで抑制できることを示した。本構造は、その優れた放熱特性により、パワーデバイスへの展開を視野に入れ複数の企業から打診をうけるまでに発展している。新産業の創出につながる成果が得られたと考えている。

3. 縦型ボディーチャンネル構造の量産を見据えたプロセス技術の確立

極微細・縦型ボディーチャンネルの材料・プロセス技術として、300mm ウェハ製造に適用できる極薄 High-k 膜・形成技術および 20nm 系レベルの極微細シリコンピラー形成技術の構築に成功した。従来のプロセス技術とコンパラブルなシンプルなピラー形成技術と成膜技術であり、同時に、20nm 系の極微細シリコンピラー部へこれらの High-k 膜を適用した所、プレーナ構造と同等の電気特性が得られ、極微細・縦型ボディーチャンネルにおいても良好なデバイス動作が実現できる可能性があることが確認された。縦型ボディーチャンネルMOSFETの将来の量産可能性を見据えた大きな成果である。また、本研究成果は半導体製造装置産業の発展に寄与したと考える。

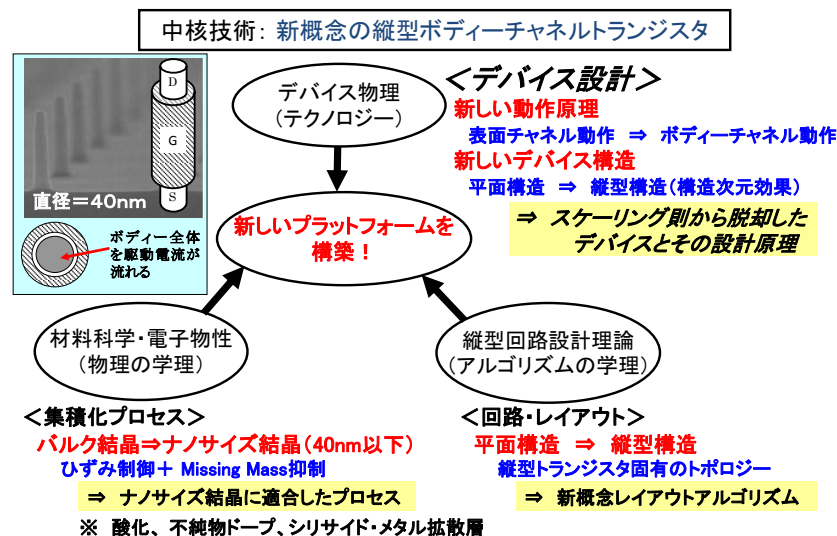
§ 2. 研究構想

(1) 当初の研究構想

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術・デバイス技術の開拓のために、デバイスのボディー領域全体を電流駆動領域とする新概念の縦型構造トランジスタのデバイス技術に加えて、その回路設計・材料・プロセス技術までを一貫して開発し、それにより半導体LSIにおける新しいユニバーサル技術プラットフォームの実現に挑むものであり、以下の3つの主要課題よりなる。

- ① 縦型ボディーチャネル MOSFET のデバイス技術の構築
- ② 縦型ボディーチャネルデバイスに基づく回路技術とその設計技術の構築
- ③ 縦型ボディーチャネルMOSFETによる CMOS 集積回路の材料・プロセス技術の構築

本研究のテーマである縦型ボディーチャネル MOSFET とその集積プロセスの開発を前・後期の2期に分けて実施する。前半の3年間(H20-H22 年度)では、提案した縦型ボディーチャネルのデバイスの設計理論の構築と基本設計、回路の設計技術の確立、単体デバイスレベルでの基本ユニットプロセス・プロセスインテグレーション技術の構築を行い、単体レベルでの試作・評価を進める。残りの期間にて、デバイスレベル、回路レベル、プロセス・材料レベルそれぞれの知見を総合し、集積回路技術の構築を行う。



① 縦型ボディーチャネルMOSFETのデバイス技術の構築

縦型ボディーチャネルMOSFETのデバイス技術の構築に関しては、研究代表者の遠藤(東北大学)のグループが実施する。hp32nm世代のデバイスを精度よく試作することは困難であるため、例えば65nm世代での試作サンプルによる実験的手法と32nm世代以降の微細デバイスに対するデバイスシミュレーション(TCAD)による理論的解析手法を組み合わせることで、研究を実施する。これらを組み合わせ実施することで、縦型ボディーチャネルMOSFETによるプロトタイプ集積回路の試作・評価へつなげ、デバイス性能向上の集積回路レベルでの実証を目指す。

② 縦型ボディーチャネルMOSFETに基づく回路技術とその設計技術の開発

hp32nm世代以降における縦型ボディーチャネルMOSFETに基づくCMOS集積回路の回路技術とその設計技術の研究を行い、必要となる回路IP群の構築、及び、設計ツールの開発を行うことを目的とする。

③ 縦型ボディーチャンネルMOSFETに基づくCMOS集積回路の材料・プロセス技術の研究

hp32nm世代以降における縦型ボディーチャンネルMOSFETに基づくCMOS集積回路の材料・プロセス技術の研究を行い、必要となる基本ユニットプロセス技術の確立を行い、最終的には縦型ボディーチャンネルMOSFETによる集積回路レベルでの集積化プロセス・材料技術の構築を目的とする。縦型ボディーチャンネルMOSFETによるCMOS集積回路の材料・プロセス技術の開発は、本テーマのサブリーダーである塚本Gを中心に、遠藤Gと小池G(東北大学)が協力して実施する。

(2)新たに追加・修正など変更した研究構想

① 中間評価で受けた指摘や助言、それを踏まえて対応した結果について

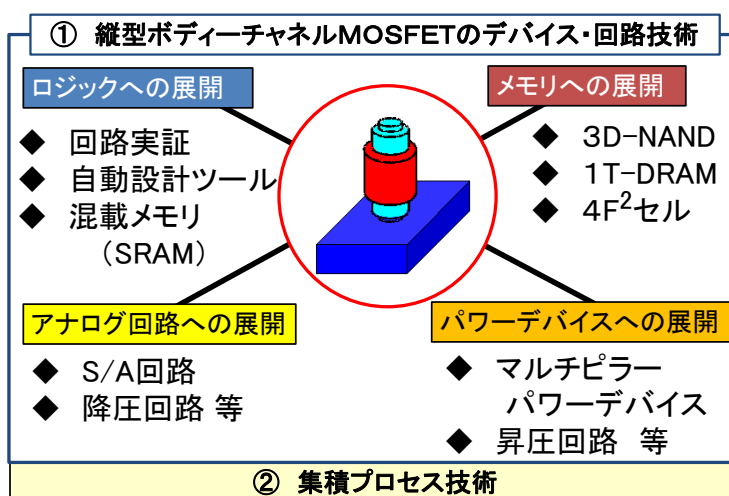
領域総括から受けた、出口としてのデバイス企業の参画の必要性の助言を踏まえて、デバイス企業の参画を募ったところ、当該課題の成果である縦型ボディーチャンネルMOSFETのデバイス技術の成果が評価され、H23年度から世界的半導体デバイス企業であるエルピーダメモリが研究開発に参画し、この新しい研究体制により、デバイス技術・回路技術・プロセス技術の受け取り手としてのデバイスメーカ、プロセス製造技術の受け取り手としての装置メーカーを組織化でき、研究成果の実用化に向けて体制を整えることができたと考えている。また同時に、東京エレクトロンのアメリカサイト(Albany)の活用によるデバイス試作環境の整備に成功し、集積回路レベルへの技術展開に関する研究開発が加速できた。

② 上記①以外で生まれた新たな展開について

当初は 32nm のデザインルールでのロジック集積回路技術までを想定していたが、縦型構造の持つポテンシャルをその動作原理にまで遡って検討し、研究開発を推進した結果、縦型ボディーチャンネル構造によるロジック集積回路に関しては当初想定していなかった、10nm 世代を見据えたデバイス技術の開発への着手することが出来た。これに加え、図1に示すように、

- ・3D-NAND、1T-DRAMなどの、4F²セルが可能な高密度次世代メモリ
- ・Sense Amplifier (S/A) 回路、降圧回路、高速I/O回路などのアナログLSI
- ・マルチピラー構造によるパワーデバイス

などへ展開し、それぞれに縦型構造の優位性を示す成果を得ることが出来た。縦型ボディーチャンネル構造による次世代集積回路技術のプラットフォームの実現に近づく成果であると考えている。



本CREST研究課題における縦型ボディーチャンネルMOSFETの研究開発の概要

§ 3 研究実施体制

(1) 研究チームの体制について

① 遠藤グループ（東北大学）

研究参加者

氏名	所属	役職	参加時期
遠藤 哲郎	東北大学 大学院工学研究科	教授	H20.10～
村口 正和	東北大学 大学院工学研究科	助教	H20.10～
馬 奕濤	東北大学 国際高等研究機構学際科学フロンティア研究所	教育研究支援員	H23.06～
安田 幸夫	東北大学 大学院工学研究科	産学官連携研究員	H21.04～
田野井 聡	東北大学 大学院工学研究科	産学官連携研究員	H23.04～
作井 康司	東北大学 学際科学国際高等研究センター	産学官連携研究員	H21.04～ H22.06
東 琴衣	東北大学 学際科学国際高等研究センター	産学官連携研究員	H21.05～ H21.07
鈴木 保彦	東北大学 学際科学国際高等研究センター	退職(出向元に復職)	H21.08～ H24.03
知京 豊裕	東北大学 学際科学国際高等研究センター	客員教授	H20.10～ H22.3
桑野 龍	東北大学 国際高等研究機構学際科学フロンティア研究所	技術員	H20.10～
則房 勇人	東北大学 大学院工学研究科	修了(博士)	H20.10～ H24.3
田中 幸介	東北大学 大学院工学研究科	D3	H20.10～
上柳 雅史	東北大学 大学院工学研究科	修了(修士)	H20.10～ H22.3
伊賀 文崇	東北大学 大学院工学研究科	D1	H20.10～
佐々木 健志	東北大学 大学院工学研究科	D2	H20.10～
今本 拓也	東北大学 大学院工学研究科	D2	H20.10～
板垣明宏	東北大学 大学院工学研究科	修了(修士)	H23.04～ H25.03
羅 炯竣	東北大学 大学院工学研究科	修了(博士)	H23.04～ H25.03
徐 文植	東北大学 大学院工学研究科	修了(博士)	H23.04～ H24.09
王 安洋	東北大学 大学院工学研究科	M2	H25.04～

伊藤 一樹	東北大学 大学院工学研究科	M1	H25.04～
大湯 静憲	エルピーダメモリ株式会社	エグゼクティブプロフェッショナル	H23.10～
梶谷 一彦	同上	エグゼクティブプロフェッショナル	H23.10～
吉田 宗一郎	同上	プロフェッショナル	H23.10～

研究項目

- ・ 縦型ボディーチャンネルMOSFETのデバイス技術の構築
- ・ 縦型ボディーチャンネルMOSFETに基づく回路技術と設計技術の構築
- ・ 縦型ボディーチャンネルMOSFETによるCMOS集積回路の集積プロセス技術の構築

② 小池グループ (東北大学)

研究参加者

氏名	所属	役職	参加時期
小池 淳一	東北大学未来科学技術共同研究センター	教授	H20.10～
須藤 祐司	東北大学工学研究科	准教授	H20.10～
根石 浩司	同上	助教	H20.10～ H22.3
Phuong, Nguyen Mai	同上	D1～3	H21.4～H24.3

研究項目

- ・ 縦型ボディーチャンネルMOSFETのメタル拡散層形成技術の開発

③ 塚本グループ(東京エレクトロン株式会社)

研究参加者

氏名	所属	役職	参加時期
塚本 雄二	東京エレクトロン株式会社	MRAMプロジェクト部長	H20.10～
有門 経敏	東京エレクトロン株式会社	開発企画室フェロー	H20.10～
貝塚 考亘	東京エレクトロン株式会社	先端プロセス開発センターセンター長	H21.4～
中林 肇	東京エレクトロン株式会社	東京エレクトロン先端プロセス開発センター	H21.4～
廣田 良浩	東京エレクトロン株式会社	東京エレクトロンAT SPA開発技術部 グループリーダー	H20.10～
佐藤 吉宏	東京エレクトロン株式会社	東京エレクトロンAT SPA開発技術部	H21.4～
西村 栄一	東京エレクトロン株式会社	東京エレクトロンAT 技術開発センター グループリーダー	H20.10～
戸花 敏勝	東京エレクトロン株式会社	ESプロセス技術部	H20.10～
中西 敏雄	東京エレクトロン株式会社	東京エレクトロンAT 技術開発センター グループリーダー	H21.4～

新藤 尚樹	東京エレクトロン株式会社	TKL技術開発センター	H21.4～
前川 薫	東京エレクトロン株式会社	TEL Technology Center America (TTCA) Director	H22.4～
中村 源志	東京エレクトロン株式会社	TTCA	H22.4～
Trikett Ying	東京エレクトロン株式会社	TTCA	H22.4～
Leusink Gert	東京エレクトロン株式会社	TTCA Director	H22.4～
Clark Robert	東京エレクトロン株式会社	TTCA	H22.4～
Consiglio Steve	東京エレクトロン株式会社	TTCA	H22.4～
長谷川 俊夫	東京エレクトロン株式会社	TTCA	H22.4～
Trickett Douglas	東京エレクトロン株式会社	TTCA Manager	H22.4～
山下 敦	東京エレクトロン株式会社	TTCA	H22.4～
神山 聡	東京エレクトロン株式会社	東京エレクトロン MRAMプロジェクト部	H22.5～

研究項目

- ・ 縦型ボディチャネルMOSFETに基づく CMOS 集積回路の材料・プロセス技術の開発

(2)国内外の研究者や産業界等との連携によるネットワーク形成の状況について

■ 東北大学国際集積エレクトロニクス研究開発センターの設立

本研究課題の遂行をひとつの大きな契機として、研究代表者が長年共同研究を行い、信頼関係を築いてきた東京エレクトロン社の寄付という形で、300mmウエハ対応のプロセス設備を有する約2000m²のクリーンルームやデバイス評価室などの各種実験室、共用評価分析装置およびデバイス特性評価設備を持つ、東北大学国際集積エレクトロニクス研究開発センターの設立に至った。研究代表者はその初代センター長に就任した。

半導体産業の中には、材料や製造装置産業などシーズを持つ川上産業から、半導体デバイス産業などニーズを持つ川下産業がある。この階層的なニーズ・シーズの技術サプライチェーンの繋がりは年々強まってきている。そのため、もはや従来の一対一型の産学共同研究だけで革新的技術を創出することが、本集積エレクトロニクス分野では困難になりつつある。つまり、イノベーションを生むためには個別技術の高度化に止まらず、多様な技術を融合させてパラダイムシフトを生む多対多型研究開発の場を構築することが急務となっていることを、本研究を展開する中で認識を新たにした。加えて、グローバル時代に突入しており、川上のシーズと川下のニーズのマッチングを生むためには、国際的なオープンイノベーションの場を構築していくことも重要であり、上記の産業構造からの社会要請に加えて、2011年の東日本大震災によって強く認識されたように、我々が活用できるエネルギーには限りがあり、革新的に省エネルギー化を実現する技術開発は非常に重要である。新しい本分野の成長原理を創出し、革新的な省エネ技術を創出していくためには、科学的理解(学之力)と高度なモノづくり力(産之力)を結集する産学連携の場の構築が急務である。これらの社会的要請と技術的要請に基づき、国際集積エレクトロニクス研究開発センターを中核活動施設として、川上から川下にいたる技術サプライチェーンを網羅する多種多様なニーズ・シーズのマッチングの共創場を目指す。

川上企業から川下企業が連携して効率よく産学共同研究を実施するために、川下企業であるシステム企業のニーズを研究開発の初期段階から取り込み、このニーズを踏まえて多種多様なシーズ技術を実用化レベルにまで高度化してゆく実証開発の場を産学が連携して構築していくと共に、この新しい産学連携活動を支える仕組みづくりにも注力していく。この構築した枠組みを活用し、研究代表者は継続して、本研究課題の究極的ゴールである、縦型構造による次世代の集積回路のスケールリングフリーなユニバーサルプラットフォームの構築を進めていく所存である。

■CREST領域を横断した連携

H17～H23の期間で実施されたCREST研究領域「マルチスケール・マルチフィジックス現象の統合シミュレーション」研究課題「計算量子科学によるナノアーキテクチャ構築」(代表:押山淳)の白石Gと、主としてデバイスの揺らぎについて理論面で得られた知見について意見交換を行い、ナノスケールの半導体デバイスの動作原理にまで遡った電子ダイナミクスについて緊密な連携を取って研究を進め、縦型ボディーチャンネルMOSFETのデバイス設計に生かした。

§4 研究実施内容及び成果

(1)研究実施内容及び成果

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術・デバイス技術の開拓のために、デバイスのボディー領域全体を電流駆動領域とする新概念の縦型構造トランジスタのデバイス技術に加えて、その回路設計・材料・プロセス技術までを一貫して開発し、それにより半導体LSIにおける新しいユニバーサル技術プラットフォームの実現に挑むものであり、以下の3つの主要課題よりなる。

- ① 縦型ボディーチャンネル MOSFET のデバイス技術の構築
- ② 縦型ボディーチャンネルデバイスに基づく回路技術とその設計技術の構築
- ③ 縦型ボディーチャンネルMOSFETによる CMOS 集積回路の材料・プロセス技術の構築

前半の3年間では、提案した縦型ボディーチャンネルのデバイスの設計理論の構築と基本設計、回路の設計技術の確立、単体デバイスレベルでの基本ユニットプロセス・プロセスインテグレーション技術の構築を行い、単体レベルでの試作・評価を進めた。残りの期間にて、デバイスレベル、回路レベル、プロセス・材料レベルそれぞれの知見を総合し、集積回路技術の構築を行った。なお、平成23年3月11日に発生した東日本大震災により、本研究の拠点となっている東北大学は大きく被災した。これにより、試作・評価に計画から約半年間の遅れが生じたが、幸いにして人的被害はなく、その後の参加メンバーの献身的な努力と皆様からの温かいサポートにより、復興への歩みを着実に進め、さらに翌年度からは、新規にデバイス企業であるエルピーダメモリの本研究への参画を得て、開発を加速し、遅れを取り戻すことができた。

4.1 縦型ボディーチャンネルMOSFETのデバイス技術の構築

(東北大学 遠藤グループ)

縦型ボディーチャンネルMOSFETのデバイス技術の研究を行い、hp32nm世代以降における縦型ボディーチャンネルMOSFETのデバイス設計理論の確立を目指し研究開発を進めた。縦型ボディーチャンネルMOSFETのデバイス技術の構築に関しては、研究代表者の遠藤(東北大学)のグループが実施した。hp32nm世代のデバイスを精度よく試作することは困難であるため、例えば65nm世代での試作サンプルによる実験的手法と32nm世代以降の微細デバイスに対するデバイスシミュレーション(TCAD)による理論的解析手法を組み合わせることで、研究を実施した。具体的には、以下のマイルストーンに従って、東北大学の遠藤Gが有するデバイスシミュレーション・プロセスシミュレーションなどのTCAD ツールを中核とするデバイス設計環境を活用して、縦型ボディーチャンネルMOSFETのデバイス設計を実施した。さらに、遠藤Gは、縦型ボディーチャンネルMOSFET及びその集積回路の試作のためのマスクセットを設計し、塚本Gと連携して試作環境を構築することで縦型ボディーチャンネルMOSキャパシタ、及びMOSFETの試作を行い、遠藤Gが保有する各種デバイス特性評価設備にてデバイスの電気的特性評価を行うことで、縦型ボディーチャンネルMOSFETによるCMOS集積回路の材料・プロセス技術の導入によるデバイス性能の向上を実証する役目も担った。

これと平行して縦型ボディークャネル MOSFET における駆動力向上・消費電力抑制の設計理論の構築を行い、スケーリングフリーなユニバーサルデバイスを目指したチャネル構造の設計を進めた。縦型ボディークャネルMOSFETにおける駆動力向上・消費電力抑制のデバイス設計理論を構築するために、①縦型ボディークャネルMOSFETの優れた自己発熱の放熱性能を発見し、放熱性能を向上させるための新しいマルチピラー構造デバイス設計技術、②従来の表面チャネル動作と比較して、ボディークャネル動作によりゲートリーク電流が抑制できること、③デバイス特性のシリコンピラー形状依存性を系統的に解析し、量産性に優れたテーパが付いたシリコンピラー形状によりデバイス性能が向上できるボディークャネル動作固有のデバイス設計技術、④シリコンピラー内部の不純物分布とチャネル中の電荷伝導機構の関係の理論的解明、⑤ボディークャネル内の不純物分布設計ではなく、拡散層構造設計により形成される静電レンズ効果を活用したボディークャネル動作の新しい実現法の提案など、縦型ボディークャネルMOSFETに固有の新規デバイス技術を世界に先駆けて開発すると共に、そのデバイス技術を、DRAMセルや3D-NANDセル技術へと応用展開した。続いて、計画前期で得られた成果を基に、後期ではスケーリング則から脱却した新しいデバイス設計理論の確立とその実証を進め、縦型ボディークャネルMOSFETによるプロトタイプ集積回路の試作・評価、デバイス性能向上を小規模集積回路レベルでの実証を行い、半導体 LSI における新しいユニバーサル技術プラットフォームの実現への端緒を得た。さらに、研究の進展の中で、縦型ボディークャネル構造の当初想定していなかったパワーデバイスへの展開もあり、新たな産業的インパクトのある結果へもつなぐことが出来た。

以下に、当該テーマに対する具体的な研究実施内容と成果を記載する。

4-1-1 縦型ボディークャネルMOSキャパシタ・MOSFETの試作・評価によるI-V特性取得 (縦型ボディークャネル MOSFET の試作開発と評価解析)

遠藤Gは、まず縦型ボディークャネルMOSFET及びその集積回路の試作に不可欠であるデバイス特性評価用TEG設計とプロセスモニターTEG設計と回路設計からなるマスク設計を行い、縦型ボディークャネルMOSFETのデバイス特性評価を実施し、塚本Gと連携して開発した縦型ボディークャネルMOSFETの材料・プロセス技術の検証を実施した。TCADを用いて縦型ボディークャネルMOSFETのデバイス設計を行うことで、デバイス技術の観点から、縦型ボディークャネルMOSFETのプロセスフロー・プロセスインテグレーションの第一案を決定した。そして、この知見に基づき塚本Gと連携して試作した縦型MOSキャパシタ及び縦型ボディークャネルMOSFETの電気的特性を取得・解析した。

これに加えて、遠藤Gは、塚本Gと連携して開発した第一ステップでのプロセス技術を用いて試作した縦型ボディークャネルMOSFETの電気特性を実測・解析し、その実測値に対して、BSIM-SOIモデルをベースに、縦型ボディークャネルMOSFETのトランジスタモデルの作成に成功した。

4-1-2 縦型ボディークャネルMOSFETにおける駆動力向上・消費電力抑制のデバイス設計理論

縦型ボディークャネルMOSFETの自己発熱現象に対する耐性を向上させるデバイス技術

ボディークャネル構造と駆動力向上・消費電力抑制の関係性を明らかにするためのデータベースの構築を推し進めた。その中で、デバイスの自己発熱問題、つまり大きな駆動電流を流すことでデバイス自身の温度が上昇する問題に対して、本デバイス構造が非常に優れていることを発見した。そして、詳細にデバイス温度の上昇過程を解析することで、駆動電流を維持しながらより効率的に放熱できるデバイス構造として、図1-6に示す微細なマルチピラー構造からなるマルチ縦型ボディークャネル

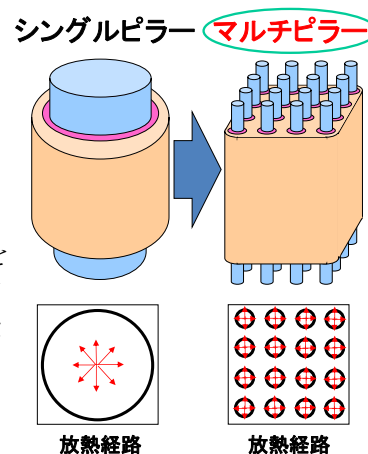


図1-6 放熱効率に優れたマルチ縦型ボディークャネルMOSFETの提案

MOSFETを提案した。そして、シリコンピラー直径50nmのシングルピラーの場合、最大駆動電流を流すことでデバイスの内部温度が82°C上昇するのに比べて、直径10nmの5本からなるマルチピラー縦型ボディーチャンネルMOSFETでは、同等の駆動電流を流しているにもかかわらず、デバイス内部温度は9°Cしか上昇しない事を示した。さらに、その結果、シングルピラー構造の場合と同じ駆動電流を維持しながら、マルチピラー構造を導入することで、シリコンピラー直径の縮小化によるゲートの制御性の向上効果に加えて、温度上昇抑制による接合リーク電流の抑制効果の相乗効果で、現在のシリコン集積回路における最大の課題の一つである、ソース・ドレイン方向に流れるサブスレッショルドリーク電流が、既存のシングルピラーの場合と比較して、1/200にまで抑制できることを示した。これは、消費電力削減の上で大きな知見である。

また、このデバイスで得られた優れた熱特性を最大限引き出すための回路レイアウト設計を行った[詳細を4-2項に記載]。[学術論文:2,5 国際会議:1,43,58,59,66]

ゲートリーク電流を抑制させる縦型ボディーチャンネルMOSFETのデバイス技術

上述のソース・ドレイン方向に流れるサブスレッショルドリーク電流に加え、ゲートリーク電流もまた、現在のシリコン集積回路における最大の課題の一つである。

本研究では、従来のシリコンピラーとゲート絶縁膜の界面にチャンネル層を形成して駆動電流を流す表面チャンネル動作と比較して、本提案のシリコンピラーのボディー全体で駆動電流を流すボディーチャンネル動作をさせることで、ゲートリーク電流を抑制できる原理を提案した(図1-7参照)。さらに、この提案原理の効果を、シリコンピラー直径30nmの縦型ボディーチャンネルMOSFETにて、TCA Dを用いて確認したところ、従来の表面チャンネル動作の場合と比較して、同じゲート絶縁膜厚・印加ゲート電圧であるにもかかわらず、ボディーチャンネル動作をさせることで、ゲートリーク電流が1/2以下に、最大駆動電流の状態では1/3程度に抑制できることを定量的に示した。これら、S/D間リーク電流とゲートリーク電流の両方に対して、縦型ボディーチャンネルMOSFETが有効であることを示したことは、本縦型ボディーチャンネルMOSFETの消費電力抑制の視点からのデバイス設計技術において有益な知見である。

[学術論文:18 国際会議:3,11,12,18,38]

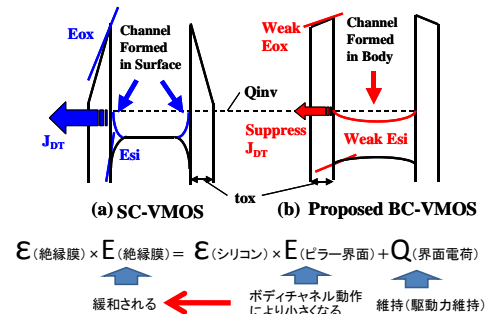


図1-7 ボディーチャンネル動作によるゲートリーク電流の抑制メカニズム

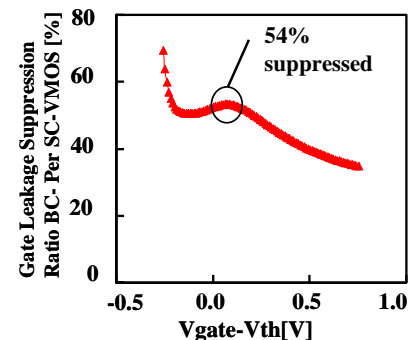


図1-8 ボディーチャンネル動作によるゲートリーク電流の抑制効果

ピラー形状など構造ばらつきに対する耐性を向上させる縦型ボディーチャンネルMOSFETのデバイス技術

次に、遠藤Gでは、シリコンピラーのテーパー形状が縦型ボディーチャンネルMOSFETのデバイス特性に与える影響について解析を行った。特に、ゲート電極形成や層間絶縁膜形成などの集積化プロセスのためには、加工ばらつきを考慮してシリコンピラーの逆テーパー形状を避けることを考えると、シリコンピラーの形状としては89度程度のテーパー角をつける必要がある。一方、シリコンピラーにテーパー角度をつけると、電流を上部拡散層から下部拡散層へ流す場合と、その逆方向の場合で、デバイス特性に非対称性が生じるという課題があった。

この観点から、縦型ボディーチャンネルMOSFETのデバイス技術の開発を行った。その結果、図1-9に示すように、縦型ボディーチャンネルMOSFETのSファクターに対するシリコンピラーテーパー角度依存性に対しては、①テーパー角度が大きくなり、部分的にでもシリ

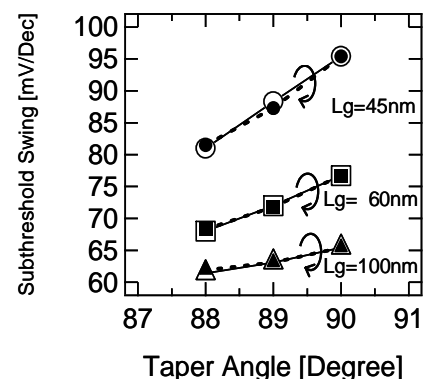


図1-9 縦型ボディーチャンネルMOSFETのSファクターに対するシリコンピラーテーパー角度依存性

コンピラーが細くなると、カットオフ特性が向上するため、デバイス性能向上と生産性の向上が両立できること、②ゲート長が短くなるにつれて、上記効果は大きくなること、③少なくとも88度のテーパ角までは、デバイス特性の非対称性は生じないことなどを明らかにした。これらの諸現象・特性は、ボディチャネル動作をさせることで、Sファクターがシリコンピラーの中央部のポテンシャル分布で決定されているが原因であり、縦型ボディチャネルMOSFET固有の利点である。また、図1-10に示すように、縦型ボディチャネルMOSFETの駆動電流に対するシリコンピラーテーパ角度依存性に対しては、①テーパ角度が大きくなると、駆動電流の非対称性が大きく生じること、②ゲート長が短くなるにつれて、上記非対称効果は小さくなることを明らかにした。これらの現象は、シリコンピラーのテーパ角度が大きくなるにつれて、ピラー直径が小さくなり、これに伴って部分的にしきい値電圧が低下することが原因であることがTCADの解析から明らかになった。しかし、この現象は、ゲート長を短くしていくことで抑制できることもあわせて明らかにしている。以上より、シリコンピラーにテーパ角度をつけると、電流を上部拡散層から下部拡散層へ流す場合と、その逆方向の場合で、デバイス特性に非対称性が生じるという縦型MOSFETの課題はボディチャネル動作をさせることで解決可能なこと、つまり、縦型ボディチャネルMOSFETは、デバイス性能向上と生産性の向上が両立の観点からも優位であることを示した。〔国際会議:54,60〕

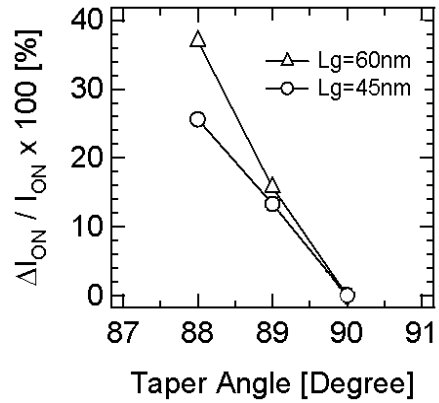


図1-10 縦型ボディチャネルMOSFETの電流ばらつきに対するシリコンピラーテーパ角度依存性

ボディチャネル動作を実現させる新原理開拓 (拡散層設計による静電レンズ効果の導入など)

デバイス特性の理論的検討として、ピラー直径がナノメートルサイズにスケールされた縦型ボディチャネルMOSFETにおいて、その駆動電流をつかさどる荷電担体の伝導機構や物理が大きく変化することを予想し、これらの変化を明確化し、縦型ボディチャネルMOSFETのデバイス設計指針を与えることを目的として、ポテンシャル場の幾何学的構造が荷電担体のダイナミクスへ与える影響を微視的な視点まで戻って検討した。チャンネル中のポテンシャル場とソース、ドレイン中のポテンシャル場のピラー面内での分布が、伝導に寄与するサブバンドを規定することを明らかとし、それらが荷電担体のダイナミクスに与える影響を明確化することで、縦型ボディチャネルMOSFET中の電気伝導過程を制御する設計指針所得のための端緒を得た。

さらに、塚本Gと連携して試作した縦型ボディチャネルMOSFETのデバイス特性の実測結果・その解析結果を踏まえて、当該デバイスのチャンネル不純物分布に対する設計技術の高精度化を行い、カットオフ特性を向上させつつ、効率よく駆動電流をピラー中央に流すようにできるチャンネル不純物分布と拡散層構造を提案し、その性能を、TCAD等を用いて定量的に解析した。特に、シリコンピラー(チャンネル)中のドーパ不純物が駆動電流である電子電流に与える影響は、シリコンピラー直径が10nm程度より微細化するにつれて大きくなると共に、その物理的振る舞いが、従来の平面型MOSFETとは、様相を異にするようになることを、モンテカルロ法に基づく電子波速解析より見出した。つまり、シリコンピラー中に閉じ込められて進行する電子や正孔の挙動は、粒子的振る舞いから電子波的振る舞いの要素が大きくなり、その結果、図1-11に示すように、ドレイン端のシリコンピラーの中央にドーパ不純物が位置した場合に一番大きく駆動電流の流れを阻害することを初めて見出した。これは、縦型ボディチャネルMOSFETのチャ

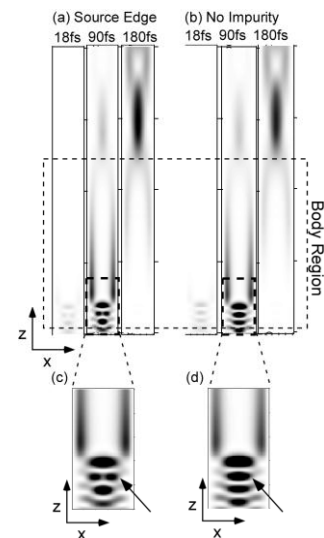


図1-11 ピラーチャンネル中の電子伝導の挙動

ネル不純物分布設計において重要な知見である。

加えて、試作した縦型ボディークャネルMOSFETのデバイス特性の評価結果を踏まえて、昨年までに確立してきたチャネル構造設計の知見の上に立ち、当該デバイスの拡散層構造設計の高精度化を行い、カットオフ特性を向上させつつ、効率よく駆動電流をピラー中央に流すようにできる拡散層構造を提案した。

さらに、遠藤Gでは、当該縦型ボディークャネルMOSFETの微細化によって、そのボディークャネル構造サイズが、電子の室温における平均自由行程である15nmに達していることに着目し、化合物半導体で実験的に確認されている静電レンズ効果を活用して、チャネル不純物分布にだけに頼らずに、シリコンピラーの中央に電子を集光させる新しいボディークャネルMOSFETのデバイス設計技術を提案した。具体的には、半球型の電氣的ポテンシャル面は、シリコンピラーは円筒形形状をしていること及び不純物ドーピングはピラーの外周から等方的にドーピングできることを活用して拡散層の不純物分布を制御することで、図1-12に示すように、拡散層とチャネル界面に作成する。そして、図1-13に示すように、この静電効果レンズによる効果を定量的に解析した結果、Concave型の静電レンズによって、ボディークャネル動作が実現できることを明らかにした。さらに、そのピラーサイズ依存性を検討し、10~30nm程度のピラー径において、この効果が使用できることを明らかとした。この成果は、縦型ボディークャネルMOSFETのデバイス設計マージンを拡大できるブースト技術であると同時に、メゾスコピック物理の資産のナノスケールのシリコンデバイスへの適用という新たな方向性を示すものであると考える。

[学術論文: 3,4,6,8,9,13,17,21]

国際会議: 5,9,13,17,22-24,35,37,64]

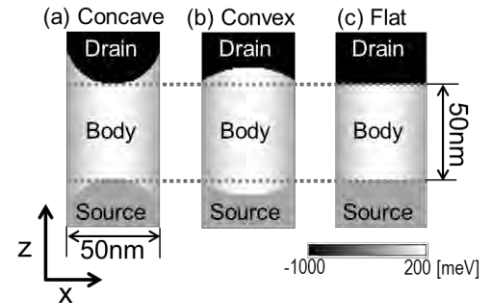


図1-12 縦型ボディークャネルMOSFETにおける静電効果レンズの形成例

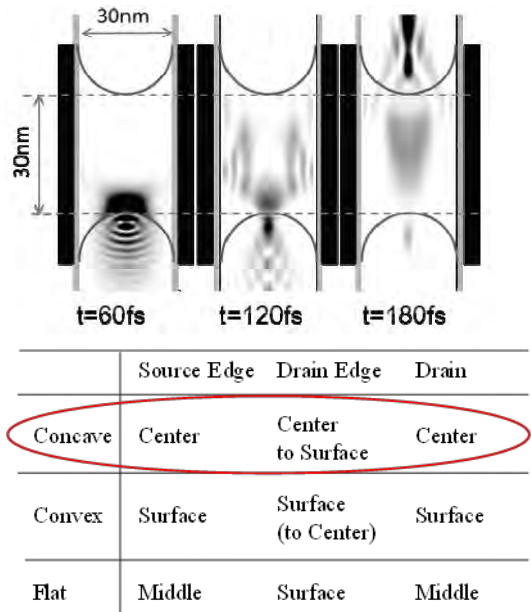


図1-13 縦型ボディークャネルMOSFETを実現する静電効果レンズ構造

4-1-3 縦型ボディークャネルMOSFETの高密度メモリセルへの応用 (DRAM, 3D-NAND)

(1) 縦型ボディークャネルMOSFETの4F²セル型1T-DRAMセルへの展開

縦型構造MOSFETに対して得られた知見を、高密度メモリセルへと展開した。縦型ボディークャネルMOSFETをDRAMへ適用し、ボディークャネル動作固有の新しい動作法で動く、4F²セル型のDRAMである1T-DRAMセルを提案した。このセルにより、例えば45nmの縦型構造1T-DRAMセルで、従来のセルでは約1秒に留まっていたリテンション時間を、約100秒にまで改善できることを示した。この値は1T-DRAMとしては、工業製品化されている1T-1C DRAMのリテンション時間に相当する値である。また、アクセスタイムは従来の1T-DRAMと同等の速さであり、「1」データの読み出し電流値、「0」データの読み出し電流値、ボディークャネル内部の蓄積正孔量に関しては従来の平面型1T-DRAMセルと比較して改善できる結果を得た。さらに、縦型構造1T-DRAMを高密度化させるセルアレイ構成の提案について検討し、N⁺シャント構造をセルアレイに導入することを提案し、これにより従来の動作方式とアレイ配線抵抗に関する課題を解決でき、より高密度なセルアレイを構成できることを示した。

加えて、縦型構造の1T-DRAMの研究を進展させ、新たなNegative hold bit line (BL) voltage (VBL)を採用した電界効果型縦型キャパシタレス1T-DRAMを提案した。この動作は縦型構造の優位性を最大限生かすものであり、従来の構造に比べ、1,000倍以上のリテンション時間を実現できることを示している。この技術は、良好なスケーリング性も同時に有しており、次世代の混載メモリへの応用が期待できると考えている。

[学術論文:15,28,34 国際会議:20,30,41,56,58,65,66]

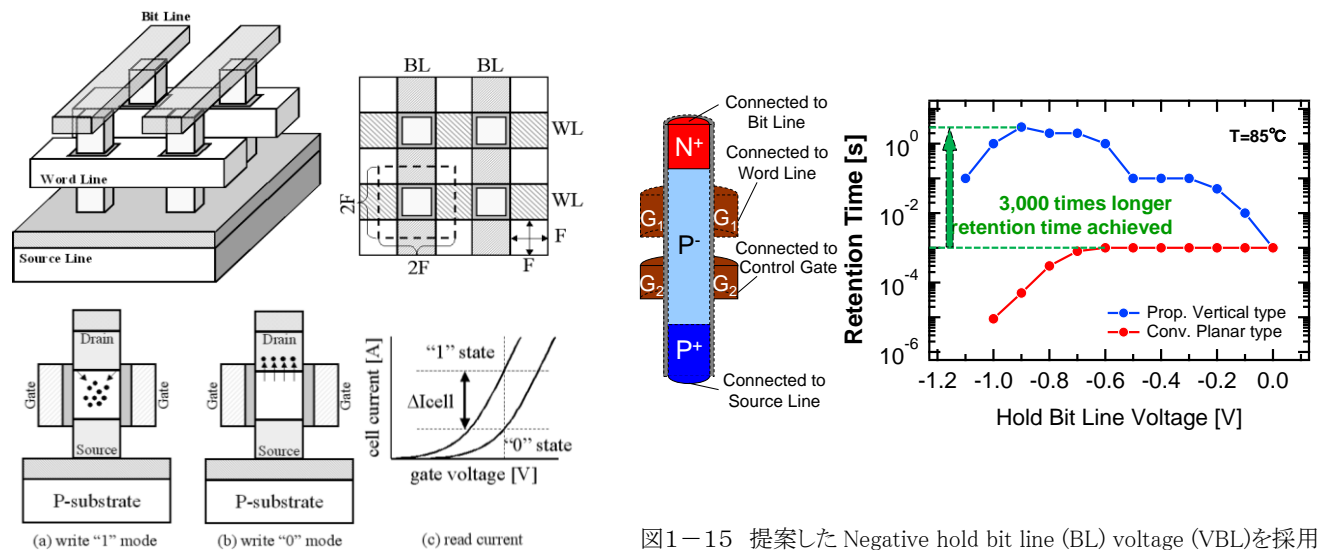


図1-14 縦型MOSFETによる1T_r-DRAMセル (4F²セル)

図1-15 提案した Negative hold bit line (BL) voltage (VBL)を採用した電界効果型縦型キャパシタレス1TDRAMとそのリテンション特性

(2) 3D-NANDセルへの展開

研究代表自身が2001年に提案した縦型積層型 NAND (3D-NAND)をベースに、高い信頼性の確保を可能にするフローティングゲート構造に基づく新しいセル構造を提案し、その優れた性能を確認するなど各種縦型メモリセル研究への展開を進めた。特に、3D-NAND の課題であった複雑な配線構造を緩和する Sidewall Control Pillar3D-NAND セルを提案し、従来の3D-NAND セルと比較して、60%のセルサイズの縮小と、3D-NAND の最大の課題であるセル間干渉現象を50%以下に抑制できることを示した。

さらに、この技術を発展させ、新構造のフローティングゲート方式を用いた Separated-Sidewall Control Gate (S-SCG)構造の3次元積層縦型 NAND フラッシュメモリを提案した。提案した S-SCG 構造の場合、コントロールゲートと完全に分離されたサイドコントロールゲート構造により、高速度かつ低電源電圧での動作が可能であり、セル間干渉を十分に抑制できることを明確にした。提案した S-SCG 構造の3次元積層縦型フラッシュメモリのセル特性をベンチマークし、特に、本提案の S-SCG 構造のフラッシュメモリは従来のフローティングゲート方式を用いたフラッシュメモリと比べて20%の低電源電圧動作及び90%のセル間干渉問題を抑制できることを明らかにした。また、本提案の S-SCG 構造セルアレイが従来のフラッシュメモリより高い信頼性を持つことも明らかにした。この提案した S-SCG 構造の3次元積層縦型フラッシュメモリはフローティングゲート構造を用いるため基本セルサイズが大きいですが、2-3 ビットのマルチレベルセル動作を具現化することで、20-60%の小さい実効的なセルサイズを実現でき、同時に高い信頼性を持つため、Solid State Drive などの補助記憶メモリへの展開が可能であると考えている。

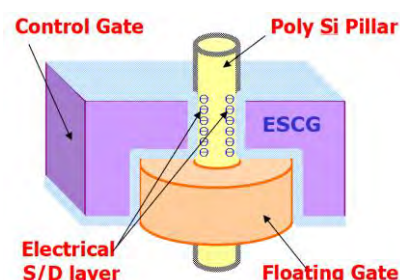


図1-16 提案した Sidewall Control Pillar3D-NAND セル

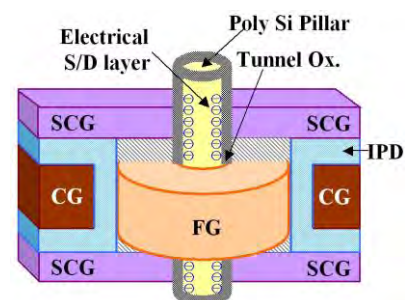


図1-17 提案 Separated-Sidewall Control Gate 構造の3D-NAND セル

[学術論文: 14,19,23,29,30 国際会議:15,21,26,32,40,46,53,59]

4-1-4 デバイス技術総括

スケールリングフリーなユニバーサルデバイスを目指したチャネル構造の設計技術の視点から、総合的に統合することで、スケールリング則から脱却した新しいデバイス設計理論の基盤を確立できた。さらに、これらのデバイス設計技術を、縦型ボディーチャネルMOSFETの高密度メモリセルである $4F^2$ セル型のDRAMや、3D-NANDへと応用展開した。さらに、以上の研究成果を総括することで設計し、構築してきた試作環境を活用して試作した縦型ボディーチャネルMOSFETによるプロトタイプ集積回路の評価を行った。これにより、統計的な特性揺らぎや信頼性など、集積回路に求められる重要な知見が得られ、最終的なデバイス性能向上の小規模集積回路レベルでの実証につなげることができた。

4-2 縦型ボディーチャンネルデバイスに基づく回路技術とその設計技術の構築

hp32nm世代以降における縦型ボディーチャンネルMOSFETに基づくCMOS集積回路の回路技術とその設計技術の研究を行い、必要となる回路IP群の構築、及び、設計ツールの開発を行うことを目的として研究を進めた。縦型ボディーチャンネルMOSFETに基づく回路技術とその設計技術の開発は、協力メンバーである(株)凸版印刷、(株)トッパン・テクニカル・デザインセンターの協力を得ながら、研究代表者の遠藤(東北大学)のグループが実施した。遠藤Gは、以下のマイルストーンに従って、東北大学の遠藤Gが有する設計環境を活用して、縦型ボディーチャンネルMOSFET及びその集積回路の回路設計及びパターンレイアウト設計を実施すると共に、その設計支援を行うための各種設計ツールの開発を行った。さらに、東京エレクトロンの塚本Gと連携して行う縦型ボディーチャンネルMOSFET及びその集積回路の試作開発に向けて、TEG設計・パターン設計などマスク作成を行った。さらに後期では、構築してきた縦型ボディーチャンネル MOSFET による集積回路の高効率な回路ネットワークの合成とレイアウトパターンの生成技術など回路設計技術に基づき、大規模集積回路レベルでの実証への展開を進めた。特に、縦型ボディーチャンネル MOSFET の各種 IP ライブラリを増強し続けると共に、論理合成のアルゴリズムを見直すことで、自動設計効率のさらなる効率化・高度化を図った。

以下に、当該テーマに対する研究実施内容と成果を記載する。

4-2-1 縦型ボディーチャンネルMOSFETの試作・評価によるI-V特性取得による縦型ボディーチャンネルMOSFETのデバイスモデルの構築

縦型ボディーチャンネルMOSFETのデバイスモデルの構築と、その基本ロジック回路のレイアウト技術を開発した。また、デバイスモデル技術に関しては、標準SPICEで活用されているBSIM4モデルを拡張する手法で構築を進めた。さらに、基本ロジック回路のレイアウト技術に関しては、縦型ボディーチャンネルMOSFETの特徴である高い駆動力、接合容量の減少、基板電圧係数の減少、高い出力抵抗(高い電圧増幅率)などを活かしたレイアウト構成を、グラフ理論を活用して開発した。この中で、下部拡散層の抵抗を逆手にとり、高感度且つ高速に動作する縦型ボディーチャンネルMOSFET固有の新しい回路構成を考案した。さらに、縦型ボディーチャンネル MOSFET による集積回路の高効率な回路ネットワークの合成とレイアウトパターンの生成技術を実際の中規模集積回路の設計に適用し、縦型ボディーチャンネル MOSFET ベース集積回路の設計の効率化・高度化を図った。

遠藤Gは、塚本Gと連携して開発した第一ステップでのプロセス技術を用いて試作した縦型ボディーチャンネルMOSFETの電気特性の実測値に対して、BSIM-SOIモデルをベースに、縦型ボディーチャンネルMOSFETのデバイスモデリング技術を開発し世界標準であるH-SPICEにて動作する縦型ボディーチャンネルMOSFETのトランジスタモデルの作成に成功した。

4-2-2 縦型ボディーチャンネルMOSFETベース集積回路のレイアウト およびその回路構成の検討

(1) 4色トポロジ理論に基づく設計アルゴリズムの開発

4色トポロジ理論に基づく縦型ボディーチャンネルMOSFETによる集積回路の高効率な回路ネットワークの合成とレイアウトパターンの生成のためのアルゴリズムを考案すると共に、その自動合成・自動生成プログラムを作成した。特に、縦型ボディーチャンネルMOSFETの特徴である高い駆動力、接合容量の減少、基板バイアス係数の減少、高い出力性能などを活かしたレイアウト構成の自動生成を実現するプログラムの開発に成功した。

(2) 縦型ボディークャネルMOSFETベース集積回路のレイアウトの検討

これら上述の設計ツール・検証ツールからなるCADツールを統合し、実際の小規模集積回路のレイアウトパターンに適用することで、縦型ボディークャネルMOSFETに基づく集積回路の設計技術を構築した。さらに、下部拡散層の抵抗を逆手にとり、高感度且つ高速に動作する縦型ボディークャネルMOSFET固有の新しい回路構成(図2-5)を考案した。加えて、マルチピラー型のMOSFETのレイアウト設計について検討を行い、良好な電気的特性を示すレイアウトの候補を絞り込んだ。さらに、デバイスの研究開発の過程で見出した、縦型MOSFETの良好な放熱特性を生かし、デバイスの自己発熱による熱を逃がしやすくかつ良好な電気的特性をレイアウトについて検討を進めた。その中で、縦型ボディークャネルMOSFETでCMOSを構成した場合、ピラーの本数の少ないNMOS側のドレイン端近傍での熱を効率的に逃がすことが本質的に重要であることを見出した。この課題に対し、ボディークャネルからの主な放熱経路がゲート方向であるという知見を踏まえ、図2-6に例を示すような、共通ゲート方式によるPMOS側への放熱経路の確保を提案し、これにより熱分布の均一化が起り、放熱特性が改善されることを明らかにした。この結果は、マルチピラー型縦型ボディークャネルMOSFETでは、マルチピラーの配列の自由度を生かした縦型構造特有の回路レイアウトの可能性を示すものであり、3次元縦型構造をプラットフォームとした集積回路の優位点となると考えている。

[学術論文:7、国際会議:51,59,61]

4-2-3 立体化の特徴を極限まで引き出すグラフ理論に基づく回路設計原理の提案および、集積回路技術の構築

(1) AND、NAND、OR、NOR等の基本論理ゲートおよび、SRAMセル

この新規回路構成と新規開発したCADツールを活用して、リード動作に対するSNMと書き込み動作に対するSNMの両方に優れた新しいSRAMセルを考案し、その回路性能を評価した。その結果、従来の平面型MOSFETと比較して、そのセルサイズは約66%にまで縮小(図2-7)でき、SNMは2倍に拡大できることを示した。この他にも、上記回路技術を活用して、1次キャッシュメモリ向けの Schmitt Trigger 10T Vertical SRAM Cellを提案(図2-8)し、セルサイズが約60%に縮小可能であること、ホールド時まで含めてSNMが2倍以上に向上することを明らかにするなど、ロジックの基本回路IPの一つであるSRAMセルに関する研究を推進した。縦型ボディークャネルMOSFETを Schmitt Trigger 型SRAMセルに適用しボディークャネル動作固有の新しい動作法とそれを実現するセルレイ法を提案した。その結果、従来の6T-SRAMセルと比較して、10%のセル面積縮小を実現すると共に、現在のSRAMにおける最大の課題であるSNM

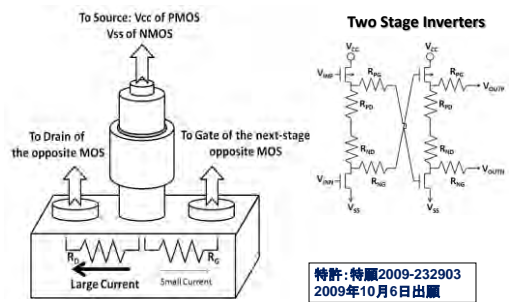


図2-5 提案した Vertical Logic Circuit MOSFET とその回路構成例

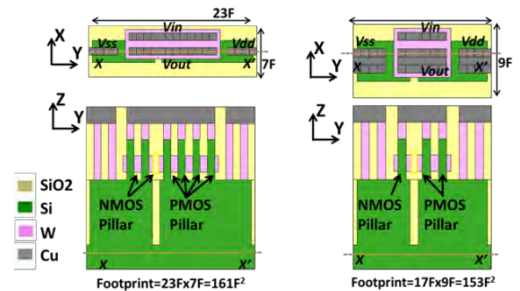
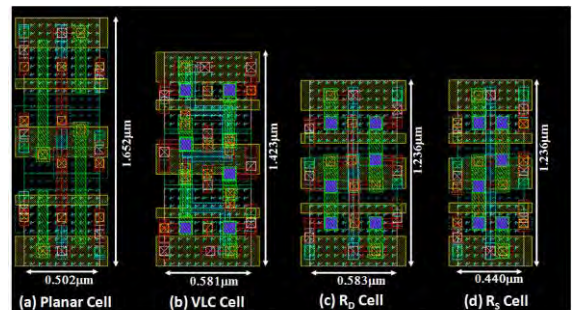


図2-6 自己発熱現象を考慮した縦型ボディークャネルMOSFETの回路レイアウト手法例



(a) Planar Cell	(b) VLC Cell	(c) R _D Cell	(d) R _S Cell
0.502 × 1.652μm ²	0.581 × 1.423μm ²	0.583 × 1.236μm ²	0.440 × 1.236μm ²
0.829μm ²	0.827μm ²	0.721μm ²	0.544μm ²
100%	100%	87%	66%

図2-7 提案した Vertical Logic Circuit に基づくSRAMセルのセルサイズ縮小効果

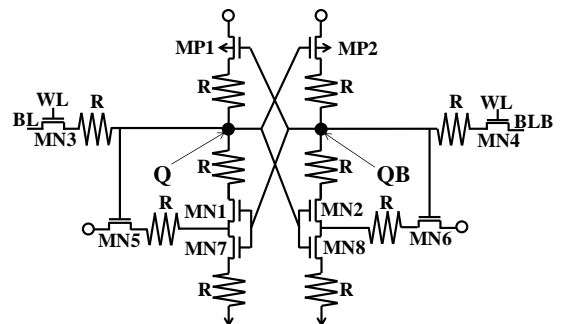


図2-8 提案した Schmitt Trigger 10T Vertical SRAM Cell

(Static Noise Margin)に対して、30%の Hold SNM の向上、65%の Read SNM の向上、30%の Write SNM の向上に成功した。また、ANDゲート、NANDゲート、ORゲート、NORゲート、及び、2入力ゲート、3入力ゲートなど、縦型ボディークチャネルMOSFETベースの基本論理ゲートライブラリを開発すると共に、RowDecoder回路などを事例にランダムロジックの設計技術をブラッシュアップすることで、ランダムロジック向けのIP群の構築を完了し、プロトタイプ集積回路を設計のための基礎を固め、その中で集積回路の設計に求められる設計アルゴリズムの高効率化や平面型MOSFETから縦型ボディークチャネルデバイスへの自動IP変換の基盤技術の足がかりを得た。
[学術論文:7,11,25,22,26,32 国際会議:6,7,10,16,P2,31,42,45]

(2) 昇圧・降圧回路などの各種電源回路(アナログ回路の例)

縦型ボディークチャネルMOSFETの高い駆動能力と基板バイアス効果フリーの特徴を生かした縦型ボディークチャネルMOSFETによる高性能昇圧回路を設計した。その結果、図2-9に示すように、当該昇圧回路は、従来の平面型MOSFETでは回路段数に対して飽和傾向にある昇圧電圧が、段数に対して比例して出力電圧を昇圧することが可能となり、回路段数を削減できることを示した。従って、この縦型ボディークチャネルMOSFETによる昇圧回路技術は、トランジスタとしての集積度向上効果と回路段数の削減効果の相乗効果により、現在のNAND型メモリのチップ面積を10%程度縮小することが可能とし、工業的にも大きなインパクトがあると考えられる。
[学術論文:10 国際会議:14,52]

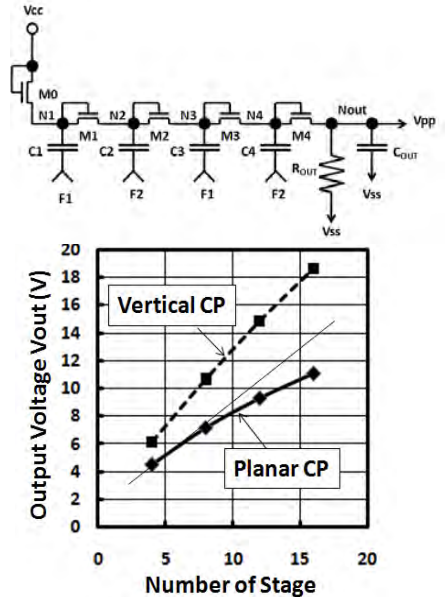


図2-9 提案した縦型ボディークチャネルMOSFETによる高性能昇圧回路

(3) センスアンプ回路(アナログ回路)および高速I/O回路(ロジック・アナログ混載回路)

その他に、降圧回路などの各種電源回路や、図2-10に示すようなセンスアンプ回路を開発した。そして、本センスアンプ回路は、従来の平面型MOSFETによるセンスアンプ回路と比較して、図2-11に示すように約25%の高速動作性を実現できることを示した。

縦型ボディークチャネル MOSFET にて、電流ラッチ型の Sense Amplifier (S/A)を開発し、平面型 MOSFET による S/A と比較して、58%の回路面積の抑制と、1.11dB の感度向上を実現した。さらに、SRAM 向けの高速 S/A 回路を開発し、平面型 MOSFET による S/A と比較して、22%の速度向上と、1.11dB の感度向上を同時に実現できることを示した。また、大容量 DRAM 向けの高感度 S/A 回路を開発し、平面型 MOSFET による S/A と比較して、センス感度を維持したまま電源電圧を0.25V から0.75V への低電圧化を実現すると共に、2 倍以上の高速センスを達成した。そして、S/A 回路などのアナログ回路技術に加えて、縦型ボディークチャネル MOSFET による WL デコーダ回路を開発し、1V 以下の低電圧 DRAM 向けのコア回路技術を構築した。

また、縦型ボディークチャネルMOSFETに基づく集積回路IP群のアナログ系回路への展開として、集積回路の中核をなすCMOSデジタル回路に加えて、高速MPUで多用されるパストランジスタロジック回路や、高い増幅率を必要とするアナログ回路、SRAMやDRAM等などのメモリな

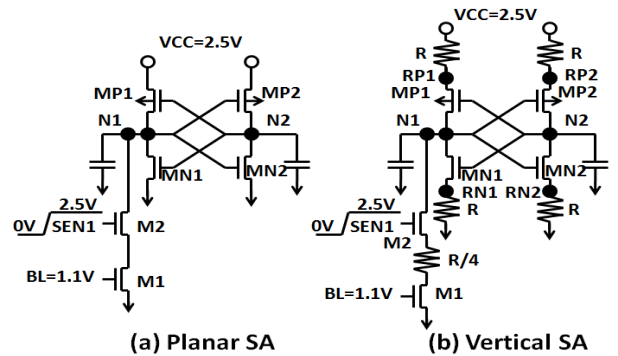


図2-10 提案した縦型ボディークチャネルMOSFETによるSense Amplifier 回路

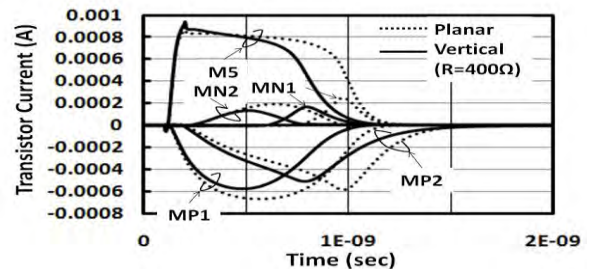


図2-11 提案した縦型ボディークチャネルMOSFETによるSense Amplifier 回路の高速動作性

縦型ボディークチャネルMOSFETにて構成する際の回路構成技術を、プロトタイプ集積回路に適用可能なレベルにまで高度化させることに成功した。例えば、図2-12に示すように縦型ボディークチャネル MOSFET にて LVDS (Low Voltage differential Signaling)ドライバー回路を開発し、1.8Vにて3mW/Gbps のデータ転送性能を達成し、平面型MOSFETによる回路と比較して30%の低消費電力化を達成している。また、縦型ボディークチャネル MOSFET の特性を生かした電流再利用型 Level Keeper 電源回路を開発するなど高速I/O回路の開発も行った。

[学術論文:24,31, 33 国際会議:39,62,63,P5,P6, 55,57,P1]

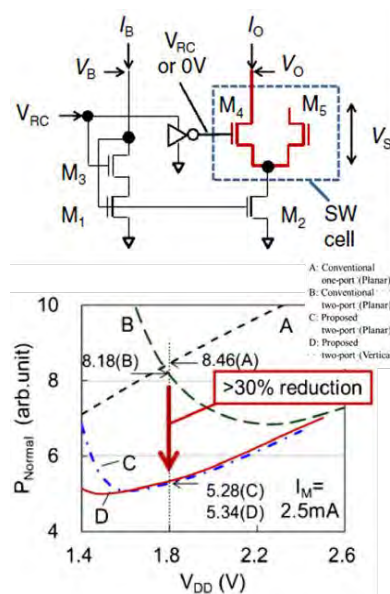


図2-12 提案したLVDSのコア回路とそれによる電力の低減

4-2-4 回路技術総括

得られた知見を総合し、コンパクトで効率的な縦型ボディークチャネルMOSFET回路のIP群を完成させた。このIP群を活用したプロトタイプ集積回路を設計し、それを通じて、集積回路の設計に求められる設計アルゴリズムの高効率化や平面型MOSFETから縦型ボディークチャネルデバイスへの自動IP変換の基盤技術をプロトタイプ集積回路レベルにまで高度化させることができた。

4-3 縦型ボディークチャネルMOSFETによる CMOS 集積回路の材料・プロセス技術の構築

hp32nm世代以降における縦型ボディークチャネルMOSFETに基づくCMOS集積回路の材料・プロセス技術の研究を行い、必要となる基本ユニットプロセス技術の確立を行う事を目的とする。特に、縦型ボディークチャネルMOSFETに固有な材料・プロセス技術として、微細シリコンピラー形成技術、そのエッチング面の平滑度や界面準位密度を抑制する表面処理技術、様々な結晶面方位を有するエッチングしたシリコンピラー側面にHigh-k絶縁膜・メタルゲートのゲートスタック技術、ゲート・ソース・ドレイン電極の形成技術などの要素技術を開発すると共に、シンプルなゲート構造形成技術など製造性に優れたプロセスインテグレーション技術を開発する事を目的とした。縦型ボディークチャネルMOSFETによるCMOS集積回路の材料・プロセス技術の開発は、本テーマのサブリーダーである塚本G(東京エレクトロン(株))を中心に、以下に示すマイルストーンに従って、遠藤G(東北大学)と小池G(東北大学)が協力して実施した。

塚本Gは、遠藤Gと協力して、遠藤Gが設計したマスクセットを用いて、H20年度・H21年度には東京エレクトロンが保有する試作環境と国内の試作支援機関のリソースを組み合わせ、またH22年度からは米国Ablanyに拠点を置く TEL テクノロジーセンターアメリカでの新しい試作環境を構築・追加して、縦型ボディークチャネルMOSFETの要素プロセス技術を開発した。加えて、TCAD ツール(プロセスシミュレータ&デバイスシミュレータ)を活用して遠藤Gが開発したプロセスフローをベースに、遠藤Gと協力して製造性に優れたプロセスインテグレーション技術の研究を推進した。また、小池Gは、塚本G・遠藤Gと連携して、東北大学の小池Gが所有する実験環境を活用して、拡散層抵抗の低抵抗化を目指したシリサイドと金属配線を低抵抗且つ安定に接続するためのコンタクト・配線技術を開発した。

4-3-1 微細・高密度シリコンピラー加工形成のためのプロセスインテグレーション技術の開発

塚本Gは、遠藤Gと連携して、①結晶面方位に依存しないスムーズな側壁形状を実現できるシリコンエッチング技術、②結晶面方位に依存しない酸化レートを実現できるシリコン酸化技術・犠牲酸化技術、③シリコンピラーの倒れ防止を実現できるシリコンピラーの底部加工技術と洗浄技術、④hp25nmのハードマスク形成を実現するツインダブルパターニング材料プロセス技術、⑤ハードマスクとシリコンピラー側壁のスムージングプロセス技術、⑥シリコンミッシング現象を抑制できる低応力酸化技術などからなる材料プロセス技術を開発し、その結果、hp25nmの世界最小の微細シリコンピラーアレイの製造に成功した。

4-3-2 結晶面方位に依存しないゲート絶縁膜・ゲート電極形成のためのプロセスインテグレーション技術の開発とそのMOSキャパシタおよびMOSFETの試作・評価への展開

縦型ボディーチャネルMOSFETに適用するHigh-k/Metalゲートプロセス開発を目指して、米国Ablanyに拠点を置く TEL テクノロジーセンターアメリカでの新しい試作環境を構築し、集積可能なプロセス確立のための基盤技術の開発に成功した。

4-3-3 縦型ボディーチャネルMOSFETのメタル拡散層形成技術の開発

東北大学小池Gでは、CMOS縦型ボディーチャネルの基本ユニットプロセスとしてゲート、ソース、ドレイン電極の形成方法の確立を目指して研究を遂行し、シリサイドをプラズマ酸化してシリサイド表面に薄いSiO₂層を形成した後に、CVD法によるマンガン酸化物(MnOx)を形成することによって、シリサイドとCuコンタクトプラグ間の良好なバリア・コンタクト材料となる目処をつけた。

3次元構造を有する縦型ボディーチャネルトランジスタにおいては、メタルコンタクト層およびバリア・配線層を形成する技術の確立するとともに、プロセスおよび動作時の信頼性を確保する必要がある。これらのことを勘案して4項目の研究を実施した。第一に、縦型チャネル表面は種々の結晶方位を有するシリコンピラーとなるため、コンタクト層としてのシリサイド形成挙動が、シリコンの表面方位にどのように依存するかを理解する必要がある。第二に、微細な非平坦構造を有するシリコンピラー表面に対して、段差被覆性に優れた化学気相成長法(CVD)を利用して、マンガン酸化物バリア層と銅薄膜配線の形成法を確立する必要がある。第三に、形成されたマンガン酸化物層の拡散バリア性を明らかにする必要がある。第四に、シリサイド層上にマンガン酸化物層を形成した場合の界面コンタクト特性を明らかにする必要がある。以下で、具体的により上記課題に取り組んだ成果を述べる。

(1) ニッケルシリサイド層成長挙動のシリコン表面方位依存性の調査

表面方位が(100), (110), (111)のSi単結晶ウェハに対して、スパッタ法によってNi薄膜を成膜し、真空中において熱処理を行い、X線回折ならびに透過電子顕微鏡を用いて、シリサイド層の構造と成長挙動を調べた。(100)シリコン表面にNiを成膜し、400°Cで30分の熱処理を行った後の断面TEM像を図3-16に示す。界面が生じて

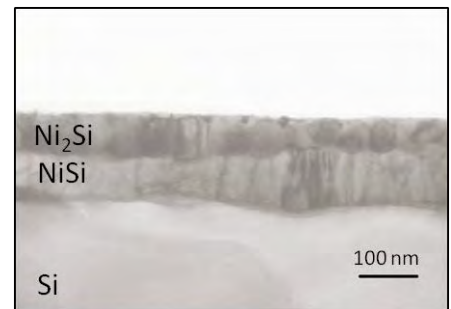


図 3-16 シリサイド層の断面 TEM 像

Ni₂Si/NiSiの二層膜が形成されていることがわかる。同様の実験を異なる表面方位においてもを行い、シリサイド膜厚を測定した結果を図3-17に示す。熱処理時間が10分、30分、60分の場合において3種類の表面方位の結果であり、誤差棒は30カ所の測定のみを示し、反応界面の粗さの程度に対応する。図からわかるように、シリサイド層の成長に対するシリコン表面方位の依存性は見られないと結論できる。よって、種々の表面方位が露出しているシリコンピラーにおいてシリサイド層は均一に形成されることが予想される。

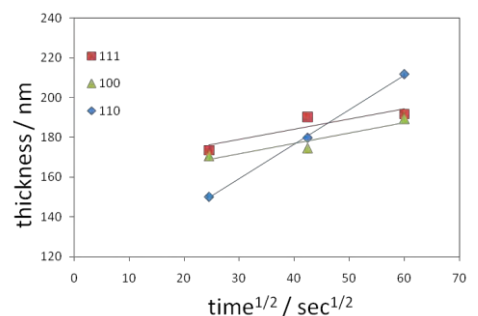


図 3-17 シリサイド膜厚の熱処理時間および方位依存性

(2) 化学気相成長法によるマンガン酸化膜の形成

有機金属前駆体を用いて SiO₂ 上に MnOx を成膜し、TEM、XPS、SIMSなどの分析法を用いて形成された膜の構造、組成、成長挙動を調べた。

マンガン酸化膜は Cu-Mn 合金の熱処理で得られる自己形成バリア層として実績があるため、段差被覆性に優れた化学気相成長法を用いて同様の層を形成することとした。成膜にあたっては、キャリアガス種、ガス流量、基板前処理温度、成膜温度、成膜時間などの因子を変化させた。基板前処理の必要性は、TEOS-SiO₂ が親水性であり、吸着水分が成膜に及ぼす影響を調べるためである。図 3-18 は TEOS-SiO₂ 基板を種々の温度で等温熱処理した際の脱水挙動を調べた結果であり、図中の α は物理吸着水、β と γ は化学吸着水を示す。残留吸着水の種類と量が異なる SiO₂ 基板の上に Mn 酸化物を成膜したところ、図 3-19 に示すように、形成される Mn 酸化物の厚さ、構造、組成が変化することが明らかになった。前熱処理を行わなかった基板の場合は、SiO₂ 上に非晶質層と結晶層の二層構造が観察された。一方、150°C で前熱処理を行った基板は厚い非晶質層のみが観察された。熱処理温度の増加に伴って、非晶質層の厚さは減少した。XPS 分析によると、結晶層は MnO であり、前駆体と α 水分との反応によって形成されたと考えられる。非晶質層は MnSiO₃ であり、前駆体と β および γ 水分との反応によって形成されたと考えられる。また、結晶性の MnO が、前駆体と基板との反応を抑制し、非晶質 MnSiO₃ の成長を妨げたため、熱処理無しの基板上の膜厚が薄いと考えられる。一方、熱処理有りの基板では、熱処理温度の上昇に伴って吸着水分が減少するため、膜厚が減少したと考えられる。

銅薄膜の化学気相成長においては、酸素ならびにフッ素を含有しない前駆体を用いた。酸素は分解時に銅を酸化する懸念があり、フッ素は界面に偏析して信頼性を損なう懸念があるためである。図 3-20 は TEOS-SiO₂ 基板の上にバリア層として MnOx を成膜し、その後種々の条件で Cu を成膜した結果の一例を示す。図に示したように、バリア層上に良好な結晶性を示す Cu の多結晶粒が観察される。形状は島状となっており、下地 MnOx との濡れ性が乏しいことに起因する。この欠点を改善するためには、MnOx 表面の Mn 濃度を高くすることが求められる。また、他の研究者が報告しているように、Ru あるいは Co などの金属を MnOx 表面に形成することによっても改善できると期待される。

(3) マンガン酸化膜の拡散バリア性の調査

SiO₂/Si 基板上に形成した拡散バリア層の上部に Cu 薄膜を成膜して MOS 構造試料を作製し、熱処理前後の C-V 特性を測定してマンガン酸化物層の拡散バリア性を調査した。

Cu/MnOx/SiO₂/Si の MOS 構造を用いて C-V 測定を行うことによって、MnOx が SiO₂ への Cu の拡散を抑制できるか否かを調査した。拡散バリア性は、高温長時間の熱処理を行った場合と、高温高電界付加を行った場合の両方について調べた。得られた結果の代表例を図 3-21 に示す。熱処理前後においてフラットバンド電圧の変化はなく、Cu が SiO₂ 中に拡散していないことを示している。同様の実験を膜厚が 1.3nm および 4nm の MnOx 層を有する試料においても行った。その結果、1.3nm の MnOx は拡散バリア性が乏しく、熱処理後に

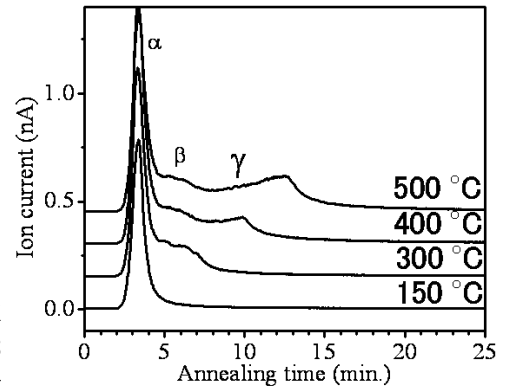


図 3-18 等温保持による TDS スペクトル

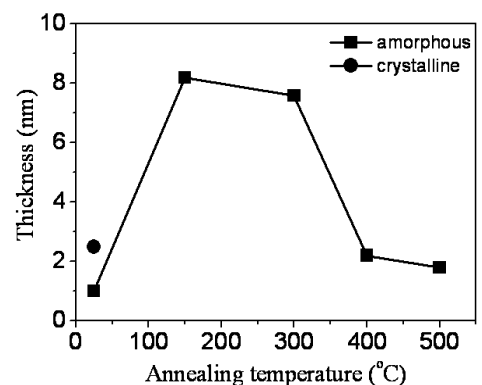


図 3-19 MnOx 膜厚の基板熱処理温度

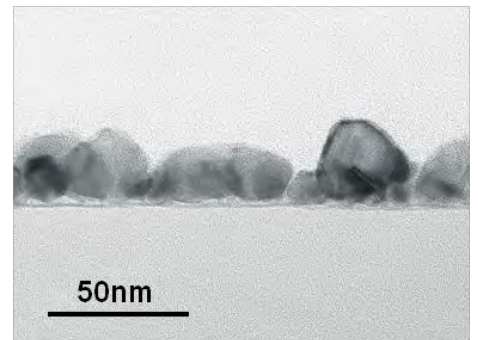


図 3-20 MnOx 膜厚の基板熱処理温度

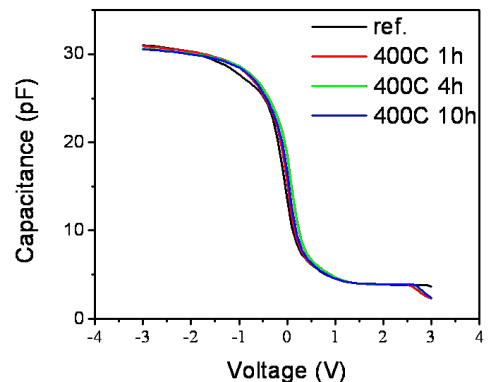


図 3-21 MnOx 膜厚の基板熱処理温度

Cu が SiO₂ 中に拡散していることが観察された。

よって、コンタクト特性と拡散バリア性を両立するために必要な MnOx の厚さは 2nm が適していることが明らかになった。

さらに厳しい条件でのバリア性を調査するために、1 または 3 MV/cm のバイアス電圧を付加しながら 450, 550 K で 40 分の熱処理を行い、BTA (Bias Temperature Anneal) 試験を実施した。得られた C-V 曲線は、フラットバンド電圧に僅かなシフトが見られるものの、シフトの方向に系統的な傾向はなく、実験誤差の範囲内として無視できると考えられる。このように、MnOx は BTA 試験の観点からみても良好な拡散バリア性を有していることが明らかになった。

(4) シリサイド層上のマンガン酸化物形成挙動とコンタクト特性

チャンネル層と配線との間で良好なオーミック特性を得るためにシリコン基板上にニッケルシリサイドを形成し、その上に拡散バリア層を形成し、形成挙動および拡散バリア性、コンタクト抵抗を測定した

Si ウェハ上にスパッタ法によって Ni を成膜し、400°C 1 時間の熱処理によって Ni シリサイド層を得た。このシリサイドを X 線回折法によって分析したところ、NiSi であった。NiSi は NiSi₂ より基板中の Si の消費量が少ないために好ましいとされている。この層の表面にマンガン酸化物を CVD 法で形成するためには、NiSi 表面に酸素源が必要となる。そのため、NiSi 表面を低周波酸素プラズマによって酸化した。形成層を確認するために XPS 法によって表面近傍に存在する元素とその結合状態を調べたところ、SiO_x が形成されたことが明らかになった。また、分光エリプソメーターを用いて SiO_x の厚さを測定したところ、約 1nm であることが判明した。その後 CVD 法によって MnOx を成膜することができた。

さらにスパッタ法によって Cu を成膜し、フォトリソグラフィ法によって電極パターンを形成した。接触特性と接触比抵抗の測定には Transmission line method (TLM 法) を用いた。間隔が異なる 2 個の Cu 電極間の I-V 特性を測定したところ、どの電極間の I-V 特性も直線性を示しており、Cu/MnOx/NiSi 界面において良好なオーミック接触が得られることが明らかになった。この結果から得られる電極間の抵抗を電極距離に対してプロットしたのが図 3-22 である。同じ基板に対して現状のコンタクト材料として用いられている W 電極を形成した場合と、現状の配線構造として用いられている Cu/Ta 電極を形成した場合を併せて示す。W 電極は W 自体の抵抗が高いため、Cu 電極の場合と比較すると直線の傾きが大きく、Cu による直接コンタクトを用いることの優位性が明確である。これらの直線の x 軸、y 軸との切片の値から接触比抵抗を求めた。W/NiSi/Si、Cu/Ta/NiSi/Si、Cu/MiOx/NiSi/Si において、それぞれ 2.2×10^{-6} 、 1.5×10^{-5} 、 $1.9 \times 10^{-6} \cdot \text{cm}^2$ となり、Cu/MnOx が一番小さい接触比抵抗となることが明らかになった。この値は、不純物濃度が $5 \times 10^{18} / \text{cm}^3$ の p 型シリコンウェハにおいて得られた値であり、トランジスタ中のキャリアの高移動度を妨げることはない、十分に小さい値であると言える。しかし、縦型ボディーチャンネルの特長を最大限に活用するには、更に低い接触比抵抗が得られるような界面層の設計を行う必要がある、これは継続的な検討課題である。

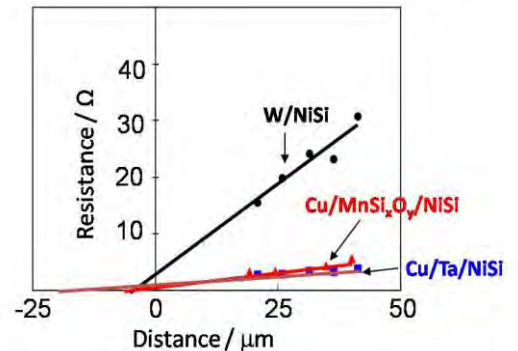


図 3-22 TLM 法によって測定した電極間の抵抗と距離の関係依存性

4-3-4 材料・プロセス技術総括

以上得られた知見を踏まえ、材料技術・ユニットプロセス技術・インテグレーション技術を総合的に検討して、縦型ボディーチャンネル MOSFET による大規模集積回路の試作に向けて、試作プロセスフローを策定し、300mm ウェハによる試作へつなげた。

世界最小・世界最高密度の 23nm Φ からなる 50nm ピッチのシリコンピラーの製造に成功し、新たな展開ができた。これらの縦型ボディーチャンネル MOSFET 固有の材料・プロセス技術及びプロセスインテグレーション技術開発の成果を受けて、当初計画では想定されていなかったエルピーダメモリの参画を受け入れることとなったことで、出口を見据えた研究を加速することができたことを追記する。

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 0 件、国際 (欧文) 誌 51 件)

<遠藤G> (国内(和文)誌 0件、国際 (欧文) 誌 39 件)

1. Tetsuo ENDOH, Yuto NORIFUSA, “Scalability of Vertical MOSFETs in Sub-10 nm Generation and Its Mechanism”, IEICE Vol.E92-C No.5 pp.594-597, May 2009. DOI: 10.1587
2. Tetsuo ENDOH, Yuto NORIFUSA, “Study of Self-Heating Phenomena in Si Nano Wire MOS Transistor”, IEICE Vol.E92-C No.5 pp.598-602, May 2009. DOI: 10.1587
3. T. Endoh, K. Sakui, Y. Yasuda, ” Design of 30nm FinFETs and Double Gate MOSFETs with Halo Structure”, IEICE Transactions on Electronics, Vol.E93-C, No.5, pp.534-539, May, 2010
4. M. Muraguchi, T. Endoh, “Study on Quantum Electro-Dynamics in Vertical MOSFET”, IEICE Transactions on Electronics, Vol.E93-C, No.5, pp.552-556, May, 2010
5. T. Endoh, K. Sakui, Y. Yasuda, ”Sub-10nm Multi-Nano Pillar Type Vertical MOSFET”, IEICE Transactions on Electronics, Vol.E93-C, No.5, pp.557-562, May, 2010
6. M. Muraguchi, Y. Takada, S. Nomura, T. Endoh, Kenji Shiraishi, “Importance of the Electronic State on the Electrode in Electron Tunneling Processes between the Electrode and the Quantum Dot”, IEICE Transactions on Electronics, Vol.E93-C, No.5, pp.563-568, May, 2010
7. Koji Sakui and Tetsuo Endoh, “A Compact Space and Efficient Drain Current Design for Multi-Pillar Vertical MOSFETs”, IEEE Transaction on Electron Devices, Vol.57, No.8, pp.1768-1773, August, 2010
8. M. Muraguchi, T. Endoh, Y. Takada, Y. Sakurai, S. Nomura, K. Shiraishi, M. Ikeda, K. Makihara, S. Miyazaki, Y. Shigeta, ”Importance of Electronic State of Two-Dimensional Electron Gas for Electron Injection Process in Nano-Electronic Devices”, Physica E, Vol.42, Issue10, pp.2602-2605, September, 2010
9. Y. Takada, M. Muraguchi, T. Endoh, S. Nomura, K. Shiraishi, “Proposal of a new physical model for Ohmic contacts”, Physica E, Vol.42, Issue10, pp.2837-2840, September, 2010
10. K. Sakui and T. Endoh, ” High Efficient, Low Power, and Compact Charge Pump by Vertical MOSFET’s”, Solid-State Electronics, Vol.54, Issue10, pp.1192-1196, October, 2010
11. K. Sakui and T. Endoh, ”A new vertical MOSFET ”Vertical Logic Circuit (VLC) MOSFET” suppressing asymmetric characteristics and realizing an ultra compact and robust logic circuit”, Solid-State Electronics, Vol.54, Issue11, pp.1457-1462, November, 2010
12. Vipul Singh, Hiroshi Inokawa, Tetsuo Endoh, and Hiroaki Satoh, “Fabrication Method of Sub-100nm Metal-Oxide-Semiconductor Field-Effect Transistor with Thick Gate Oxide”, Japanese Journal of Applied Physics, Vol.49, No.12, pp.128002-1-128002-2, December, 2010

13. M. Muraguchi, Y. Sakurai, Y. Takada, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki, S. Nomura, K. Shiraishi, and T. Endoh, "Collective Tunneling Model in Charge Trap Type NVM Cell", Japanese Journal of Applied Physics, Vol. 50, No. 04DD04-1~4, April, 2011. (DOI: 10.1143/JJAP. 50. 04DD04)
14. Moon-Sik SEO and Tetsuo ENDOH, "The Optimum Physical Targets of the 3-Dimensional Vertical FG NAND Flash Memory Cell Arrays with the Extended Sidewall Control Gate (ESCG) Structure" IEICE TRANSACTIONS on Electronics, Vol. E94-C, No.5, pp.686-692, May, 2011. (DOI: 10.1587/transele.E94.C.686)
15. Yuto NORIFUSA and Tetsuo ENDOH, "Impact of Floating Body Type DRAM with the Vertical MOSFET", IEICE TRANSACTIONS on Electronics, Vol. E94-C, No.5, pp.705-711, May, 2011. (DOI: 10.1587/transele.E94.C.705)
16. Takuya Imamoto, Takeshi Sasaki, Tetsuo Endoh, "Evaluation of 1/f Noise Characteristics in High-k/Metal Gate and SiON/Poly-Si Gate MOSFET, IEICE TRANSACTIONS on Electronics," Vol. E94-C No. 5, pp. 724-729, May, 2011. (DOI: 10.1587/transele.E94.C.724)
17. Masakazu MURAGUCHI and Tetsuo ENDOH, "Study on Impurity Distribution Dependence of Electron-Dynamics in Vertical MOSFET", IEICE TRANSACTIONS on Electronics, Vol. E94-C, No.5, pp.737-742, May, 2011. (DOI: 10.1587/ transele. E94. C.737)
18. Takeshi Sasaki, Takuya Imamoto, Tetsuo Endoh, "Temperature Dependency of Driving Current in High-k/Metal Gate MOSFET and Its Influence on CMOS Inverter Circuits", IEICE TRANSACTION on Electronics, Vol. E94-C, No. 5, pp. 751-759, May, 2011. (DOI: 10.1587/transele.E94.C.751)
19. Moon-Sik Seo, Sung-Kye Park and Tetsuo Endoh, "3-D Vertical FG NAND Flash Memory With a Novel Electrical S/D Technique Using the Extended Sidewall Control Gate" IEEE Transactions on Electron Devices, Vol.58 No.9, pp.2966-2973, September 2011. (DOI: 10.1109/TED.2011.2160642)
20. T. Endoh, "Restructuring of Memory Layer in Electrical System and Its Novel Evolution with Nonvolatile Logic" (招待論文), ECS Transactions, Vol. 41, Issue 7, ULSI Process Integration 7, Chapter 2, Memory Technologies, pp. 59-71, September, 2011.
21. M. Muraguchi, Y. Sakurai, Y. Takada, S. Nomura, K. Shiraishi, K. Makihara, M. Ikeda, S. Miyazaki, Y. Shigeta, and T. Endoh, "Collective Tunneling Model between Two-Dimensional Electron Gas to Si-Nano Dot", AIP Conference Proceedings, vol. 1399, pp. 295-296, December, 2011. (DOI: 10.1063/1.3666370)
22. H. Na and T. Endoh, "A Compact Half Select Disturb Free SRAM Cell with Stacked Vertical MOSFET", Japanese Journal of Applied Physics, Vol. 51, No. 2, pp.02BD03-1~8, February, 2012. (DOI: 10.1143/JJAP.51.02BD03)
23. Moon-Sik Seo and Tetsuo Endoh, "Disturb-Free Three-Dimensional Vertical Floating Gate NAND with Separated-Sidewall Control Gate" Japanese Journal of Applied Physics, Vol. 51, No. 2, pp. 02BD4-1~7, February, 2012. (DOI: 10.1143/JJAP.51.02BD04)
24. Satoru Tanoi and Tetsuo Endoh, "A Wide-Range Tunable Level-Keeper Using Vertical

- Metal-Oxide-Semiconductor Field-Effect Transistors for Current-Reuse Systems”, Japanese Journal of Applied Physics, Vol. 51, No. 4, pp.04DE11-1 – 04DE11-7, April, 2012 (DOI:10.1143/JJAP.51.04DE11)
25. Hyoungjun NA and Tetsuo ENDOH, “Current Controlled MOS Current Mode Logic with Auto-Detection of Threshold Voltage Fluctuation”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No. 4, pp.617-626, April, 2012 (DOI:10.1587/transele.E95.C.617)
 26. Hyoungjun NA and Tetsuo ENDOH, “A Schmitt Trigger Based SRAM with Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.792-801, May, 2012 (DOI:10.1587/transele.E95.C.792)
 27. Takuya IMAMOTO and Tetsuo ENDOH, “Source/Drain Engineering for High Performance Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.807-813, May, 2012 (DOI:10.1587/transele.E95.C.807)
 28. Yuto NORIFUSA and Tetsuo ENDOH, “Evaluation of Performance in Vertical 1T-DRAM and Planar 1T-DRAM”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.847-853, May, 2012 (DOI:10.1587/transele.E95.C.847)
 29. Moon-Sik SEO and Tetsuo ENDOH, “FG Width Scalability of the 3-D Vertical FG NAND Using the Sidewall Control Gate (SCG)”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.891-897, May, 2012 (DOI:10.1587/transele.E95.C.891)
 30. Moon-Sik Seo, Bong-Hoon Lee, Sung-Kye Park, and Tetsuo Endoh, “Novel Concept of the Three-Dimensional Vertical FG NAND Flash Memory Using the Separated-Sidewall Control Gate”, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.59, No.8, pp.2078-2084, August, 2012 (DOI:10.1109/TED.2012.2200682)
 31. Satoru Tanoi and Tetsuo Endoh, “A 3-mW/Gbps 1.8-V Operated Current-Reuse Low-Voltage Differential Signaling Driver Using Vertical Metal-Oxide-Semiconductor Field-Effect Transistors”, Japanese Journal of Applied Physics, Vol.52 No.4, pp. 04CE03-1-04CE03-7, April. 2013. (DOI: 10.7567/JJAP.52.04CE03)
 32. Hyoungjun Na and Tetsuo Endoh, “A Multi-pillar Vertical Metal-oxide-semiconductor Field-effect Transistor Type Dynamic Random Access Memory Core Circuit for Sub-1 V Core Voltage Operation without Overdrive Technique”, Japanese Journal of Applied Physics, Vol.52 No.4, pp. 04CE08-1-04CE08-8, April. 2013.(DOI: 10.7567/JJAP.52.04CE08)
 33. H. Na and T. Endoh, “A High Performance Current Latch Sense Amplifier with Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol.E96-C, No.5, pp.655-662, May, 2013
 34. Takuya IMAMOTO and Tetsuo ENDOH, “Novel Field Effect Diode Type Vertical Capacitorless One Transistor Dynamic Random Access Memory Cell with Negative Hold Bit Line Bias Scheme for Improving the Hold Characteristics”, Japanese Journal of Applied Physics, Vol.52, No. 4, Issue 2, pp: 04CD08.1-04CD08.5, April 2013.
 35. Masakazu Muraguchi and Tetsuo Endoh, “Size dependence of electrostatic lens effect in vertical MOSFETs”, Japanese Journal of Applied Physics, Vol.53, No. 4S, pp. 04EJ09-1-04EJ09-4, April 2014. (DOI:10.7567/JJAP.53.04EJ09)

36. Takuya Imamoto and Tetsuo Endoh, "Excellent Scalability Including Self-Heating Phenomena of Vertical-Channel Field-Effect-Diode Type Capacitor-less One Transistor Dynamic Random Access Memory Cell", Vol.53, No. 4S, 04ED05-1-04ED05-8, April 2014. (DOI:10.7567/JJAP.53.04ED05)
37. Takeshi Sasaki, Masakazu Muraguchi, Moon-Sik Seo, Sung-kye Park, Tetsuo Endoh, "Effect with High Density Nano Dot Type Storage Layer Structure on 20nm Planar NAND Flash Memory Characteristics, Vol.53, No. 4S, 04ED17-1-04ED17-8, April 2014. (DOI: 10.7567/JJAP.53.04ED17)
38. Satoru Tanoi and Tetsuo Endoh, "A High Output Resistance 1.2-V VDD Current Mirror with Deep Submicron Vertical MOSFETs", IEICE TRANSACTIONS on Electronics, Vol.E97-C, No.5, 2014 (accepted).
39. Kazuki Itoh and Tetsuo Endoh, "A Novel Alternating Voltage Controlled Current Sensing Method for Suppressing Thermal Dependency", IEICE TRANSACTIONS on Electronics, Vol.E97-C, No.5, 2014 (accepted).

<小池G> (国内(和文)誌 0件、国際(欧文)誌 12件)

1. J. Iijima, Y. Fujii, K. Neishi, and J. Koike, Resistivity reduction by external oxidation of Cu-Mn alloy films for semiconductor interconnect application, J. Vac. Sci. Technol. B27(4), 1963-1968 (2009)
2. S.-M. Chung and J. Koike, Analysis of dielectric constant of a self-forming barrier layer with Cu-Mn alloy on TEOS-SiO₂, J. Vac. Sci. Technol. B27(5), L28-L31 (2009)
3. Kenji Matsumoto, Koji Neishi, Hitoshi Itoh, Hiroshi Sato, Shigetoshi Hosaka, and Junichi Koike, Chemical Vapor Deposition of Mn and Mn Oxide and their Step Coverage and Diffusion Barrier Properties on Patterned Interconnect Structures, Appl. Phys. Exp. 2, 036503 (2009).
4. K. Neishi, V. Dixit, S. Aki, J. Koike, K. Matsumoto, H. Sato, H. Itoh, and S. Hosaka "Adhesion and Cu diffusion barrier properties of a MnO_x barrier layer formed with thermal MOCVD", Proc. Mater. Res. Soc. Symp., Vol.1156 99-104(2009). DOI: 10.1557
5. V. Dixit, K. Neishi and J. Koike, "Electronic transport properties of Cu/MnO_x/SiO₂/p-Si MOS devices", Proc. Mater. Res. Soc. Symp., Vol.1156 105-109(2009). DOI: 10.1557
6. K. Matsumoto, K. Neishi, H. Itoh, H. Sato, S. Hosaka, and J. Koike, "Deposition behavior and diffusion barrier property of MnO_x", Proc. International Interconnect Technology Conference, 197-199(2009)
7. K. Neishi, T. Sagawa, Y. Sutou and J. Koike, "Thin MnO barrier formation with CVD for Cu contact plug on nickel silicide", Proc. Advanced Metall. Conf. p. 1 (2009).
8. K. Matsumoto, K. Neishi, H. Itoh, H. Miyoshi, H. Sato, S. Hosaka, and J. Koike, Effects of Water Desorption from Dielectric Substrates on the Thickness of the CVD-MnO Diffusion Barrier Layer, Jpn. J. Appl. Phys. 49, 05FA12 (2010).
9. Y. Otsuka, J. Koike, H. Sako, K. Ishibashi, N. Kawasaki, S. M. Chung, and I. Tanaka, Graded

composition and valence states in self-forming barrier layers at Cu-Mn/SiO₂ interface, Appl. Phys. Lett. 96, 012101 (2010).

10. N. M. Phuong, K. Neishi, Y. Sutou and J. Koike, “Effects of adsorbed moisture in SiO₂ substrates on the formation of a Mn oxide layer by chemical vapor deposition”, J. Physical Chemistry C, vol. 115, pp.16731-16736, 2011. (DOI:10.1021)
11. V. K. Dixit, K. Neishi, N. Akao and J. Koike, “Structural and electronic properties of a Mn oxide diffusion barrier layer formed by chemical vapor deposition”, IEEE Trans. Device and Materials Reliability, vol. 11, pp.295-302, 2011. (DOI:10.1109)
12. A. Kurokawa, Y. Sutou, J. Koike, T. Hamada, K. Matsumoto et. al., “Simultaneous formation of a metallic Mn layer and a MnO_x/MnSi_xO_y barrier layer by chemical vapor deposition at 250 oC”, Japanese Journal of Applied Physics, vol. 52, 05FA02, May 2013.(DOI: 10.7567/JJAP.52.05FA02)

(2)その他の著作物(総説、書籍など)

<遠藤G>

1. 遠藤 哲郎, ”メモリー階層構造の変化と不揮発性ロジックへの新展開”, 応用物理学会 学会誌 最近の展望、Vol79、No.12, pp1093-pp1097、2010

<小池 G>

(3)国際学会発表及び主要な国内学会発表

- ① 招待講演 (国内会議 10 件、国際会議 27 件)

<遠藤G>(国内会議 6件、国際会議 20 件)

<国内会議>

1. 遠藤 哲郎、“3 次元構造と新機能融合が開く新しいシリコン集積回路”、電気学会「シリコンナノデバイス集積化技術調査専門委員会」、東京、2010年7月16日
2. 遠藤 哲郎、“ナノ時代エレクトロニクスを切り開く縦型 MOSFET と 3 次元半導体集積回路技術”、第二回東北大学国際産学連携シンポジウム、東京、2010年2月22日
3. 遠藤 哲郎、“縦型 MOSFET 技術に基づく 3 次元集積回路とその将来展望”、JEITA「技術戦略委員会省電力エレクトロニクス技術分科会」、東京、2010年9月10日
4. 遠藤 哲郎、“構造融合・機能融合によるシリコンテクノロジーの新展開-シリコンテクノロジーの未来像を徹底的に考える-”、平成 22 年秋季第 71 回応用物理学会学術講演会、長崎、2010年9月16日
5. 遠藤 哲郎、“STT RAM による不揮発性メモリの低消費電力システムへの新展開”、セミコンポータル SPI フォーラム-次世代携帯機器をけん引するストレージデバイス-、東京、2011年3月22日(インターネットライブ接続にて講演)
6. 遠藤 哲郎、「テーマ 1:待機電力ゼロを目指した高度エネルギーマネジメント技術」「テーマ 2:エネルギー利用効率を飛躍的に高める集積エレクトロニクスデバイス技術」、JST/CRDS ナノテクノロジー・材料分野俯瞰ワークショップ、東京、2012年6月8日

<国際会議>

1. Tetsuo Endoh(Tohoku University), “Impact of Vertical structured devices for Future Nano LSI”, The 4th Handai Nanoscience and Nanotechnology International Symposium, Oosaka, October 1, 2008.
2. Tetsuo Endoh(Tohoku University), “Impact of Vertical structured devices”, Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications, Nov 7, 2008.
3. T. Endoh, “Future high density memory with vertical structured device technology”, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2009), 3B-2 Busan, Korea, June 24-26, 2009.
4. T. Endoh, “Impact of Vertical Structured Devices for Future Nano LSI”, IEEE The 2009 Lithography Workshop, July, 1 Idaho USA, 2009
5. T. Endoh, “Impact of Spintronic devices for Future Nano Silicon base LSI”, IEEE Fifth International School and Conference on Spintronics and Quantum Information Technology SPINTECH V Kraków (Cracow), Poland, July 7-11, 2009
6. T. Endoh, ” Impact of Vertical MOSFET for High Density Flash Memory”, SSDM2009, Rump session “Novel Lithography for more Moore/beyond CMOS and More than Moore” Oct. 8, 2009
7. Tetsuo Endoh, “Impact of Vertical Structured Devices and Spintronic Devices for Future Nano LSI”, SEMICON Korea 2010, S3-6, Seoul, Korea, February 3, 2010
8. Tetsuo Endoh, “Vertical MOSFET and 3 Dimensional Semiconductor Integrated Circuit Technology for Nano-Generation Electronics”, Tohoku University International Industry-University Collaborative Symposium, Tokyo, February 22, 2010
9. Tetsuo Endoh, ”Impact of Vertical Devices for Future Nano LSI”, Materials Research Society (MRS) 2010 Spring Meeting, USA, San Francisco, April, 9,2010
10. Tetsuo Endoh, “Future High Density Memory with Vertical Structured Device Technology”, International Conference on Solid-State and Integrated Circuit Technology, China Shan high, Nov. 2, 2010
11. Tetsuo Endoh, S. Ikeda, T. Hanyu, N. Kasai and H. Ohno, ” Nonvolatile Computer Systems and Memory Hierarchy Transformation with STT RAM Technology”, The 1st CSIS International Symposium on Spintronics-based VLSIs and The 7th RIEC International Workshop on Spintronisc, Abstract pp.17, Sendai, Japan, February 3-4, 2011
12. Tetsuo Endoh, “Spintronics-based VLSIs for Ultra Low power Nonvolatile Computer Systems”, 9th International Symposium on Nanotechnology of International Nanotechnology Exhibition and Conference, Tokyo, Japan, February 18, 2011
13. Tetsuo Endoh, “Impact of Spintronics Devices with Vertical MOSFET Technology for Future Nano-VLSI”, CMOS Emerging Technologies Meeting 2011, Session 6E, Whistler, Canada, June 17, 2011
14. Tetsuo Endoh, “3D CMOS Devices -Why do we need them and challenges”, 7th Annual SEMATECH Symposium Japan, Session 2, Tokyo, Japan, June 22, 2011

15. Tetsuo Endoh, "Impact of Vertical Structured Devices and Spintronic Devices for Future Nano LSI", International Workshop on Quantum Nanostructures and Nanoelectronics (QNN2011), Session: Devices and Circuits, Tokyo, Japan, October 4, 2011
16. Tetsuo Endoh, "Vertical Structured Cells and Vertical Stacked Cells for Nano-Generation High Density Memory", 220th ECS Meeting, Session: E9-ULSI Process Integration 7, Boston, USA, October 10, 2011
17. Tetsuo Endoh, "3D Vertical Structured Memory and Spintronics Memory Technology", 1st Annual World Congress of Nano-S&T, Track 2-2: Nanowires, Molecular Electronics and Nanodevices, Dalian, China, October 23, 2011
18. Tetsuo Endoh, "Impact of Vertical Structured devices for Future Nano LSI", Impact of Vertical Structured devices for Future Nano LSI", AVS 58th International Symposium and Exhibition, Session: Electronic Materials and Processing, Dielectrics for Novel Devices and Process Integration, Session No. EM-MoM10, Abstract No.71, Nashville, USA, October 31, 2011
19. Tetsuo Endoh, "Current Status of NAND Memories and its Future Prospect with 3D NAND Technology", ECS Prime 2012, Hawaii, USA, October 10, 2012
20. T. Endoh, "Impact of 3D structured Memory and Spintronics based NV-Memory for High Performance & Low Power Systems", SSDM2013 Short Course A. Fundamentals on Advanced CMOS/Memory technologies, Fukuoka, Japan, September 24, 2013.

<小池G> (国内会議 4 件、国際会議 7 件)

<国内会議>

1. 小池淳一(東北大学), 「銅合金を用いた低抵抗・高信頼性デバイス配線の特徴」, 機械学会関東支部講演大会, 明治大学, 2010.3.11
2. 小池淳一(東北大学), 「先端 LSI-Cu 配線用 MnO_x バリア層形成と信頼性評価」, 日本金属学会, 京都, 2010/9/25
3. 小池淳一(東北大学), 「Cu-Mn 合金の先端デバイス配線としての基礎と応用」, 真空・表面科学合同講演会, 2010/11/6
4. 小池淳一、須藤祐司、根石浩司(東北大学), "先端半導体配線における自己形成バリア層の形成挙動と種々の特性", 日本金属学会秋期大会、京都, 2009/9/15

<国際会議>

1. J. Koike, S. M. Chung, K. Neishi and Y. Sutou (Tohoku University), "Cu-Mn alloy for advanced semiconductor interconnections", 18th PFAM, Sendai, 2009/12/14
2. J. Koike, S. M. Chung, K. Neishi, Y. Sutou (Tohoku University), "Cu-Mn Self-Forming Barrier and CVD-MnO_x barrier for Advanced Interconnect Structures", 11th Int. Workshop on Stress-Induced Phenomena in Metallization, Dresden, 2010/4/12-14
3. J. Koike, S. M. Chung, K. Neishi, Y. Sutou (Tohoku University), "Novel Cu alloy interconnections for advanced semiconductors and displays", 2010 i-SEDEX, Seoul, 2010/10/12-16

4. J. Koike, “Self-formed barrier layer for advanced semiconductor interconnect”, France-Japan Workshop 2009.11.1-3, Sendai, 2009
5. J. Koike, H. Sano, K. Hirota, Y. Sutou and K. Neishi, “Optimization of source-drain contact process with Cu-Mn alloys”, International Display Workshop '09 2009.12.9-11, Miyazaki, 2009
6. J. Koike, Y. Sutou, and K. Neishi, “Cu alloy interconnection for advanced semiconductor application”, Process and Fabrication of Advanced Materials (2009.12.12-14, Sendai)
7. J. Koike, “Possibilities of CVD Mn oxide as a diffusion barrier layer for advanced LSI interconnections”, Mater. Res. Soc. Spring Meeting, San Francisco, April 27, 2011

② 口頭発表 (国内会議 17 件、国際会議 78 件)

<遠藤G> (国内会議 12 件、国際会議 66 件)

<国内会議>

1. 村口正和、遠藤哲郎、“縦型構造 MOSFET におけるチャネル中への電子注入過程に対する理論的研究”, 電気関連学会東北支部連合大会, 1D-04, 東北文化学園, 仙台, August 20-21, 2009.
2. 村口正和、遠藤哲郎、“量子電子動力学に基づく縦型構造 MOSFET の 駆動電流特性に対する理論的考察”, 第70回応用物理学会学術講演会, 11a-TH-1, 富山大学、富山, September 9-11, 2009.
3. 徐文植, 遠藤哲郎、“The Scalability of FG width of the 3-dimensional vertical FG NAND flash memory cell arrays with the Extended Sidewall Control Gate (ESCG) structure”, 平成 22 年秋季第 71 回応用物理学会学術講演会, 17a-ZE-4, 長崎大学, 長崎, 9 月 14 日-17 日, 2010.
4. 則房勇人, 遠藤哲郎、“Study of Retention Characteristics of Vertical type 1T-DRAM”, 平成 22 年秋季第 71 回応用物理学会学術講演会, 17a-ZE-10, 長崎大学, 長崎, 9 月 14 日-17 日, 2010.
5. 板垣明宏, 遠藤哲郎、“Double Gate IMOS によるスイッチング特性”, 平成 23 年春季 第 58 回応用物理学関係連合講演会, 26p-KD-10, 神奈川工科大学, 神奈川, 3 月 24-27 日, 2011.
6. 羅炯竣, 遠藤哲郎、“Improvement of Access Time of 6Tr SRAM by Vertical MOSFET”, 平成 23 年春季 第 58 回 応用物理学関係連合講演会, 26a-KC-7, 神奈川工科大学, 神奈川, 3 月 24-27 日, 2011.
7. 遠藤 哲郎、“パワー半導体と知的電力制御技術が拓く快適な省エネ社会”, 東北大学 電気・情報 東京フォーラム 2011、東京、2011 年 11 月 18 日
8. 遠藤 哲郎、「パワー半導体と知的電力制御技術が拓く快適な省エネ社会」、東北大学 電気・情報系 新専攻設立記念講演会、仙台、2012 年 7 月 31 日
9. 遠藤 哲郎、「縦型ボディチャネル MOSFET とその集積プロセスの開発」、JST CREST×さきがけ ジョイントワークショップ、東京、2012 年 10 月 26 日
10. 遠藤 哲郎、「集積化デバイスのための課題と将来ビジョン(パネル討論)」、JST CREST×さきがけ ジョイントワークショップ、東京、2012 年 10 月 26 日

11. 遠藤 哲郎、「集積エレクトロニクス技術が切り開く省エネ社会」、東北大学イノベーションフェア 2013、仙台、2013年1月17日
12. 遠藤 哲郎、「縦型CMOSデバイスで目指す究極の3次元集積回路」、JST CREST「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」領域 第二回公開シンポジウム、東京、2013年2月8日

<国際会議>

1. Kousuke Tanaka (Tohoku University) and Tetsuo Endoh(Tohoku University), “Study of Self-Heating Phenomena in Si Nano Wire MOS Transistor”, International Mini-Conference on Information Electronics Systems, Oct-16, 2008.
2. E. Nishimura (TEL-AT), C. Kato (TEL-AT), K. Yatsuda (TEL), T. Endoh (Tohoku University) “New Fabrication Technology of 50nm Silicon Pillar with Roundness for Vertical MOSFETs”, 21st International Microprocesses and Nanotechnology Conference 29C-7-5, Fukuoka, October 27, 2008.
3. T. Endoh, K. Sakui, Y. Yasuda, “Design of 30nm FINFET with halo structure”, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2009), 1B-7 Busan, Korea, June 24-26, 2009.
4. T. Endoh, K. Sakui, Y. Yasuda, “Sub-10nm multi-nano pillar type vertical MOSFET”, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2009), 2B-11 Busan, Korea, June 24-26, 2009.
5. M. Muraguchi and T. Endoh, “Study on Quantum Electro-Dynamics in Vertical MOSFET”, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2009), 2B-10 Busan, Korea, June 24-26, 2009.
6. K. Sakui and T. Endoh, “A Compact Space and Efficient Drain Current Design for Multi-Pillar Vertical MOSFET’s”, International Conference on. Solid State Devices and Materials (SSDM2009), E-3-1L, Sendai, Japan, Oct. 7-9, 2009.
7. K. Sakui and T. Endoh, “A unique and accurate extraction technique of the asymmetric bottom-pillar resistance for the vertical MOSFET”, ICMTS2010, Hiroshima, Japan, March 22-25, 2010.
8. K. Ohmori, T. Matsuki, Y. Ohkura, J. Yugami, K. Ikeda, Y. Ohji, Y. Yasuda, T. Endoh, K. Shiraishi, K. Yamada, “Effect of Carrier Scattering Phenomena on Drain Current Variability in Si MOSFETs”, 217th ECS Meeting, 918(E1), Vancouver, Canada, April 25-30, 2010
9. Y. Takada, M. Muraguchi, T. Endoh, S. Nomura, K. Shiraishi, “Investigation of the new physical model of Ohmic contact for future nano-scale contacts”, 217th ECS Meeting, 923(E1), Vancouver, Canada, April 25-30, 2010.
10. K. Sakui and T. Endoh, “A Compact, High-Speed, and Low-Power Design for Multi-Pillar Vertical MOSFET’s, Suppressing Characteristic Influences by Process Fluctuation”, International Symposium on VLSI Technology, Systems an applications (VLSI-TSA) 2010, pp.30-31 Hsinchu, Taiwan, April 26-28, 2010.

11. Takuya Imamoto, Takeshi Sasaki, Tetsuo Endoh, "Sub-threshold Characteristics of High-k/Metal Gate MOSFET", International Meeting for Future of Electron Devices, Kansai 2010, A-2, pp.32-33, Osaka, Japan, May 13-14, 2010.
12. Takeshi Sasaki, Takuya Imamoto, Tetsuo Endoh, "Dependency of Driving Current on Channel Width in High-k/Metal Gate MOSFET", International Meeting for Future of Electron Devices, Kansai 2010, A-3, pp.34-35, Osaka, Japan, May 13-14, 2010
13. M. Muraguchi, Y. Sakurai, Y. Takada, S. Nomura, K. Shiraishi, M. Ikeda, K. Makihara, S. Miyazaki, Y. Shigeta, T. Endoh, "Bias Voltage Sweep Speed Dependence of Electron Injection in Si-Nano-Dots Floating Gate MOS Capacitor", International Meeting for Future of Electron Devices, Kansai 2010, B-2, pp.48-49, Osaka, Japan, May 13-14, 2010
14. K. Sakui and T. Endoh, "Design Impacts on NAND Flash Memory Core Circuits with Vertical MOSFET", The 2nd International Memory Workshop 2010, Session 6-3, Seoul, Korea, May 16-19, 2010.
15. M.S. Seo, S.K. Park, T. Endoh, "The 3-dimensional vertical FG NAND flash memory cell arrays with the novel electrical S/D technique using the extended sidewall control gate (ESCG)", The 2nd International Memory Workshop 2010, Session 9-4, Seoul, Korea, May 16-19, 2010
16. Koji Sakui, Tetsuo Endoh, "A Compact and Low Power Logic Design for Multi-Pillar Vertical MOSFET's", IEEE International Symposium on Circuits and Systems, A2L-C, pp.309-312, Paris, France, May 29-June 4, 2010
17. M. Muraguchi, Y. Sakurai, Y. Takada, Y. Shigeta, M. Ikeda, K. Makihara, S. Miyazaki, S. Nomura, K. Shiraishi, T. Endoh, "Collective Electron Tunneling Model in Si-Nano Dot Floating Gate MOS Structure", International Symposium on Technology Evolution for Silicon Nano-Electronics, Extended Abstracts, pp.75, Tokyo, Japan, June 3-5, 2010
18. Takeshi Sasaki, Takuya Imamoto, Tetsuo Endoh, "The Analysis of Temperature Dependency of the Mobility In High-k/Metal Gate MOSFET and the Performance on its CMOS Inverter", 2010 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 7A.4, ED-pp.177-182, Tokyo, Japan, June 30-July2, 2010
19. Takuya Imamoto, Takeshi Sasaki, Tetsuo Endoh, "Evaluation of 1/f Noise Characteristics in High-k/Metal Gate and SiON/Poly-Si Gate MOSFET", 2010 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 7A.7, ED-pp.195-198, Tokyo, Japan, June 30-July2, 2010
20. Yuto Norifusa, Tetsuo Endoh, "Impact of Floating Body type DRAM with the Vertical MOSFET", 2010 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 8A.3, ED-pp.211-216, Tokyo, Japan, June 30-July2, 2010
21. Moon-Sik Seo, Tetsuo Endoh, "The optimum physical targets of the 3-dimensional vertical FG NAND flash memory cell arrays with the extended sidewall control gate (ESCG) structure", 2010 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, 8A.6, ED-pp.225-230, Tokyo, Japan, June 30-July2, 2010
22. Masakazu Muraguchi, Tetsuo Endoh, "Study on Impurity Distribution Dependence of Electron-Dynamics in Vertical MOSFET", 2010 Asia-Pacific Workshop on Fundamentals and

Applications of Advanced Semiconductor Devices, 9B.2, ED–pp.309–313, Tokyo, Japan, June 30–July2, 2010

23. M. Muraguchi, Y. Sakurai, Y. Takada, S. Nomura, K. Shiraishi, M. Ikeda, K. Makihara, S. Miyazaki, Y. Shigeta, T. Endoh, “Collective tunneling model between two-dimensional electron gas to Si-nano-dot”, 30th International Conference on the Physics of Semiconductors, P2–105, pp.804, Seoul, Korea, July 25–30, 2010
24. Masakazu Muraguchi, Yoko Sakurai, Yukihiro Takada, Yasuteru Shigeta, Mitsuhisa Ikeda, Katsunori Makihara, Seiichi Miyazaki, Shintaro Nomura, Kenji Shiraishi, Tetsuo Endoh, “Collective Tunneling Model in Charge Trap Type NVM Cell”, Extended Abstracts of the 2010 International Conference on Solid State Devices and Materials, E-3-2, pp.750–751, Tokyo, September 22 – 24, 2010
25. Masato Kushibiki, Arisa Hara, Eiichi Nishimura, Tetsuo Endoh, “Fabrication of hp 25nm Si Pillar Using New Multiple Double Patterning Technique”, Extended Abstracts of the 2010 International Conference on Solid State Devices and Materials, P-1-25L, pp.233–234, Tokyo, September 22 – 24, 2010
26. M.S. Seo and T. Endoh, “3D stack of FG type NAND Flash memory cell towards ultra high density storage memory,”, 4th Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications, Tokyo, Japan, Nov. 5, 2010.
27. Tetsuo Endoh, S. Ikeda, T. Hanyu, N. Kasai and H. Ohno, ” Nonvolatile Computer Systems and Memory Hierarchy Transformation with STT RAM Technology”, The 1st CSIS International Symposium on Spintronics-based VLSIs and The 7th RIEC International Workshop on Spintronisc, Abstract pp.17, Sendai, Japan, February 3-4, 2011
28. Tetsuo Endoh, “Spintronics-based VLSIs for Ultra Low power Nonvolatile Computer Systems”, 9th International Symposium on Nanotechnology of International Nanotechnology Exhibition and Conference, Tokyo, Japan, February 18, 2011.
29. Eiichi Nishimura, ” Ultra Fine Patterning Technology Toward 10nm ULSI Fabrication”, 4th Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications, Tokyo, Japan, Nov. 5, 2010.
30. Moon-Sik Seo and Tetsuo Endoh, “New Design Method of the 3-Dimensional Vertical Stacked FG Type NAND Cell Arrays without the Interference Effect”, 2011 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA 2011), Proceedings of Technical Program pp.152–153, Hsinchu, Taiwan, April 25–27, 2011.
31. Hyoungjun Na and Tetsuo Endoh, “A New Compact SRAM Cell by Vertical MOSFET for Low-power and Stable Operation”, The 3rd International Memory Workshop 2011 (IMW 2011), Session 3-3, pp.46–49, Monterey, USA, May 22–25, 2011.
32. Moon-Sik Seo, Bong-Hoon Lee, Sung-kye Park and Tetsuo Endoh, “A Novel 3-D Vertical FG NAND Flash Memory Cell Arrays Using the Separated Sidewall Control Gate (S-SCG) for Highly Reliable MLC Operation”, The 3rd International Memory Workshop 2011 (IMW 2011), Session 4-3, pp.61–64, Monterey, USA, May 22–25, 2011.

33. Tetsuo Endoh, "Impact of Spintronics Devices with Vertical MOSFET Technology for Future Nano-VLSI", CMOS Emerging Technologies Meeting 2011, Session 6E, Whistler, Canada, June 17, 2011. (Invited)
34. Tetsuo Endoh, "3D CMOS Devices -Why do we need them and challenges", 7th Annual SEMATECH Symposium Japan, Session 2, Tokyo, Japan, June 22, 2011. (Invited)
35. A. Itagaki and T. Endoh, "Device Desing of Multi Gate structure IMOS", 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 1A.5, Technical Report of IEICE pp.15-19, Daejeon, Korea, June 29-July1, 2011.
36. Takuya Imamoto and Tetsuo Endoh, "Device Desing of Body Channel Type Vertical MOSFET", 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 1A.6, Technical Report of IEICE pp.20-15, Daejeon, Korea, June 29-July1, 2011.
37. Masakazu Muraguchi and Tetsuo Endoh, "Theoretical Study on Current Path Control by Electrostatic Lens Effect in Vertical MOSFET", 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 1A.8, Technical Report of IEICE pp.30-35, Daejeon, Korea, June 29-July1, 2011.
38. T. Sasaki and T. Endoh, "Suppression of Gate Leakage Current with Slim Pillar Type Vertical MOSFET", 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 1A.9, Technical Report of IEICE pp.36-40, Daejeon, Korea, June 29-July1, 2011.
39. A. Kobayashi and H. Na, T. Endoh, "Study of Vertical MOSFET based MOS Current Mode Logic", 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 1A.13, Technical Report of IEICE pp.54-58, Daejeon, Korea, June 29-July1, 2011.
40. Moon-Sik Seo and Tetsuo. Endoh, "FG Width Scalability of the 3-D vertical FG NAND with the Sidewall Control Gate (SCG)", 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 1B.5, Technical Report of IEICE pp.75-80, Daejeon, Korea, June 29-July1, 2011.
41. Yuto Norifusa and Tetsuo Endoh, "Evaluation of Performance in Vertical 1T-DRAM and Planar 1T-DRAM" 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 3A.10, Technical Report of IEICE pp.225-230, Daejeon, Korea, June 29-July1, 2011.
42. H. Na, and T. Endoh, "A Schmitt Trigger Based SRAM with Vertical MOSFET", 2011 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2011), 3B.11, Technical Report of IEICE pp.271-274, Daejeon, Korea, June 29-July1, 2011.
43. Anyang Wang, Kousuke Tanaka, Mitsuhiro Arikawa, Masakazu Muraguchi, and Tetsuo Endoh, "Size Effect of Self-Heating in Vertical MOSFET", 2011 TOHOKU-SECTION JOINT CONVENTION OF INSTITUTES OF ELECTRICAL AND INFORMATION ENGINEERS, JAPAN, 1A01, Technical digest p1, Tagajo, Japan, August 25-26, 2011.

44. A. Kobayashi, Y. Ma and T. Endoh, "Low-power sub GHz Vertical MOSFET based MCML", 2011 Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers, 1A02, p2, Tohoku Gakuin University Tagajo Campus, Tagajo, Japan, August 25-26, 2011.
45. Hyoungjun Na and Tetsuo Endoh, "A Compact Half Select Disturb Free SRAM Cell with Stacked Vertical MOSFET", 2011 International Conference on Solid State Devices and Materials (SSDM2011), F-2-5, Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials pp.973-974, Nagoya, Japan, September 28-30, 2011.
46. Moon-Sik Seo and Tetsuo Endoh, "Disturb-free 3D vertical FG NAND with Separated-Sidewall Control Gate", 2011 International Conference on Solid State Devices and Materials (SSDM2011), F-3-3, Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials pp.979-980, Nagoya, Japan, September 28-30, 2011.
47. Tetsuo Endoh, "Impact of Vertical Structured Devices and Spintronic Devices for Future Nano LSI", International Workshop on Quantum Nanostructures and Nanoelectronics (QNN2011), Session: Devices and Circuits, Tokyo, Japan, October 4, 2011. (Invited)
48. Tetsuo Endoh, "Vertical Structured Cells and Vertical Stacked Cells for Nano-Generation High Density Memory", 220th ECS Meeting, Session: E9-ULSI Process Integration 7, Boston, USA, October 10, 2011. (Invited)
49. Tetsuo Endoh, "3D Vertical Structured Memory and Spintoronic Memory Technology", 1st Annual World Congress of Nano-S&T, Track 2-2: Nanowires, Molecular Electronics and Nanodevices, Dalian, China, October 23, 2011. (Invited)
50. Tetsuo Endoh, "Impact of Vertical Structured devices for Future Nano LSI", Impact of Vertical Structured devices for Future Nano LSI", AVS 58th International Symposium and Exhibition, Session: Electronic Materials and Processing, Dielectrics for Novel Devices and Process Integration, Session No. EM-MoM10, Abstract No.71, Nashville, USA, October 31, 2011. (Invited)
51. Yitao Ma, Tadashi Shibata and Tetsuo Endoh, "A Vertical-MOSFET-Based Digital Core Circuit for High-Speed Low-Power Vector Matching", International SoC Design Conference (ISOC 2011), S11-1, pp. 203-206, Jeju, Korea, November 17-18, 2011.
52. Hyoungjun Na and Tetsuo Endoh, "A High Efficient and Compact Charge Pump with Multi-pillar Vertical MOSFET", 2012 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA2012), Session 8, No. 6, pp.1-2, Hsinchu, Taiwan, April 23-25, 2012
53. Moon-Sik Seo, Jong-Moo Choi, Sung-kye Park and Tetsuo Endoh, "Highly Scalable 3-D Vertical FG NAND Cell Arrays Using the Sidewall Control Pillar (SCP)", 4th IEEE International Memory Workshop (IMW 2012), Session 2, No. 5, Milano, Italy, May 20-23, 2012
54. Takuya Imamoto and Tetsuo Endoh, "The Asymmetric I-V Characteristics of Vertical MOSFET Induced by Tapered Silicon Pillar", 2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2012), 2A.2, Technical Report of IEICE pp.38-42, Okinawa, Japan, June 27-29, 2012

55. Hyoungjun Na and Tetsuo Endoh, "A High Performance SRAM Sense Amplifier with Vertical MOSFET", 2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2012), 2A.3, Technical Report of IEICE pp.43-47, Okinawa, Japan, June 27-29, 2012
56. Takuya Imamoto and Tetsuo Endoh, "Novel Field Effect Diode type Vertical Capacitorless 1T-DRAM Cell with Negative Hold Bit Line Bias Scheme for Improving the Hold Characteristics", 2012 International Conference on Solid State Devices and Materials (SSDM2012), B-1-2, pp.588-589, Kyoto, Japan, September 25-27, 2012
57. Hyoungjun Na and Tetsuo Endoh, "A DRAM Sense Amplifier Circuit by Multi-pillar Vertical MOSFET Realizing Sub-1V Core Voltage Operation without Overdrive Technique", 2012 International Conference on Solid State Devices and Materials (SSDM2012), J-5-4, pp.1148-1149, Kyoto, Japan, September 25-27, 2012
58. T. Imamoto and T. Endoh, "Improvement of Self-Heating Effect Employing Vertical-Channel Field-Effect-Diode 1T-DRAM," in proceeding of 16th International Workshop on Computational Electronics (IWCE), pp: 102-103, Nara, Japan, June 4-7, 2013.
59. A. Wang and T. Endoh, "Reduction of Self-Heating Effect in CMOS Inverter of Vertical MOSFET by Common-Gate Layout," in proceeding of 16th International Workshop on Computational Electronics (IWCE), pp: 140-141, Nara, Japan, June 4-7, 2013.
60. Takuya Imamoto and Tetsuo Endoh, "Impact of Tapered Silicon Channel on the Asymmetric I-V Characteristics of nanoscale Double Gate MOSFETs," in proceeding of 2013 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), pp: 211-215, Seoul, Korea, June, 2013.
61. Anyang Wang and Tetsuo Endoh, "Analyzing Self-Heating Effect in CMOS Inverter of Vertical MOSFET," in proceeding of 2013 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), pp: 166-170, Seoul, Korea, June, 2013
62. Kazuki Itoh and Tetsuo Endoh, "A Novel Alternating Voltage Controlled Current Sensing Method for Suppressing Thermal Dependency," in proceeding of 2013 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), 7B-3, pp: 288-292, Seoul, Korea, June, 2013.
63. Satoru Tanoi and Tetsuo Endoh, "A low voltage operated current mirror for analog designs with deep submicron vertical MOSFETs," in proceeding of 2013 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), pp: 233-237, Seoul, Korea, June, 2013.
64. M. Muraguchi and T. Endoh, "Size Dependence of Electrostatic Lens Effect in Vertical Pillar Type MOSFET," in proceeding of 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka Japan, September 24-27, 2013.
65. T. Imamoto and T. Endoh, "Excellent Scalability Including Self-Heating Phenomena of Vertical-Channel Field-Effect-Diode (FED) Type Capacitorless One Transistor DRAM Cell," in proceeding of 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka Japan, September 24-27, 2013.

66. Takuya Imamoto, Tetsuo Endoh, "Suppression of Self-Heating Effect Employing Bulk Vertical-Channel Bipolar Junction Transistor (BJT) Type Capacitorless 1T-DRAM Cell," IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (IEEE S3S Conference 2013), Session 8a.4, Monterey, USA, October 7-10, 2013.

<小池G> (国内会議 5件、国際会議 12件)

<国内会議>

1. 根石浩司、V.K.Dixit、松本賢治、伊藤仁、佐藤浩、保坂重敏、小池淳一(東北大学、東京エレクトロン)、CVD法による先端LSI-Cu配線用MnO_xバリア層形成と信頼性評価、第14回LSIにおける原子問題・応力輸送研究会、東京、2009/7/27-28.
2. 根石浩司、佐川哲也、須藤祐司、小池淳一、"CVD-MnO_xによるCuダイレクトコンタクト構造の拡散バリア性と電気的特性"、応用物理学会、2009年9月8-11日、富山
3. 佐川哲也、根石浩司、須藤祐司、小池淳一、"CVD-MnO_xバリア層を用いたCuダイレクトコンタクト形成と電気特性"、日本金属学会、2009年9月15-17日、京都
4. 黒川温子、N. M. Phuong、須藤祐司、小池淳一、"アミディネート前駆体を用いたMn酸化物の化学気相成長"、日本金属学会、沖縄、11月7日
5. 黒川温子、小池淳一、須藤祐司、安藤大輔、"アミディネート前駆体を用いたCVD法によるMnO_xの形成"、日本金属学会、愛媛、2012年11月

<国際会議>

1. Kouji Neishi(Tohoku University), "Influence of moisture on the CVD formation of a MnO_x barrier layer", Advanced Metallization Conference, Asian Session, Tokyo, Oct. 2008
2. K. Neishi, V. Dixit, S. Aki, J. Koike, K. Matsumoto, H. Sato, H. Itoh, and S. Hosaka; "Adhesion and Cu diffusion barrier properties of a MnO_x barrier layer formed with thermal MOCVD", Materials Research Society, San Francisco, USA, April 13-17 2010.
3. V. Dixit, K. Neishi and J. Koike, "Electronic transport properties of Cu/MnO_x/SiO₂/p-Si MOS devices", Materials Research Society, San Francisco, USA, April 13-17 2010.
4. K. Matsumoto, K. Neishi, H. Itoh, H. Sato, S. Hosaka, and J. Koike, "Deposition behavior and diffusion barrier property of MnO_x", Int. Interconnect Technol. Conf., Sapporo, June 1-4 2009.
5. K. Neishi, T. Sagawa, Y. Sutou and J. Koike, "Thin MnO barrier formation with CVD for Cu contact plug on nickel silicide", Advanced Metallization Conf., Baltimore, USA, August 13-15 2009.
6. K. Matsumoto, K. Neishi, H. Itoh, H. Miyoshi, H. Sato, S. Hosaka, and J. Koike, "Effects of Water Desorption from Dielectric Substrates on the Thickness of MnO_x Diffusion Barrier Layer Formed by Chemical Vapor Deposition", Advanced Metallization Conf. 19th Asian Session, Tokyo, October 19-21 2009.
7. Nguyen Mai Phuong, Kouji Neishi and Junichi Koike, Effect of adsorbed moisture type in TEOS substrates on the growth of the MnO_x barrier layer for LSI interconnect application, Joint Symposium on Materials Science and Engineering for the 21st Century, Daejeon, Korea, June 27-30, 2010.

8. Nguyen Mai Phuong and Junichi Koike, A diffusion barrier layer of manganese oxide formed by chemical vapor deposition on TEOS-SiO₂ substrates, International Conference on Electronic Materials and Nanotechnology for Green Environment, Jeju, Korea, November 21-24, 2010.
9. N. M. Phuong, K. Matsumoto, K. Maekawa, and J. Koike, "Structure and barrier properties of a manganese oxide formed by chemical vapor deposition", Mater. Res. Soc. Spring Meeting, San Francisco, April 27.
10. J. Koike, "Possibilities of CVD Mn oxide as a diffusion barrier layer for advanced LSI interconnections", Mater. Res. Soc. Spring Meeting, San Francisco, April 27, 2012 (Invited)
11. N. M. Phuong, Y. Sutou and J. Koike, "Thermal stability of MnOx Diffusion barrier layer formed by chemical vapor", Advanced Metall. Conf. Asian Session, Tokyo, September 13, 2012
12. J. Koike, A. Kurokawa, Y. Sutou, T. Hamada, K. Matsumoto, et al., "Simultaneous formation of a metallic Mn layer and a MnOx/MnSixOy barrier layer by chemical vapor deposition at 250°C", Advanced Metallization Conference, USA, 2012年10月

③ ポスター発表 (国内会議 4 件、国際会議 12 件)

<遠藤G> (国内会議 4 件、国際会議 11 件)

<国内会議>

1. 遠藤 哲郎、馬 奕涛、村口 正和、鈴木 保彦、田野井 聡、安田 幸夫、大澤 隆、小池洋紀、有川 晃弘、東 琴衣、“3次元構造が導く次世代グリーン LSI 技術”、東北大学 電気・情報 東京フォーラム 2011、東京、2011 年 11 月 18 日 (ポスター展示)
2. 遠藤 哲郎、“3次元構造が導く次世代グリーン LSI 技術、東北大学 イノベーションフェア 2012、東京、2012 年 3 月 15 日 (ポスター展示)
3. 遠藤哲郎、「グリーンパワー集積システムと集積エレクトロニクス技術が切り開く省エネ社会」(テーマ1:グリーンパワー集積システムが拓く賢い省エネ社会、テーマ2:集積エレクトロニクス技術が切り開く省エネ社会)、東北大学イノベーションフェア 2013、仙台、2013 年 1 月 17 日
4. 遠藤 哲郎、「縦型ボディチャネル MOSFET とその集積プロセスの開発」、JST CREST 「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」領域 第二回公開シンポジウム、東京、2013 年 2 月 8 日

<国際会議>

1. K. Sakui and T. Endoh, "A High Efficient, Low Power, and Compact Charge Pump by Vertical MOSFET's", International Semiconductor Device Research Symposium (ISDRS2009), WP9-07-17, MD, USA, Dec. 9-11, 2009.
2. K. Sakui and T. Endoh, "A new vertical MOSFET Vertical Logic Circuit (VLC) MOSFET suppressing asymmetric characteristics and realizing an ultra compact and robust logic circuit", International Semiconductor Device Research Symposium (ISDRS2009), WP9-07-18, MD, USA, Dec. 9-11, 2009.
3. Nguyen Mai Phuong, Koji Neishi, Seung-Min Chung and Junichi Koike, Influence of the annealing process of TEOS-SiO₂ substrate on the formation of manganese oxide layer by chemical vapor deposition, 2010 MRS Spring Meeting Symposia, San Francisco, April 5-9, 2010.

4. Takeshi Sasaki and Tetsuo Endoh, "Body Channel Type Vertical MOSFET to Suppress Gate Leakage Current", 2011 International Conference on Solid State Devices and Materials (SSDM2011), P-3-11, Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials pp.104-105, Nagoya, Japan, September 28-30, 2011.
5. Satoru Tanoi and Tetsuo Endoh, "A Wide-Range Tunable Level-Keeper using Vertical MOSFETs for Current-Reuse Systems", 2011 International Conference on Solid State Devices and Materials (SSDM2011), P-5-10, Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials pp.178-179, Nagoya, Japan, September 28-30, 2011.
6. Satoru Tanoi and Tetsuo Endoh, "A 3-mW/Gbps 1.8-V Current-reuse LVDS Driver with 30% Power Reduction using Vertical MOSFETs", 2012 International Conference on Solid State Devices and Materials (SSDM2012), PS-5-6, pp.152-153, Kyoto, Japan, September 25-27, 2012
7. T. Sasaki and T. Endoh, "Gate Leakage Reduction of Vertical MOSFET with High-k Dielectric Film Employing Gate Dielectric Capacitance Oriented Design," in proceeding of 16th International Workshop on Computational Electronics (IWCE), pp: 188-189, Nara, Japan, June 4-7, 2013.
8. A. Itagaki, M. Muraguchi and T. Endoh, "Intrinsic Region Length Dependence of Vertical Double Gate IMOS," in proceeding of 16th International Workshop on Computational Electronics (IWCE), pp: 190-191, Nara, Japan, June 4-7, 2013.
9. A. Wang and T. Endoh, "Layout Design Considering Electro-thermal Properties for CMOS Inverter Composed of Multi-pillar Vertical MOSFET," in proceeding of 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka Japan, September 24-27, 2013.
10. T. Sasaki, M. Muraguchi, M. Seo, S. Park and T. Endoh, "Effect with Nano Dot Type Storage Layer Structure on Channel Region in 20nm Planar NAND Flash Memory Cell," in proceeding of 2013 International Conference on Solid State Devices and Materials (SSDM), Fukuoka Japan, September 24-27, 2013.
11. Takeshi Sasaki and Tetsuo Endoh, "Gate Length Scaling of High-k Vertical MOSFET toward 20nm CMOS Technology and beyond," IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (IEEE S3S Conference 2013), Session 7.10, Monterey, USA, October 7-10, 2013.

<小池G>(国内会議 0件、国際会議 1件)

<国際会議>

1. Nguyen Mai Phuong, Koji Neishi, Seung-Min Chung and Junichi Koike, Influence of the annealing process of TEOS-SiO₂ substrate on the formation of manganese oxide layer by chemical vapor deposition, 2010 MRS Spring Meeting Symposia, San Francisco, April 5-9, 2010.

(4)知財出願

①国内出願 (10件)

②海外出願 (8件)

③その他の知的財産権
該当なし

(5)受賞・報道等

①受賞

1. 受賞名:IEEE Sendai Section Student Award 2010 「The Encouragement Prize」
受賞論文:New Phenomena in the Dependency of $1/f$ Noise Characteristics on Temperature for SiON/Poly-Si Gate N-type MOSFET
受賞者:Takuya Imamoto, Takeshi Sasaki, Tetsuo Endoh
掲載学会:2010 TOHOKU-SECTION JOINT CONVENTION RECORD OF ELECTRICAL AND INFORMATION ENGINEERS (平成 22 年度電気関係学会東北支部連合大会)
2. 受賞名:IEEE Sendai Section Student Award 2011 「The Encouragement Prize」
受賞者:A. Kobayashi, Y. Ma, T. Endoh
受賞論文:Low-power sub-GHz Vertical MOSFET based MCML
掲載学会:2011 TOHOKU-SECTION JOINT CONVENTION RECORD OF ELECTRICAL AND INFORMATION ENGINEERS (平成 23 年度電気関係学会東北支部連合大会), 1A02, p2, Tagajo, Japan, August 25-26 2011
受賞月日:2011 年 11 月 29 日
3. 仙台市国際産学連携フェロー就任、遠藤 哲郎、2010 年 6 月
得られた縦型ボディーチャネルMOSFETのデバイス技術・回路技術とそのIP・プロセス製造技術の成果発表及び本技術に基づく国際産学連携研究活動が評価され、2010年6月に仙台市長より、仙台市国際産学連携フェローを拝命し、NHK、仙台放送などで放映されると共に、日本経済新聞や河北新報でも取り上げられた。東北大学のホームページでもトップページに掲載された。
4. 仙台市国際産学連携フェローに再任、遠藤 哲郎、2012 年 7 月
5. 第 6 回応用物理学会フェロー表彰、遠藤 哲郎、2012 年 9 月 11 日
本CRESTの研究課題を含む、研究代表者の長年にわたる「不揮発性メモリの実用研究と立体構造メモリ・ロジックの先導研究」に関する研究業績が評価された結果、応用物理学会より応用物理学の発展に顕著な貢献をした者に授与されるフェロー表彰を受けるに至った。

②マスコミ(新聞・TV等)報道

1. 化学工業日報、「次世代 MOS 型電界効果トランジスタ 縦型3次元構造を提案 東北大省エネ・小型化実現へ」、平成 25 年 3 月 28 日 H24
(※NHK より全国放送「AtoZ」向けとして、縦型 MOSFET による大容量 DRAM に関して取材を受ける。しかし、当日番組の編成上、「AtoZ」の放送がなかった。)H21

③その他

- 第 10 回 JST 理事長記者説明会、「縦型 CMOS デバイスで目指す 究極の3次元集積回路」、遠藤哲郎、平成 25 年 3 月 28 日

(6)成果展開事例

①実用化に向けての展開

- 縦型ボディーチャンネル構造のワーキングメモリおよびアナログLSIへの JST-ACCEL での展開
(§ 1(4)研究の今後の展開についてから再掲)

JST から ACCEL への研究提案の申請の打診を受け、申請者が本CRESTにてロジック集積回路をモチーフに開発してきた縦型ボディーチャンネルMOSFETを発展させ、縦型ボディーチャンネルMOSFETに基づく高密度メモリ(特にワーキングメモリである DRAM)から、アナログLSIまでの実用化開発を、CRESTにて共同研究を行い、信頼関係を築いてきたエルピーダメモリ、東京エレクトロンというデバイス技術、設計技術からプロセス技術に至る産業界のリーディングカンパニーと産学連携体制にて行うことを提案し、採択された。これにより、これまでのプレーナテクノロジーのプラットフォームを塗り替えて、ナノ世代に対応した新しい3次元テクノロジーのプラットフォームを企業が実用化に本気で取り組むレベルにまで発展させることを目標とする。

- パワーデバイスへの展開 (§ 1(4)研究の今後の展開についてから再掲)

当初計画の研究テーマにはなかったが、縦型ボディーチャンネルMOSFETは、自己発熱現象に対して優れた放熱性能を有していることを初年度に発見し、その放熱性能を向上させるデバイス技術の構築や、マルチピラー縦型ボディーチャンネルMOSFETの提案・開発などの成果を出している。このテーマは、2011年に東北大学総長とともに、代表者の遠藤が経済産業大臣に非連続革新技術の1つとして技術説明を行った。また本テーマは、本年 CSTP が定めた5大テーマの1つであるパワーデバイスに合致する研究シーズでもあり、今後の展開を目指していきたい。

②社会還元的な展開活動

- ① 東北大学イノベーションフェア 2009-2013 にて研究成果の展示を行い、毎年数十名の企業関係者へ成果の PR を行っている。
- ② 東北大学シーズ集(<http://www.rpip.tohoku.ac.jp/seeds/profile/94/lang:jp/>)への掲載を行い、本研究成果の展開を図っている。
- ③ 東北大学オープンキャンパスにて、本研究成果を毎年一般公開している。
- ④ 得られた縦型ボディーチャンネルMOSFETのデバイス技術・回路技術とその IP・プロセス製造技術の成果発表及び本技術に基づく国際産学連携研究活動が評価され、仙台市国際産学連携フェローに2010年6月に仙台市長より、仙台市国際産学連携フェローを拝命し、地域社会への貢献を行っている。
- ⑤ 国内外の学会、セミナーにて招待講演の依頼を受け、研究成果を一般に情報を提供した。
(国内会議 10 件、国際会議 27 件 以下にリストを再掲)
<遠藤G>(国内会議 6件、国際会議 20 件)
<国内会議>
 1. 遠藤 哲郎、“3 次元構造と新機能融合が開く新しいシリコン集積回路”、電気学会「シリコンナノデバイス集積化技術調査専門委員会」、東京、2010年7月16日
 2. 遠藤 哲郎、“ナノ時代エレクトロニクスを切り開く縦型 MOSFET と 3 次元半導体集積回路技術”、第二回東北大学国際産学連携シンポジウム、東京、2010年2月22日
 3. 遠藤 哲郎、“縦型 MOSFET 技術に基づく 3 次元集積回路とその将来展望”、JEITA「技術戦略委員会省電力エレクトロニクス技術分科会」、東京、2010年9月10日
 4. 遠藤 哲郎、“構造融合・機能融合によるシリコンテクノロジーの新展開-シリコンテクノロジーの未来像を徹底的に考える-”、平成 22 年秋季第 71 回応用物理学会学術講演会、長崎、2010年9月16日
 5. 遠藤 哲郎、“STT RAM による不揮発性メモリの低消費電力システムへの新展開”、セミコンポータル SPI フォーラム-次世代携帯機器をけん引するストレージデバイス-、東京、2011年3

月22日(インターネットライブ接続にて講演)

6. 遠藤 哲郎、「テーマ 1:待機電力ゼロを目指した高度エネルギーマネージメント技術」「テーマ 2:エネルギー利用効率を飛躍的に高める集積エレクトロニクスデバイス技術」、JST/CRDS ナノテクノロジー・材料分野俯瞰ワークショップ、東京、2012年6月8日

〈国際会議〉

1. Tetsuo Endoh(Tohoku University), “Impact of Vertical structured devices for Future Nano LSI”, The 4th Handai Nanoscience and Nanotechnology International Symposium, Osaka, October 1, 2008.
2. Tetsuo Endoh(Tohoku University), “Impact of Vertical structured devices”, Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications, Nov 7, 2008.
3. T. Endoh, “Future high density memory with vertical structured device technology”, Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2009), 3B-2 Busan, Korea, June 24-26, 2009.
4. T. Endoh, “Impact of Vertical Structured Devices for Future Nano LSI”, IEEE The 2009 Lithography Workshop, July, 1 Idaho USA, 2009.
5. T. Endoh, “Impact of Spintronic devices for Future Nano Silicon base LSI”, IEEE Fifth International School and Conference on Spintronics and Quantum Information Technology SPINTECH V Kraków (Cracow), Poland, July 7-11, 2009.
6. T. Endoh, ”Impact of Vertical MOSFET for High Density Flash Memory”, SSDM2009, Rump session “Novel Lithography for more Moore/beyond CMOS and More than Moore” Oct. 8, 2009
7. Tetsuo Endoh, “Impact of Vertical Structured Devices and Spintronic Devices for Future Nano LSI”, SEMICON Korea 2010, S3-6, Seoul, Korea, February 3, 2010
8. Tetsuo Endoh, “Vertical MOSFET and 3 Dimensional Semiconductor Integrated Circuit Technology for Nano-Generation Electronics”, Tohoku University International Industry-University Collaborative Symposium, Tokyo, February 22, 2010
9. Tetsuo Endoh, ”Impact of Vertical Devices for Future Nano LSI”, Materials Research Society (MRS) 2010 Spring Meeting, USA, San Francisco, April, 9,2010
10. Tetsuo Endoh, “Future High Density Memory with Vertical Structured Device Technology”, International Conference on Solid-State and Integrated Circuit Technology, China Shan high, Nov. 2, 2010
11. Tetsuo Endoh, S. Ikeda, T. Hanyu, N. Kasai and H. Ohno, ” Nonvolatile Computer Systems and Memory Hierarchy Transformation with STT RAM Technology”, The 1st CSIS International Symposium on Spintronics-based VLSIs and The 7th RIEC International Workshop on Spintronisc, Abstract pp.17, Sendai, Japan, February 3-4, 2011
12. Tetsuo Endoh, “Spintronics-based VLSIs for Ultra Low power Nonvolatile Computer Systems”, 9th International Symposium on Nanotechnology of International Nanotechnology Exhibition and Conference, Tokyo, Japan, February 18, 2011
13. Tetsuo Endoh, “Impact of Spintronics Devices with Vertical MOSFET Technology for Future Nano-VLSI”, CMOS Emerging Technologies Meeting 2011, Session 6E, Whistler, Canada, June 17, 2011
14. Tetsuo Endoh, “3D CMOS Devices -Why do we need them and challenges”, 7th Annual SEMATECH Symposium Japan, Session 2, Tokyo, Japan, June 22, 2011
15. Tetsuo Endoh, “Impact of Vertical Structured Devices and Spintronic Devices for Future Nano LSI”, International Workshop on Quantum Nanostructures and Nanoelectronics (QNN2011), Session: Devices and Circuits, Tokyo, Japan, October 4, 2011
16. Tetsuo Endoh, “Vertical Structured Cells and Vertical Stacked Cells for Nano-Generation High Density Memory”, 220th ECS Meeting, Session: E9-ULSI Process Integration 7, Boston, USA, October 10, 2011
17. Tetsuo Endoh, “3D Vertical Structured Memory and Spintoronic Memory Technology”, 1st Annual World Congress of Nano-S&T, Track 2-2: Nanowires, Molecular Electronics and Nanodevices, Dalian, China, October 23, 2011

18. Tetsuo Endoh, "Impact of Vertical Structured devices for Future Nano LSI", Impact of Vertical Structured devices for Future Nano LSI", AVS 58th International Symposium and Exhibition, Session: Electronic Materials and Processing, Dielectrics for Novel Devices and Process Integration, Session No. EM-MoM10, Abstract No.71, Nashville, USA, October 31, 2011
19. Tetsuo Endoh, "Current Status of NAND Memories and its Future Prospect with 3D NAND Technology", ECS Prime 2012, Hawaii, USA, October 10, 2012
20. T. Endoh, "Impact of 3D structured Memory and Spintronics based NV-Memory for High Performance & Low Power Systems", SSDM2013 Short Course A. Fundamentals on Advanced CMOS/Memory technologies, Fukuoka, Japan, September 24, 2013.

<小池G>(国内会議 4 件、国際会議 7 件)

<国内会議>

1. 小池淳一(東北大学), "銅合金を用いた低抵抗・高信頼性デバイス配線の特徴", 機械学会関東支部講演大会, 明治大学, 2010.3.11
2. 小池淳一(東北大学), "先端 LSI-Cu 配線用 MnOx バリア層形成と信頼性評価", 日本金属学会, 京都, 2010/9/25
3. 小池淳一(東北大学), "Cu-Mn 合金の先端デバイス配線としての基礎と応用", 真空・表面科学合同講演会, 2010/11/6
4. 小池淳一、須藤祐司、根石浩司(東北大学), "先端半導体配線における自己形成バリア層の形成挙動と種々の特性", 日本金属学会秋期大会、京都, 2009/9/15

<国際会議>

1. J. Koike, S. M. Chung, K. Neishi and Y. Sutou (Tohoku University), "Cu-Mn alloy for advanced semiconductor interconnections", 18th PFAM, Sendai, 2009/12/14
2. J. Koike, S. M. Chung, K. Neishi, Y. Sutou (Tohoku University), "Cu-Mn Self-Forming Barrier and CVD-MnOx barrier for Advanced Interconnect Structures", 11th Int. Workshop on Stress-Induced Phenomena in Metallization, Dresden, 2010/4/12-14
3. J. Koike, S. M. Chung, K. Neishi, Y. Sutou (Tohoku University), "Novel Cu alloy interconnections for advanced semiconductors and displays", 2010 i-SEDEX, Seoul, 2010/10/12-16
4. J. Koike, "Self-formed barrier layer for advanced semiconductor interconnect" France-Japan Workshop 2009.11.1-3, Sendai, 2009
5. J. Koike, H. Sano, K. Hirota, Y. Sutou and K. Neishi, "Optimization of source-drain contact process with Cu-Mn alloys", International Display Workshop '09 2009.12.9-11, Miyazaki, 2009
6. J. Koike, Y. Sutou, and K. Neishi, "Cu alloy interconnection for advanced semiconductor application", Process and Fabrication of Advanced Materials (2009.12.12-14, Sendai)
7. J. Koike, "Possibilities of CVD Mn oxide as a diffusion barrier layer for advanced LSI interconnections", Mater. Res. Soc. Spring Meeting, San Francisco, April 27, 2011

§ 6 研究期間中の活動

6.1 主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
2008 年 11 月 7 日	Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications (西教授・遠藤主催)	Stanford University, Allen Center of Integrated Systems	120名	スタンフォード大学の西教授と共に、本ワークショップを主催し、米国、欧州、アジアの各国より総勢 120 名以上の研究者の参加を受けて、3次元構造トランジスタとその応用について議論した。

2010年 2月22日	第二回東北大学国際産 学連携シンポジウム	東京 大手町 サンケイプラ ザ	60名	得られた縦型ボディーチャネルMOSFETのデバイス技術・回路技術とそのIP・プロセス製造技術に関する成果について出展し、観客60名を集めた。
2010年 12月4日	Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications (西教授・遠藤主催)	Stanford 大	108名	3次元デバイスとその応用技術に関するワークショップをスタンフォード大学の西教授と東北大学の遠藤の2名で主催し、開催した。不況且つIEDMが東海岸で開催される年に、100名を越える研究者が、西海岸のスタンフォード大学を世界中から集まった。この会にて、東北大学の作井・遠藤がCRESTの研究成果発表を行った。また、3次元構造デバイスの今後の研究の推進に有益な情報収集ができた。
2010年 11月5日	Stanford and Tohoku Universities Joint Open Workshop on 3D Transistor and its Applications (西教授・遠藤主催)	東北大学 東京分室	138名	3次元デバイスとその応用技術に関するワークショップをスタンフォード大学の西教授と東北大学の遠藤の2名で主催し、開催した。初めての東北大学での開催であったが、渡辺領域代表にもご参加いただき、昨年を越える138名の研究者が参加した。この会にて、東北大学の遠藤がCRESTの研究成果発表を行った。また、3次元構造デバイスの今後の研究の推進に有益な情報収集ができた。
2011年 11月19日	Stanford & Tohoku University Joint Workshop (西教授・遠藤主催)	東北大学 東京分室	139名	3次元デバイスとその応用技術に関するワークショップをスタンフォード大学の西教授と東北大学の遠藤の2名で主催し、開催した。昨年に引き続き、2回目の東北大学での開催であったが、渡辺領域代表、遠藤領域参事にもご参加いただき、昨年を越える139名の研究者が参加した。この会にて、東北大学の遠藤がCRESTの研究成果発表を行った。また、3次元構造デバイスの今後の研究の推進に有益な情報収集ができた。

§ 7 最後に

■ 研究の目標から見た達成度および得られた成果の意義などの自己評価

はじめに、縦型ボディーチャンネルMOSFET及びその集積回路を試作するための設計・試作・評価を加速するため、および、本年3月11日に発生した東日本大震災にて被害を受けた設備の復旧に対して、加速資金を配分いただき、感謝申し上げます。おかげさまで、無事にここまで来ることができました。ここに御礼申し上げます。

研究の達成度・成果に関しては、国内の試作サービス環境の種々の変化を受けて、平成22年度より東京エレクトロンのアメリカサイト(Albany)の活用を取り込むなどのデバイス試作の場の再構築に加え、東日本大震災に伴う本年3月以降の試作活動の停滞を受けて、デバイス試作に遅延が生じたが、その一方で、H23年度からは、研究期間前半からの積極的な国内外の学会でのアピール活動が実り、日本を代表するDRAMメーカーであるエルピーダメモリ株が本CRESTに参画する運びになった。これによりエルピーダメモリ株の参画により、集積回路レベルへの技術展開に関する研究開発を加速することが出来たことに、一定の自己評価をしている。さらに、この研究体制により、本研究で開発される技術において、デバイス技術・回路技術・プロセス技術の受け取り手としてのデバイスメーカ、プロセス製造技術の受け取り手としての装置メーカーをメンバーとする事ができた。得られた成果としては、前章§4で記述したデバイス技術・回路技術・設計技術・材料プロセス技術に関するこれまでの研究成果は、国際誌の原著論文に51件、口頭発表95件(国内会議:12件、国際会議:66件)、ポスター国際会議発表:12件、知材出願:45件(国内出願:10件、未公開特願4件、海外出願:8件 未公開特願23件)にて世界に向けて情報発信をしており、この結果を受けて、研究期間の間に海外を中心に招待講演37件(国内会議:10件、国際会議:27件)の招聘を受けるといった評価を受けてきた。このことは、本研究成果に対し、世界の科学者・技術者が高い関心を寄せている結果であると理解している。

本研究課題遂行により得られた、3次元縦型ボディーチャンネルMOSFETの次世代集積回路のユニバーサルプラットフォームへの端緒を基に、今後の研究成果の実用化展開を進めていく所存である。

■ 今後の研究の展開

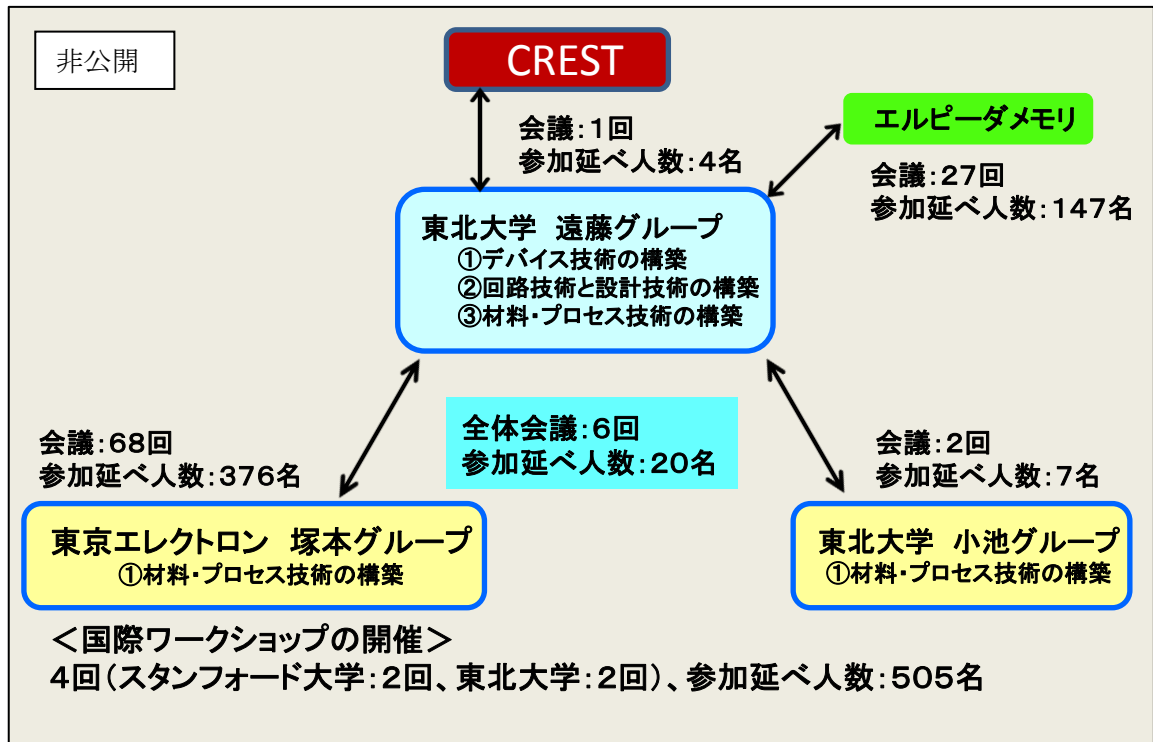
本研究課題の今後の研究展開として、ロジック向けに申請者がCRESTにて開発してきた縦型ボディーチャンネルMOSFETを発展させて、縦型ボディーチャンネルMOSFETに基づく高密度メモリ(特にワーキングメモリであるDRAM)から、アナログLSIまでの実用化開発を、CRESTにて共同研究を行い信頼関係を築いてきたエルピーダメモリ、東京エレクトロンというデバイス技術、設計技術からプロセス技術に至る産業界のリーディングカンパニーと産学連携体制にて行うことを計画している。これにより、これまでのプレーナテクノロジーのプラットフォームを塗り替えて、ナノ世代に対応した新しい3次元テクノロジーのプラットフォームを企業が実用化に本気で取り組むレベルにまで発展させることを目標とする。この新たな研究展開は、JSTから打診をいただいた、ACCELへ応募させていただき採択された。

■ 研究代表者としてのプロジェクト運営について

研究代表者として、コアメンバーである東京エレクトロン塚本グループとは計会議59回と拠点の離れている企業との共同研究を有機的に進めるため、月1回を超えるペースで情報共有を行い、研究進捗をタイムリーに把握し、その時々々に適切なかじ取りを行うことができた。また、同じ東北大内の東北大学小池グループとは、随時連絡を取り合い、適切なタイミングで情報共有を行い、研究の進め方について意見を交換し、研究課題をクリアしていった。さらに、H23年度より参画したエルピーダメモリとも緊密な連携をとり、研究開発を進めた。これに加え、コアメンバーの意識共有を行うため、計5回の全体会議を持ち、最終目標に向けて常に意識を共有できるようマネジメントを行

った。また、本 CREST 領域の領域総括にも、適宜研究全体の進捗をご報告し、研究の進め方・課題設定について助言・激励をいただいた。マネジメントにおいて特に心がけたのは、情報共有は頻繁に行うが、一方で細かなことに口を出し研究開発の範囲を限定してしまわないことである。提案した縦型構造の持つ可能性を引き出すことに役割の垣根を作らず、メンバーの自主性を重んじた。その結果、当初想定を大きく超える成果を得ることが出来たと考えている。

また、グループ内にとどまらず、3次元縦型構造の国内外へのアピールとして、3次元デバイスとその応用技術にフォーカスして、Stanford&Tohoku University Joint Workshop を、スタンフォード大学の西教授と東北大学の遠藤の2名で主催し、開催した。さらに年に数回ずつの市民公開・企業向けのフェアへの参画を戦略的に行い、国内外の研究者・企業関係者に本提案の3次元縦型ボディーチャンネル MOSFET の優位性とその将来性のアピールと更なる展開へ向けた布石を打った。



遠藤哲郎代表者グループ(東北大学)



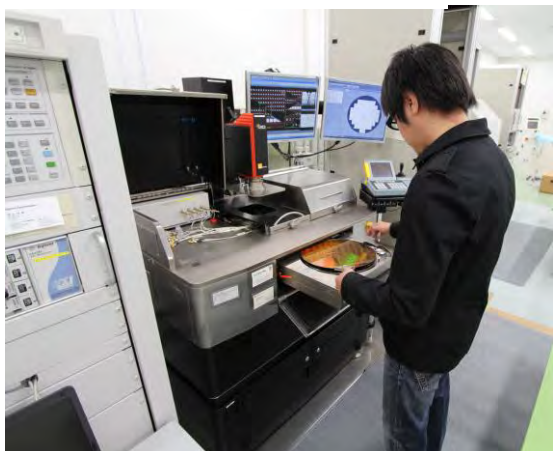
東京エレクトロン 塚本グループ



東北大学 小池グループ



東北大 遠藤グループの 300mm ウエハ
対応セミオートプローバシステムと 1/f
ノイズ測定システムによる測定の様子



東北大 小池グループの成膜装置



主催した Stanford&Tohoku University Joint Workshop で講演する研究代表者と会場の様子

