

戦略的創造研究推進事業 CREST

研究領域

「次世代エレクトロニクスデバイスの創出  
に資する革新材料・プロセス研究」

研究課題

「ハーフメタル強磁性体を用いた  
スピン機能 MOSFET の開発」

研究終了報告書

研究期間 平成19年10月～平成25年3月

研究代表者: 菅原 聡

(東京工業大学像情報工学研究所, 准教授)

## § 1 研究実施の概要

### (1) 実施概要

本研究課題は、従来のエレクトロニクス分野で用いられることのなかったキャリアのスピンの自由度・機能を MOSFET に導入し、スピンの自由度を用いた新しいシリコン集積回路技術を構築するための基礎体系を創出することを目的としている。本研究課題は、①ハーフメタル強磁性体ソース/ドレイン・スピン MOSFET の開発、②強磁性トンネル接合(MTJ)を用いた擬似スピン MOSFET およびフルホイスラー合金 MTJ の開発、③スピン機能 MOSFET (スピン MOSFET, 擬似スピン MOSFET)を用いた低消費電力・高機能集積回路の開発に関する3つの研究項目から構成される。

「ハーフメタル強磁性体ソース/ドレイン・スピン MOSFET の開発」ではスピン MOSFET 実現の要であるハーフメタルソース/ドレインの形成技術について研究開発を行った(東工大)。ハーフメタル強磁性体である Si 含有フルホイスラー合金  $\text{Co}_2\text{FeSi}$ (CFS)や  $\text{Co}_2\text{FeSi}_{1-x}\text{Al}_x$ (CFSA)を CMOS プロセスに整合する RTA によるシリサイド化によって薄膜形成する方法を確立した。さらに、フルホイスラー合金のハーフメタル性に重要な規則度の評価方法を新たに提案・確立して、本方法を用いて、RTA によるシリサイド化によって形成したフルホイスラー合金が極めて高い規則度(世界最高水準)の完全配向  $L2_1$  構造を有することを明らかにした。また、高規則度のフルホイスラー合金を得るためにはシリサイド化が極めて重要であることも示した。次に、このフルホイスラー合金をスピン MOSFET のソース/ドレインに用いる場合に、最も有望な接合構造となるフルホイスラー合金を薄いトンネルバリアを介して真性 Si チャンネルに接合する構造について検討を行った。Si 表面をラジカル酸窒化することで形成した極薄膜 SiON 膜上に、非晶質 Si 薄膜と遷移金属を連続堆積し、これを RTA によってシリサイド化することで、遷移金属の Si 基板への拡散を抑え、高規則度完全配向  $L2_1$  構造のフルホイスラー合金を電極とするトンネル接合構造が形成できることを明らかにした。通常、フルホイスラー合金を Si へ直接接合すると、フルホイスラー合金電極のフェルミエネルギーは Si のミッドギャップ近傍にピンされるが、CFSA を用いればこのトンネル構造におけるデピンニング効果と、CFSA の Al 組成による仕事関数制御によって、実効的なバリア高さをスピン MOSFET のソース/ドレインへ十分に応用できる程度まで低減できることを明らかにした。また、CFSA/SiON/Si 接合を用いたスピン蓄積評価デバイスを作製し、スピン注入に伴う Hanle 効果の観測に成功した。以上の結果は、ハーフメタルをソース/ドレインとするスピン MOSFET の実現に極めて重要なブレイクスルーとなる。

「MTJ を用いた擬似スピン MOSFET およびフルホイスラー合金 MTJ の開発」では通常 MOSFET と MTJ を回路的に組み合わせ、スピン MOSFET と同等の動作を実現できる(MRAM 技術で実現できる)スピン MOSFET を提案し、開発を行った。はじめに、MTJ の高精度な SPICE モデルを開発して、擬似スピン MOSFET の機能・性能予測を行い、その有用性を明らかにするとともに設計法を確立した(東工大)。次に、フルホイスラー合金(CFAS,  $\text{Co}_2\text{FeAl}$ ; CFA)を用いて、実用的な  $\text{SiO}_2$  表面上に高性能 MTJ を形成する技術を確立して、室温で高い TMR(最大 175%)を実現した(NIMS)。この MTJ と MOSFET を集積化することによって(東大)、擬似スピン MOSFET を実現して、その機能を実証した(評価は東工大)。

また、フルホイスラー合金(CFAS, CFA)を用いた MTJ の革新的な高性能化を実現した(NIMS)。代表的成果としては、CFA を用いた MTJ において室温 360%、低温 785%という巨大な TMR を実現した。また、CFAS を用いた CPP-GMR デバイスを作製し世界で初めてホイスラー合金を用いた素

子におけるスピン注入磁化反転を実現, スwitchingの閾値電流密度  $J_{c0}=9.3 \times 10^6$  A/cm<sup>2</sup>を達成し, ホイスラー合金を用いることによるスピン注入磁化反転の低閾値電流化の可能性を実証した. さらに, 熱酸化 Si 基板上の CFA を用いた低抵抗 MTJ 素子のスピン注入磁化反転においても  $10^6$  A/cm<sup>2</sup> 台の低閾値電流密度を達成した. これらの結果はそれぞれスピン MOSFET および擬似スピン MOSFET の磁化反転に有望な結果である. 将来の高集積化のための垂直磁化 MTJ についても開発を行い, 世界に先駆けて垂直磁化のホイスラー合金 MTJ の作製に成功し, 垂直磁気異方性  $K_u=3 \times 10^6$  erg/cm<sup>3</sup>, 室温 TMR 比=91%を得た. 以上のように, フルホイスラー合金を用いたスピンドバイスを開拓し, 有効性を実証したが, それと同時に, フルホイスラー合金のハーフメタル材料としてのポテンシャルも明らかにした. さらに, CFAS を用いた MTJ 素子の詳細な評価・解析により, そのスピン分極率が低温で 0.93 に達すること, 室温においてもハーフメタルギャップが存在すること等を見いだした. スピン分極率の温度依存性の解析から, 室温での更なる高 TMR 化の指針も得た.

「スピン機能 MOSFET を用いた低消費電力高機能集積回路」では, 擬似スピン MOSFET を用いた不揮発性 SRAM と不揮発性フリップフロップおよびこれらを用いた不揮発性パワーゲーティングを提案し, 本研究課題で開発した擬似スピン MOSFET のシミュレーション技術を用いて, これらの回路およびアーキテクチャの動作検証・性能評価を行った(東工大). 特に, 不揮発記憶を活用したロジック回路におけるパワーゲーティングの Break even time (BET) を提案・定式化して, 不揮発性パワーゲーティングのマイクロアーキテクチャの開発および性能評価から, その具現性を明らかにした. 不揮発性 SRAM では, バイアス制御による BET の削減方法を確立し, さらに MTJ へのストア動作を省略してシャットダウンと行うことで BET を大幅に削減する種々のアーキテクチャ, BET 以下のスタンバイ時に双安定回路が情報を失わない程度に電源を削減することでさらに低消費電力化できるスリープモードを併用するアーキテクチャ等を提案して, その効果・有効性を明らかにした. 不揮発性フリップフロップに関しては, バイアス制御が不適当であることから, 擬似スピン MOSFET のデザインで BET を効果的に削減できる方法を開発した. さらに, 不揮発性フリップフロップがロジック回路に占める割合が BET に与える効果を明らかにして, 正確に BET を評価できる方法を開発した. この不揮発性 SRAM と不揮発性フリップフロップによる不揮発性パワーゲーティングを用いたマルチコア・プロセッサを提案し, システム性能を劣化させることなくエネルギー削減効率を最も高めることのできるメモリ階層構造の不揮発化の方法を提案した. さらに, FPGA についても不揮発性 SRAM と不揮発性フリップフロップを用いた不揮発性パワーゲーティングの導入を提案し, その動作解析からこの FPGA の有用性を明らかにした. この FPGA は従来の FPGA と完全なコンパチビリティを持ち, また, FPGA において最大の消費電力のあるコンフィギュラブル配線による消費電力を削減できる. これらの特徴は, これまでに提案された不揮発を導入した FPGA では実現できない.

\* 上記文中でははじめに出てきた CFSa を後で CFAS とも表記してあるところがある. これは各グループのこの材料に対するとらえ方の違いに由来するものであるため, あえて統一はしていない.

## (2) 顕著な成果

1. 擬似スピン MOSFET, これを用いた不揮発性 SRAM, 不揮発性フリップフロップ, 不揮発性パワーゲーティング・アーキテクチャ.

概要: MRAM 技術で実現できるスピントランジスタ(擬似スピン MOSFET)を提案して, これを用いて実現できる不揮発性 SRAM, 不揮発性フリップフロップの提案を行った. この回路の特徴は, 通常動作と不揮発動作が分離できることで, これによって不揮発の機能を回路性能を劣化

させることなく、ロジックシステムに導入できる画期的なアイデアである。不揮発性パワーゲーティングはこの考えに基づき考案したスタンバイパワーの究極的な削減アーキテクチャである。また、不揮発性ロジックの分野で Break-even time の概念を初めて導入・定式化して、この分離の効果・有効性を定量評価した。上記はすべて世界初の試みである。

## 2. フルホイスラー合金を用いた真性シリコンへのバリアハイト制御トンネル接合の形成。

概要: Si 表面をラジカル酸窒化した極薄膜 SiON 膜上に、RTA によるシリサイド化によってフルホイスラー合金を形成して、フルホイスラー合金/SiON/真性 Si トンネル接合を形成に成功した。通常、非晶質絶縁膜上に直接、高品質のフルホイスラー合金を形成することはできないが、本方法では、高規則度の高配向 L21 型フルホイスラー合金の形成が可能である。また、SiON 膜を用いることで、フルホイスラー合金の形成過程における遷移金属の Si 基板への拡散も防げる。さらに、CFSA の Al 組成によって仕事関数制御が可能であることをはじめて見出し、この CFSA を電極とすることで実効的なバリア高さを十分に低減したトンネル接合を真性 Si に対して形成することができることを明らかにした。この構造を用いて、スピン注入に伴う Hanle 効果を観測した。

## 3. ハーフメタルホイスラー合金の開発と巨大 TMR およびスピン注入磁化反転の実現: 世界初

概要:  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  (CFAS) ホイスラー合金を用いた MTJ を作製し、室温でハーフメタルギャップを初めて観測した。また、 $\text{Co}_2\text{FeAl}$  (CFA) ホイスラー合金を用いた交換バイアス型 MTJ を MgO 基板および熱酸化 Si 基板上に作製し巨大 TMR を得るとともに、低抵抗 MTJ 素子を作製し、いずれの基板においてもスピン注入磁化反転を実現した。PS-MOSFET 試作に適用された。

## 4. ホイスラー合金を用いた垂直磁気異方性の実現とそれを用いた垂直 MTJ の作製: 世界初

概要: Cr/CFA/MgO 構造を作製し CFA と MgO との界面磁気異方性による垂直磁気異方性を実現した。さらに、CFA/MgO/CoFeB 構造を用いて垂直磁化 MTJ の作製に成功し、室温で 91% の TMR を得た。将来の高集積スピン MOSFET/PS-MOSFET への応用が期待される。

## § 2. 研究構想

### (1) 当初の研究構想

本研究課題は、以下の3項目から構成される。以下、スピン MOSFET を S-MOSFET, 擬似スピン MOSFET (pseudo-spin-MOSFET) を PS-MOSFET と略す。また、この2つの総称としてスピン機能 MOSFET と表すこともある。

- ① ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発,
- ② 強磁性トンネル接合(MTJ)を用いた PS-MOSFET およびフルホイスラー合金 MTJ の開発,
- ③ スピン機能 MOSFET を用いた高機能集積回路の機能実証

#### ① ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発

##### ①-1 RTA によるハーフメタル・フルホイスラー合金の形成(東工大)

CMOS プロセスに整合する方法でハーフメタル強磁性体(HMF)を形成する。SOI(Si-on-insulator)基板を用いて、Rapid thermal annealing (RTA)によるシリサイド化反応を利用することによって、HMF となる  $L2_1$  構造フルホイスラー合金の構造制御・物性制御などを行う。RTA による  $L2_1$  構造フルホイスラー合金  $Co_2FeSi$ (CFS)の形成法をベースとして、(i)フルホイスラー合金のハーフメタル性に重要な規則度の評価方法を確立する。(ii)CFS に含まれるIV族元素 Si の一部をIII族元素である Al などに変えることによってフェルミ準位の制御可能な  $Co_2FeSi_xAl_{1-x}$  (CFSA)の RTA による形成を試みる。また、ショットキー接合のデピンニングのため、(iii) 非晶質絶縁膜上に直接 CFS, CFSA を形成する。このために、非晶質絶縁体上に形成したアモルファス Si を用いて、上記と同様の手法によってフルホイスラー合金を形成する方法を確立する。

##### ①-2, 3 フルホイスラー合金/Si 接合の形成とバリアイト制御(東工大), およびフルホイスラー合金メタル・ソース/ドレイン MOSFET の試作(東工大) [同時実施項目のため、まとめて記載]

強磁性体から半導体へのスピン注入では、強磁性体/半導体接合におけるバリアイトの制御が重要になる。本研究課題ではフルホイスラー合金/シリコン界面に形成される(実効的)ショットキー障壁を制御するため、(i)シリサイド化反応におけるドーパントの偏析現象を利用する。低エネルギーのイオン注入などによって Si 表面にドーパントを導入してから、RTA によるシリサイド化反応によってフルホイスラー合金を形成する。このとき、高濃度のドーパントがフルホイスラー合金とシリコンとの接合界面の非常に狭い範囲内に偏析する。この高濃度に偏析したドーパントの効果によって実効的なショットキー障壁高さを下げる(または障壁幅を極端に薄くする)。また、(ii)フルホイスラー合金と Si の界面に非常に薄い絶縁膜(トンネルバリア)を導入してデピンニングを行い、またフルホイスラー合金の仕事関数制御から、このデピン接合の実効的バリアイトの制御を試みる。(ii)の構造は真性 Si への接合も可能であり、スピン注入に関してはより有望な構造であるが、実現するためのハードルは高い(薄いトンネルバリア上に高品質高配向フルホイスラー合金の作製は例がなく、またフルホイスラー合金の仕事関数制御についてもこれまでに全く報告はない)。

CFS, CFSA を S/D とした MOSFET を作製し、この電気特性から CFS, CFSA/Si 接合に関連する評価を行う。プロセスが容易であることなどから、トランジスタ構造としては SOI 基板を用いたボトムゲート構造とする。このデバイスのオン特性およびオフ特性から CFS(A)/Si 接合に関する諸特性

および接合のバリアハイト制御の効果を検証する。

#### ①-4 フルホイスラー合金/Si 接合によるスピン注入とスピン伝導の実現(東工大)

上述の研究項目で開発した CFS,CFSA をハーフメタル電極とした Si への接合構造を用いて, スピン注入/スピン伝導の評価デバイスを作製し, スピンバルブ効果, Hanle 効果等から, スピン注入/スピン伝導を評価する. 高効率のスピン注入を実現できるフルホイスラー合金と Si との接合構造や, CFSA のフェルミエネルギー制御の最適化を行う. また, 測定には3端子スピン蓄積デバイスや4端子非局所デバイス等を用いた従来の評価方法も用いるが, スピン注入/伝導の評価の必要十分条件である Hanle 効果による多重振動信号を効率的に観測できるデバイス構造およびこれを用いたスピンドイナミクスの評価法を提案して, スピン注入・伝導の詳細を検討する.

#### ①-5 フルホイスラー合金ソース/ドレイン・スピン MOSFET の作製・評価(東工大)

上記①-1から①-4の結果から, 最適なスピン MOSFET のデバイス構造を決定し, 試作・評価を行う. スピン MOSFET におけるスピン依存出力特性を実現して, その機能実証を行う.

#### ①-6 スピン MOSFET へのスピン注入磁化反転の導入(NIMS・東工大)

スピン MOSFET を集積回路上で有効に用いるために必要となるソースまたはドレインのスピン注入磁化反転を実現する. フルホイスラー合金を用いた CPP-GMR 構造をソースまたはドレインに導入し, スピン注入磁化反転による磁化反転を実現する. これは主に②-2 で MTJ のスピン注入磁化反転とともに NIMS-G が担当する.

### ②強磁性トンネル接合を用いた PS-MOSFET の開発およびフルホイスラー合金 MTJ の開発

#### ②-1 巨大 TMR 比ハーフメタル MTJ の作製(NIMS)

従来フルホイスラー合金を用いた高 TMR 比の MTJ はすべて単結晶の MgO(100) 基板上に作製されてきたが, MOSFET との集積化を試みるため, SiO<sub>2</sub> (熱酸化膜上または層間絶縁膜) 上に高 TMR 比の MTJ を作製する技術開発を行う. フルホイスラー合金としてはまずは 100% の TMR を得ることを目途に, 開発済みの Co<sub>2</sub>FeAl<sub>0.5</sub>Si<sub>0.5</sub>(CFAS)を使用する. その後, プロセス改善とともにフルホイスラー合金の組成を検討し, TMR の向上を目指す.

#### ②-2 低電流スピン注入磁化反転技術の開発(NIMS)

本研究課題ではフルホイスラー合金に対して, スピントランスファートルク(STT)に基づくスピン注入磁化反転(Current-induced magnetization switching: CIMS)を実現する. CIMSはナノ磁性体の磁化反転のスケーリングを可能にするスピントロニクス革新的な技術であるが, 一般にスイッチングのための臨界電流密度が10<sup>7</sup>A/cm<sup>2</sup>程度と大きいことが課題である. 本研究は, (a)開発したフルホイスラー合金を用いてMR比の大きいCPP-GMR材料を開発, その微小素子に対してCIMSの低電流密度化を実現し, スピンMOSFETの磁化反転への適用を検討する. (b)開発したフルホイスラー合金を用いて低抵抗でTMR比の大きいMTJ素子を作製し, CIMSを実現してPS-MOSFETへの適用化をはかる.

#### ②-3 PS-MOSFET の作製と機能実証(東工大・NIMS・東大)

MTJ と MOSFET を組み合わせた PS-MOSFET を作製し, 機能実証を行う. 設計には本研究課

題で開発するシミュレーション技術を用いる。MTJ の開発段階にあわせて、PS-MOSFET を試作し、機能評価を行う。まずは、TMR のみに着目して機能実証を行う。その後、スピン注入磁化反転による機能実証を目指す。

はじめに、SOI 基板を用いたボトムゲート構造 MOSFET を用いて MTJ との集積化を行い、基本的な機能実証を行う。次いでトップゲート構造 MOSFET を用いた構造に変更する。このトップゲート構造 MOSFET は外注ベンダーによるプロセスを用いる。役割分担は、東工大:PS-MOSFET の設計および評価、NIMS:MOSFET チップ上への MTJ の形成、東大:MOSFET と MTJ のプロセスインテグレーションである。

スピン注入磁化反転 MTJ の CMOS チップ上での微細加工・集積化の開発にはある程度の時間を必要とするため、NIMS グループでスピン注入磁化反転 MTJ 素子が実現できた後は、この MTJ と CMOS チップとをハイブリッド型で集積を行い、機能実証を行う。これは真の意味での集積化ではないが、スピン注入磁化反転 MTJ を用いた PS-MOSFET の機能実証を比較的容易に実現する。次いで、CMOS チップ上での MTJ のモノリシック集積化を目指す(これは下記②-4 で実施予定)。

#### **②-4 PS-MOSFET 作製のためのプロセス技術の開発(東大)**

外注ベンダー CMOS チップ上に MTJ の集積化を行い、PS-MOSFET を作製する。デバイスの設計は東工大、MTJ の作製は NIMS、デバイス加工の全般は東大の各グループで行う。東大で開発する具体的な作製技術は、ベンダー CMOS チップ表面平坦性確保の技術の確立、電子線描画を用いた高精度な位置合わせ技術の確立、MTJ の微細加工技術の確立(スピン注入磁化反転に対応した数 100nm オーダーの加工技術)、MTJ と MOSFET との配線つなぎこみ技術の確立である。

### **③スピン機能 MOSFET を用いた高機能ロジックの開発**

#### **③-1 PS-MOSFET を用いた回路シミュレータ技術の開発(東工大)**

MTJ の TMR 比、 $V_{half}$ 、面積抵抗積(RA)、スピン注入磁化反転のダイナミクスを取り込んだ MTJ の SPICE モデルを開発する。フルホイスラー合金系 MTJ やその他 CoFeB 系などの MTJ の諸特性や、スピン注入磁化反転なども実験結果と精度よく再現できるモデルを開発する。この MTJ モデルを用いて PS-MOSFET の性能予測と設計指針の確立を行う。

#### **③-2 PS-MOSFET を用いた高機能ロジックの提案・設計と性能予測(東工大)**

PS-MOSFET (または S-MOSFET) をインバータ・ループによる双安定回路の記憶ノードに接続すれば、不揮発性 SRAM (NV-SRAM)、不揮発性フリップフロップ (NV-FF) などの不揮発性パワーゲーティングに重要な不揮発性記憶回路を構成できる。はじめに PS-MOSFET を用いた NV-SRAM、NV-FF の性能予測を行うとともに、回路設計技術を確立する。また、PS-MOSFET を用いた NV-SRAM、NV-FF によるパワーゲーティング・システムの適応性評価とマイクロアーキテクチャの開発を行い、具体的なマイクロプロセッサや FPGA への応用について検討を行う。

PS-MOSFET (または S-MOSFET) を用いて CMOS インバータを構成すると、その論理閾値を磁化状態で変化させることができる。この論理閾値可変インバータの設計と回路性能評価を本研究課題で開発するシミュレータを用いて行う。また、このような論理閾値可変インバータの応用についても検討する。

### ③-3 PS-MOSFET を用いた高機能ロジックの試作と評価(東大(プロセス)・NIMS(MTJ)・東工大(設計・評価))

ベンダーCMOS チップを利用して PS-MOSFET や NV-SRAM セルなどを作製し機能評価を行う。機能評価のポイントは, (i)PS-MOSFET によるストア・リストア動作の原理実証, (ii)NV-SRAM セルなどの基本動作実証である。S-MOSFET でも開発状況によっては同様に進めることが可能となるが, S-MOSFET そのものの開発が本研究課題では重要となるため, PS-MOSFET による回路機能の実証が中心になる。(本項目は研究の進行状況から後述の③-4 に振り替えた)

## (2)新たに追加・修正など変更した研究構想

### ②-5 垂直磁気異方性をもつホイスラー合金およびそれを用いた垂直磁化 MTJ の作製(NIMS)

将来の S-MOSFET/PS-MOSFET の高集積化を考えたとき, MTJ 素子の耐熱性の向上は重要な課題である。これに対処するためには磁気異方性の大きい垂直磁気異方性(PMA)を有する MTJ 素子の開発が有効であり, CFA ホイスラー合金に PMA を付与する研究を行う。

### ③-4 ベンダープロセスによる NV-SRAM の評価(東工大)

②-4 項目のベンダーCMOS チップ上にスピン注入磁化反転 MTJ を集積化に時間を有することが判明したため, ②-3 項目で実施するスピン注入磁化反転 MTJ とベンダーCMOS を用いたハイブリッド集積化による機能実証の結果を用いて, 本研究課題で開発したシミュレーション技術がスピン注入の磁化反転を含めて, 定量評価できていることを確認し, 次いで, このベンダープロセスの SPICE パラメータを用いて, このベンダーで試作を行った場合の NV-SRAM の動作検証を行い, ③-3 項目の代替とする。



### § 3 研究実施体制

#### (1)「東工大」グループ

##### 1. 研究参加者

氏名	所属	役職	参加時期
菅原 聡	東京工業大学	准教授	H19.10～H25.3
山本 修一郎	東京工業大学	助教	H19.10～H25.3
周藤 悠介	東京工業大学	特任助教	H20.4～H25.3
相馬友一	東京工業大学	研究支援員	H24.4～H25.3
置塩 貴雄	東京工業大学	M2	H22.4～H25.3
悪七泰樹	東京工業大学	M1	H23.4～H25.3
富永 琢郎	東京工業大学	M1	H24.4～H25.3
川目 悠	東京工業大学	B4	H24.4～H25.3
Sadono Adiyudha	東京工業大学	B4	H24.4～H25.3
高村 陽太	東京工業大学	博士修了	H19.10～H24.10
佐藤 充浩	東京工業大学	修士修了	H21.4～H24.3
近藤 尚弥	東京工業大学	修士修了	H22.4～H24.3
影井泰次郎	東京工業大学	学部卒業	H23.4～H24.3
桜井 卓也	東京工業大学	修士修了	H20.4～H23.3
林 健吾	東京工業大学	修士修了	H20.4～H23.3
鮫島 圭一郎	東京工業大学	修士修了	H21.4～H23.3
橋詰 研志	東京工業大学	修士修了	H20.4～H22.3
長浜 陽平	東京工業大学	学部卒業	H19.10～H20.3
西島 輝	東京工業大学	学部卒業	H19.10～H20.3

##### 2. 研究項目

- ①**ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発**: RTAによるフルホイスラー合金の形成, フルホイスラー合金/Si 接合の形成とバリアハイト制御, スピン注入・伝道の評価, S-MOSFET の試作とそのトランジスタ性能評価・スピン依存伝導評価・機能実証.
- ②**強磁性トンネル接合を用いた PS-MOSFET の開発**: スピン注入磁化反転 MTJを用いた PS-MOSFET の設計, PS-MOSFET のプロセスデザイン/試作協力, PS-MOSFET の機能評価.
- ③**PS-MOSFET を用いた高機能ロジックの開発**: PS-MOSFET を用いた回路シミュレータの開発, PS-MOSFET を用いた不揮発性ロジックの提案・設計と性能予測, NV-SRAM, NV-FF 技術, 不揮発性パワーゲーティングの確立.

#### (2)「NIMS」グループ

##### 1. 研究参加者

氏名	所属	役職	参加時期
猪俣浩一郎	(独)物質・材料研究機構	名誉フェロー	H19.10～
三谷誠司	同上	スピントロニクスグループ長	H22.4～
介川裕章	同上	研究員	H19.10～
Ron Shan	同上	ポスドク	H20.4～21.3
Wenhong .Wang	同上	ポスドク	H21.4～H22.3
Zhen-Chao-Wen	同上	ポスドク	H22.4～

## 2. 研究項目

- ①**ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発**:フルホイスラー合金の材料技術協力, S-MOSFET に用いる CPP-GMR 素子のスピン注入磁化反転技術の開発
- ②**強磁性トンネル接合を用いた PS-MOSFET の開発**:フルホイスラー合金を用いた巨大 TMR 強磁性トンネル接合 (MTJ) 素子の開発・作製, 低電流スピン注入磁化反転技術の開発, PS-MOSFET に用いる各種 MTJ の作製.
- ③**PS-MOSFET を用いた高機能ロジックの開発**:PS-MOSFET 試作のための MTJ の作製・評価.

### (3)「東大」グループ

#### 1. 研究参加者

氏名	所属	役職	参加時期
田中雅明	東京大学	教授	H19.10～
中根了昌	東京大学	特任講師	H19.10～
大矢 忍	東京大学	准教授	H19.10～
ファムナムハイ	東京大学	特任助教	H19.10～
矢田慎介	東京大学	研究員	H19.10～H23.3
秋山了太	東京大学	D2	H22.4～H24.3
伴 芳祐	東京大学	D1	H22.4～
原田智之	東京大学	修士課程大学院生	H19.10～H20.3
國谷瞬	東京大学	修士課程大学院生	H19.10～H22.3
佐藤彰一	東京大学	M2	H21.4～
宗田伊理也	東京大学	M2	H21.4～
岡崎亮平	東京大学	M1	H22.4～H23.3

#### 2. 研究項目

- ②**PS-MOSFET 作製のためのプロセス技術の開発**:各種 MTJ を用いた PS-MOSFET のプロセス技術の開発を行う. 特に, CMOS チップと MTJ とのコンタクト・配線技術, CMOS 基板の表面平坦化技術, スピン注入磁化反転 MTJ の微細加工技術を確立する.
- ③**PS-MOSFET を用いた高機能ロジックの開発**:上記②で開発する技術を用いて CMOS 基板上に MTJ を集積化して, PS-MOSFET の作製を行い, NV-SRAM, NV-FF 作製のための基盤技術を確立する.

## § 4 研究実施内容及び成果

### 4.1 東京工業大学グループ

#### (1)研究実施内容及び成果

##### ①ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発

スピン MOSFET を実現するための重要課題は、ハーフメタル強磁性体(HMF)による強磁性ソース/ドレイン(S/D)技術の開発である。スピン MOSFET はそのデバイス構造から近年注目を集めているメタル S/D MOSFET の一種であると考えられるが、CMOS プロセスに整合できる HMF メタル S/D の形成と HMF/Si 接合におけるバリアハイト制御が重要な課題になる。そこで、RTA によるシリサイドーションを用いたフルホイスラー合金の形成方法を確立し、この方法によって高品質のフルホイスラー合金が形成できることを示した。このために重要となるフルホイスラー合金の規則構造の評価方法についても合わせて開発を行った。また、HMF/Si 接合におけるバリアハイトの制御が重要な課題になるが、これについても CMOS 技術で検討されている方法を適応した。すなわち、ショットキー接合におけるドーパントの界面偏析と、薄いトンネル膜を用いたデピン構造を用いて、HMF の仕事関数制御からバリアハイトの最適化を行った。(複数の方法でバリア高さ制御を行うのは、この系がこれまでにない新しいものであることから探索的アプローチが必要な状況にあったためである。)次に、これらの接合構造を用いてスピン注入を実証した。Si チャンネル内でのスピン伝導の精密な評価を行うためのスピン注入/伝導の評価方法も確立した。

##### ①-1 RTA によるハーフメタル・フルフルホイスラー合金の形成(東工大)

この研究項目では、CMOS プロセスに整合する手法で HMF を形成した。SOI(Si-on-insulator)基板を用いて、Rapid thermal annealing (RTA)によるシリサイド化反応を利用することによって、HMF となる  $L2_1$  構造フルホイスラー合金(図 1-1 参照)の構造制御・物性制御などを行った。RTA による  $L2_1$  構造フルホイスラー合金  $\text{Co}_2\text{FeSi}$ (CFS)の形成法をベースとして、(i)フルホイスラー合金のハーフメタル性に重要な規則度の評価方法を確立した。(ii)CFS に含まれるIV族元素 Si の一部をIII族元素であるAlに置換することでフェルミ準位の制御が可能となる  $\text{Co}_2\text{FeSi}_x\text{Al}_{1-x}$ (CFSA)のRTAによる形成を実現した。ショットキー接合のデピンニングのため、(iii)絶縁膜上に CFS, CFSA を形成する方法を確立した。これは非晶質絶縁体上に形成したアモルファス Si を用いて、上記と同様の手法によってフルホイスラー合金を形成する方法である。以下に結果を示す。

(100)面 SOI 基板上に Co と Fe を連続堆積して、RTA によるシリサイド化によって CFS 薄膜を形成した(図 1-2)。この RTA によって形成した CFS 薄膜の構造評価を詳細に行った。XRD, SIMS, RBS, PIXIE, TEM の詳細な評価から、RTA によって形成した CFS は、(110)面に完全配向したテクスチャ構造をとり、また、 $L2_1$  構造を持つことなどがわかった(図 1-3)。また、SQUID による磁性評価から、室温より十分に高いキュリー温度を持つことがわかった(図 1-3)。

フルホイスラー合金のハーフメタル性はその規則構造に強く依存しているため、フルホイスラー合金の規則度の評価技術を新たに確立した。従来用いられてきた Webster による方法の問題点を指摘し、これを修正した解析モデルを提案し、このモデルを用いて RTA によって作製した CFS 薄膜の規則度を定量的に評価することに成功した。RTA によって形成した CFS 薄膜の規則度における RTA 温度の依存性などを明らかにして、この薄膜がバルクと同程度の極めて高い規則度を

有することを明らかにした(図 1-4). また, フルホイスラー合金の  $L2_1$  構造には通常の X 線回折では評価できない  $DO_3$  構造と呼ばれるディスオーダーが存在することが近年明らかになってきた(評価には NMR やシンクロトロン方射光などの大掛かりな装置が必要となる).  $DO_3$  不規則化構造は  $A2$  構造と呼ばれる不規則化の一種であるためフルホイスラー合金のハーフメタル性を大きく劣化させるが, 通常の X 線回折では検出できない. そこで, Co 線源 X 線回折を用いた  $DO_3$  不規則化の新しい評価方法を提案した. 本手法は Co 線源 X 線による Fe と Co の原子散乱因子の大きさの違いに着目した方法で(吸収端近傍の異常散乱を利用),  $DO_3$  不規則化を定量評価できる. RTA によって作製した CFS 薄膜の  $DO_3$  不規則化は RTA 温度とともに減少し,  $800^\circ\text{C}$  の RTA 温度では  $DO_3$  不規則化の非常に少ない  $L2_1$  構造を実現できることを明らかにした(図 1-4). この開発した規則構造の評価方法は他のフルホイスラー合金にも適応できる汎用性の高い評価技術である(図 1-5). また, このシリサイド化による CFS の形成法では RTA 前の膜構造(Fe/Co/SOI となる積層構造順序)と, 最表面の酸化が形成した CFS の品質に大きく影響を与えることも明らかにした.

以上のフルホイスラー合金の形成方法は, フルホイスラー合金と Si のショットキー接合の形成に応用できる. 次節で述べるドーパントの界面偏析を用いたバリアハイト制御も可能である. 一方, ショットキー接合の界面に薄いトンネル膜を挟み込んで接合のデピンニングを行いバリアハイト制御を行う方法では薄い絶縁性薄膜(トンネルバリア)上に直接フルホイスラー合金を作製する必要がある. Si に相性の良い絶縁膜はほとんどが非晶質であるが, 一般に, フルホイスラー合金は非晶質絶縁膜上には直接形成できない. 本研究課題では, 非晶質絶縁膜上に堆積したアモルファス Si を用いて, RTA によってフルホイスラー合金を形成する方法を提案し, この方法を用いれば絶縁膜( $\text{SiO}_2$ )上に直接, (110) 配向  $L2_1$  構造の極めて規則度の高い CFS が形成できることを明らかにした(SOI の場合と同等の膜質). 次いで, フェルミレベルを制御できる CFSA の RTA による形成の検討を行った. CFSA は Al の組成によって, そのフェルミレベルをマイノリティギャップの中心近傍に配置させることが可能なため, スピン注入に適したハーフメタル材料である. はじめに RTA による CFS の形成と同様の方法によって CFSA の形成を試みた. Co, Fe, Al, SOI の多層膜を RTA した場合, どのような順序で積層膜を形成しても RTA 後の膜は激しいラフニングを起こして高品質の CFSA が得られないことが明らかになった. そこで, SOI 上に Co-Fe-Al 合金( $\text{Co}_2\text{FeAl}_{0.5}$ )をスパッタ堆積し, RTA によってシリサイド化する方法を提案した. この場合では, CFS の場合と同様の(110)配向で高規則度  $L2_1$  構造の CFSA が形成できることを明らかにした(図 1-6).

### ①-2, 3 フルフルホイスラー合金/Si 接合の形成とバリアハイト制御(東工大), およびフルホイスラー合金メタル・ソース/ドレイン MOSFET の試作(東工大)

強磁性体から半導体へのスピン注入では, 強磁性体/半導体接合におけるバリアハイトの制御が重要になる. 本研究項目ではフルホイスラー合金/シリコン界面に形成されるショットキー障壁を制御するため, (i)シリサイド化反応におけるドーパントの偏析現象を利用した. 低エネルギーのイオン注入などによって Si 表面にドーパントを極く浅く導入してから, RTA によるシリサイド化反応によってフルホイスラー合金を形成した. このとき, 高濃度のドーパントがフルホイスラー合金とシリコンとの接合界面の非常に狭い範囲内に偏析を生じ, この偏析によると考えられる効果によってショットキー障壁高さを下げることができた. また, (ii)フルホイスラー合金と Si の界面に非常に薄い絶縁膜を導入してデピンニングを行い, フルホイスラー合金の仕事関数制御によるバリアハイト制御を検討した. 以下に結果を示す.

SOI 基板を用いた RTA による CFS の形成技術を利用して, CFS をメタル・ソース/ドレインとしたスピン MOSFET の試作を行った. この場合, CFS のフェルミレベルが Si のギャップ中の深い位置にピンニングされ, 電流駆動能力は低く両極性動作となるがトランジスタ特性を確認できた. 次に,

ドーパント不純物の界面偏析現象を利用してバリアハイトの低減技術の検討を試みた。エネルギー10KeV, ドーズ量  $1 \times 10^{15} \text{ cm}^{-2}$  で As のイオン注入をソース/ドレイン領域に行い, この領域に Fe と Co を堆積して, RTA によるシリサイド化を行い CFS を形成した。この場合では MOSFET のオン電流が大きく増大して, As の界面偏析によると考えられるバリアハイトの低減が確認された(図 1-7)。このドーパントの界面偏析現象によるバリアハイト制御を MOSFET の電気特性から詳細に評価した(図 1-7)。As の界面偏析を行うことで, 電流駆動能力は大きく改善された。また, As の界面偏析によって, オン/オフ比は増大し, S ファクタおよび閾値は減少した。ドーパントの界面偏析技術がフルホイスラー合金/Si ショットキーバリアにも適応できることを明らかにした。

次に, ハーフメタル S/D 構造としてより具現性の高いトンネルコンタクト構造について検討を行った。まず, 薄い絶縁膜(トンネルバリア)を用いたデピン構造についても検討を行った。①-1 項目で述べたように, RTA によるシリサイド化は非晶質絶縁膜上の Si 含有フルホイスラー合金の形成にも有効であるが, 非晶質絶縁膜(熱酸化  $\text{SiO}_2$  など)の膜厚をトンネルバリア程度に薄くすると, RTA によるフルホイスラー合金の形成時に遷移金属元素がトンネルバリアを透過して Si 基板中の奥深くまで拡散してしまうことが明らかになった。そこで, トンネルバリアとして遷移金属の阻止能力の高い  $\text{SiON}$  膜を検討した。ECR スパッタで  $\text{SiON}$  膜を形成した場合には, 遷移金属透過の阻止の効果は確認できたが, 完全な抑止はできなかった。次に, Si 基板のラジカル酸化による  $\text{SiON}$  膜をトンネルバリアに用いることを提案した。この場合では, CFS の形成を行っても遷移金属元素の Si 基板中への拡散は完全に抑止できた(図 1-8)。形成した CFS は SOI 基板を用いて形成したものと同程度の極めて高品質な L21 構造であった。また, トンネルバリアとの界面において CFS の結晶構造の乱れは観測されず, 極めて急峻な界面構造が形成できることを確認できた(図 1-9)。

次に, 実効的なバリア高さの制御を行うため,  $n^+$ -Si 層をラジカル酸化し CFS の形成を試みた(CFS/ $\text{SiON}/n^+$ -Si トンネル構造)。この場合では CFS の形成時に遷移金属がトンネル膜中を多量に拡散して高品質な CFS 及びトンネル構造は形成できなかった(ラジカル酸化膜に含まれるドーパントの影響と考えられる)。そこで,  $n^+$ -Si 層上に真性 Si (i-Si)を薄く成長してトンネル構造の形成を試みた。この i-Si の膜厚は RTA によるドーパントの拡散を考慮してシミュレーションから決めた(寄生抵抗が生じず, また  $\text{SiON}$  にドーパントができるだけ取り込まれない膜厚を決めた)。本方法を用いることにより,  $n^+$ -Si 層上でも高品質な CFS を用いたトンネル構造を形成することができた。

最後に, フルホイスラー合金の仕事関数制御を行い, 最も理想的なスピン注入コンタクト構造であるフルホイスラー合金/ $\text{SiON}/i\text{-Si}$ トンネル構造について検討を行った。この構造では実効的なショットキーバリア高さを十分に下げることができれば, 伝導率不整合の問題回避のための接合抵抗をトンネルバリアの膜厚で制御することができ, また, i-Si をチャネルに用いることで, ドーパントによるスピン緩和を防ぐことができるといった特徴を持つ。ここでは CFSA に着目した。CFSA では Al の導入によって仕事関数が低くなっていることが期待できる(この着眼点も本研究課題がはじめてである)。RTA によって形成した CFSA をゲート電極とした MOS キャパシタを作製して, このフラットバンド電圧の変化から, Al の導入による CFSA の仕事関数の低減をはじめて明らかにした(図 1-10)。これまでの結果を総合すれば, 仕事関数制御ハーフメタルトンネルコンタクト S/D を用いた i-Si チャネルの究極のスピン MOSFET (図 1-11)を実現できる。

#### ①-4 フルホイスラー合金/Si 接合によるスピン注入とスピン伝導の実現(東工大)

CFS, CFSA/Si 接合を S/D としたスピン注入/スピン伝導の評価デバイスを作製し, スピン注入/スピン伝導を評価した。また, スピン注入/伝導の評価の必要十分条件である Hanle 効果による多重振動信号を効率的に観測できるデバイス構造を新たに提案して, Si チャネル内のスピンドイナミクスの詳細を検討した。

CFSA/SiON/Si 接合構造をスピン注入源とする3端子スピン蓄積デバイスを作製し、スピン注入に伴う Hanle 効果の観測に成功した(図 1-12)。強磁性電極に CFSA を用いたスピン注入をはじめて示すことができた。

さらに、スピン MOSFET をベースにした Hanle 効果による多重振動信号を検出できるデバイスを新たに提案して(図 1-13)、詳細に解析を行った。従来、スピン検出には4端子非局所デバイスや3端子スピン蓄積デバイスが用いられてきたが、これらの方法では Hanle 効果に基づく多重振動信号を得ることは難しい。一方、2端子では多重振動信号が得られる可能性があるがこれまでほとんど検討されていなかった。そこで、4端子非局所デバイスのもつスピン流の高効率抽出と2端子デバイスのこのような特徴をあわせもったスピン MOSFET 型の Hanle 効果スピンデバイスを提案した。詳細な理論解析から、このデバイスでは高感度に Hanle 効果に基づく多重振動信号を得ることができて、しかもこの振動周期は MOS 反転チャンネルにおける実効移動度と同じユニバーサルリティを持つことを明らかにした(図 1-14)。この特徴は MOS 反転チャンネルにおける各種散乱機構によるスピンダイナミクスを散乱機構ごとに定量評価することを可能とする画期的な評価方法である。

#### ①-5 フルホイスラー合金メタル・ソース/ドレイン・スピン MOSFET の作製・評価(東工大)

下記(2)に記載

#### ①-6 スピン MOSFET へのスピン注入磁化反転の導入(NIMS・東工大)

スピン MOSFET を集積回路上で有効に用いるために必要となるソースまたはドレインのスピン注入磁化反転の検討を行った。ソースまたはドレインに導入可能なフルホイスラー合金を用いた CPP-GMR 構造を用いて、スピン注入磁化反転による磁化反転を実現した。これは主に②-2 で MTJ のスピン注入磁化反転とともに NIMS-G が担当する(4-2 参照)。

### ② 強磁性トンネル接合を用いた PS-MOSFET の開発およびフルホイスラー合金 MTJ の開発

本研究項目では MTJ と通常の MOSFET を組み合わせた PS-MOSFET(図 1-15)を作製し、機能実証を行った。PS-MOSFET は既存の MRAM 技術を利用してスピントランジスタによる機能を CMOS ロジックに展開するための基盤技術となる。PS-MOSFET を用いれば、“スピントランジスタ”を早期にしかも比較的容易に CMOS ロジックの分野に取り込むことが可能となる。PS-MOSFET によってスピンの自由度を用いた新しい集積エレクトロニクスの基礎体系を創出することができる。CMOS 集積回路への応用を念頭においた高性能 MTJ を含む PS-MOSFET 技術の開発を行った。

#### ②-1 巨大 TMR 比ハーフメタル MTJ の作製(NIMS)

下記4. 2に記載(NIMS-G 担当)

#### ②-2 低電流スピン注入磁化反転技術の開発(NIMS)

下記4. 2に記載(NIMS-G 担当)

#### ②-3 PS-MOSFET の作製と機能実証(東工大・NIMS・東大)

MTJ と MOSFET を組み合わせた PS-MOSFET を作製し、機能実証を行った。設計には本研究課題で開発するシミュレーション技術を用いた(③-1 参照)。MTJ の開発段階にあわせて、PS-MOSFET を試作し、機能評価を行った。まずは、TMR のみに着目して機能実証を行い、その

後、スピン注入磁化反転による機能実証を行った。はじめに、SOI 基板を用いたボトムゲート構造 MOSFET を用いて MTJ との集積化を行い、基本的な機能実証を行い、次いでベンダープロセスによる MOSFET を用いて PS-MOSFET を構成する方法を採用した。役割分担は、東工大：PS-MOSFET/CMOS 回路部の設計および評価、NIMS: CMOS チップ上への MTJ の形成、東大：CMOS と MTJ のプロセスインテグレーションである。

SOI 基板を用いたボトムゲート MOSFET に関しては、As をソース/ドレイン領域のドーパントに用いて、比較的に良好な特性を有するボトムゲート MOSFET を実現した(下記 4-3 参照)。このボトムゲート構造 MOSFET とフルホイスラー合金を用いた交換バイアス型の MTJ を集積化して、PS-MOSFET の動作を検証した。MgO (10nm)/Co<sub>2</sub>FeAl (30nm)/Mg (0.5nm)/MgO (1.5nm)/CoFe (5nm)/IrMn (12nm)/Ru (7nm)の構造からなる MTJ を原子スケールで平坦な熱酸化シリコン膜上に形成して MOSFET との集積化を行った(図 1-16)。作製した PS-MOSFET の出力特性は、MTJ の磁化状態に依存して電流駆動能力が変化するスピン依存伝達特性が明瞭に観測され、PS-MOSFET がスピントランジスタとして動作できることを実証した(MOSFET 型でははじめてのスピントランジスタ動作の実証)。MTJ の電気特性を我々の開発した SPICE のマクロモデルで再現し、PS-MOSFET の出力特性をシミュレーションして実験結果と比較を行った。その結果、シミュレーション結果と実験結果とよく一致し、疑似スピン MOSFET の動作実証ができた。45%の比較的大きな磁気電流比を観測することができた(図 1-16; MOSFET 型スピントランジスタでは最大の磁気電流比を実現した)。

スピン注入磁化反転 MTJ の CMOS 基板上での微細加工・集積化の開発にはある程度の時間を必要とするため、ベンダー CMOS プロセスによるトップゲート MOSFET とスピン注入磁化反転 MTJ とをハイブリッド型集積化を行い、スピン注入磁化反転型 PS-MOSFET の機能実証を行った。ゲートバイアスによってスピン注入磁化反転と通常のスピントランジスタ動作を分離できる疑似スピン MOSFET 動作を実現した(図 1-17)。この動作は本研究課題で開発を行ったシミュレーション技術で定量的に予測できた(下記③-4 参照)。

## ②-4 PS-MOSFET 作製のためのプロセス技術の開発(東大)

下記4. 3に記載(東大-G 担当)

## ③ スピン機能 MOSFET を用いた高機能ロジックの開発

この研究項目では、スピン機能 MOSFET による“不揮発な情報の保持”と“再構成可能な出力”といった新たな自由度を用いた新概念のアーキテクチャによる高性能・高機能集積回路を創出する。特に、CMOS ロジックシステムの低消費電力化に極めて有効なパワーゲーティングに、不揮発性 SRAM(NV-SRAM)や不揮発性フリップ・フロップ(NV-FF)といった記憶回路回路を導入することで実現できる不揮発性パワーゲーティングについて回路技術の開発を行った。マイクロプロセッサと FPGA を不揮発性パワーゲーティングの具体的な対象として、PS-MOSFET を中心とした回路・アーキテクチャ技術の開発を行った。

### ③-1 PS-MOSFET を用いた回路シミュレータの開発(東工大)

CMOS 技術においては実測を完全に再現/予測できる SPICE(電子回路の動作をシミュレーションするソフトウェア)ベースの回路シミュレーション技術を確立することが必要となる。そこで、はじめに MTJ の SPICE 用高精度マクロモデルの開発を行った。このマクロモデルは NIMS グループによって開発されたフルホイスラー合金系 MTJ やその他 CoFeB 系などの MTJ の電気/磁気抵抗特性

を、スピン注入磁化反転とその時間領域における過渡応答を含めて忠実に再現することができる(図 1-18)。また、先に述べたハイブリッド集積化による擬似スピン MOSFET の試作・評価から、開発した MOSFET/MTJ 融合回路のシミュレーション技術の妥当性・定量性を確認できた。

次に、このシミュレーション技術を用いて、65nm から 22nm の各世代の最先端 MOSFET を用いた場合の擬似スピン MOSFET の性能を明らかにした。どの世代の MOSFET を用いても十分なスピントランジスタ動作(磁気電流比)が得られること、各世代における低減された電源電圧でもスピン注入磁化反転が可能であることなどを明らかにした(図 1-19)。さらに、磁気電流比のバイアスによる挙動や各種デバイスパラメータ(トランジスタサイズ、TMR 比、MTJ の RA など)の依存性を明らかにして、所望の特性の得られる擬似スピン MOSFET の設計技術を確立した。(図 1-20)。すなわち、開発した HSPICE シミュレーション技術を用いれば、PS-MOSFET の出力特性の予測および設計が可能であることを明らかにした。

### ③-2 PS-MOSFET を用いた高機能ロジックの提案・設計と性能予測(東工大)

PS-MOSFET を用いた NV-SRAM と NV-DFF(図 1-21)、およびこれらを用いた不揮発性パワーゲーティング(NVPG)を提案した(図 1-22)。我々の開発した MTJ の SPICE モデルを用いたシミュレーションから、提案した NV-SRAM、NV-DFF の動作確認を行い(図 1-23)、その性能予測を行った。特に、Break-even time (BET) といった従来のロジックシステムで用いられてきた概念を不揮発ロジックの分野にはじめて導入・定式化して(図 1-22)、ロジックシステムにおける不揮発活用の根本原則を提示し、この BET を指標とした NVPG の評価や、高性能化のためのアーキテクチャの開発を行った。

我々の提案した PS-MOSFET を用いた NV-SRAM/NV-DFF では PS-MOSFET によって双安定回路部から MTJ を電氣的に分離できる。通常の動作時には不揮発記憶(MTJ)は使用しない。電源遮断を行うときのみ(パワーゲーティングをかけるときのみ)、MTJ を用いて情報の不揮発保持を行う。この通常動作と不揮発記憶の機能分離によって、回路性能を劣化させることなく、不揮発の機能を双安定回路に導入することが可能となる。

この通常動作/不揮発記憶の機能分離の効果を各種 NV-SRAM セルのスタティックノイズマージン(SNM)から調べた(ここではワーストケースである読み出し動作の SNM を検証した)。MTJ を直接双安定回路に接続した各種 NV-SRAM セル では、SNM が激しく劣化すると予想されるが、PS-MOSFET を用いた NV-SRAM セルでは SNM の劣化は全く見られず、6T-SRAM の SNM と完全に一致した。この機能分離は NV-DFF についても効果的である。PS-MOSFET を用いた NV-DFF の動作速度のシミュレーションを行ったところ、PS-MOSFET を用いた NV-DFF では動作速度の劣化は通常の DFF に対してわずか数%以内に抑えられる。これも、通常動作時には PS-MOSFET によって MTJ をインバータ・ループから分離できることによる。一方、MTJ を双安定回路に直接接続した(分離が不可能な)NV-DFF では、回路性能は激しく劣化する。

我々の提案した NV-SRAM および NV-DFF のストア、リストア動作に与える MTJ 特性の影響から、これらの回路の設計について検討し、MTJ の TMR や  $V_{half}$  などのデバイスパラメータはかなりロバストに設計できることを明らかにした(大きな TMR 比や  $V_{half}$  は必ずしも必要ではない)。

NV-SRAM および NV-DFF の NVPG 応用では BET を小さくすることで、空間的・時間的最適細粒度の(エネルギー削減効率の高い) NVPG が可能となる。そこで、BET を指標としてパワーゲーティングへの適合性の検証を行い、提案した NV-SRAM および NV-DFF がマイクロプロセッサ等の不揮発性パワーゲーティングに十分に適応可能な BET を有していることを明らかにした。

次に BET を削減するためには通常動作時のリーク電流をできるだけ抑えることと、MTJ への書き込みに必要となるエネルギーをできるだけ小さくすることが重要になることを明らかにして(したがっ



て、BET を小さくするためにも通常動作時に不揮発記憶を使わない機能分離が重要となる), BET の効果的な削減方法を提案した. NV-SRAM では, PS-MOSFET のプロセス/サイズを変更せずに (閾値制御などを行わずに) バイアスのみでも BET を大きく減少させることができる駆動方法を見出した (BET は MTJ への書き込み電流による成分と, 通常動作時におけるリーク電流の増加による成分の2つに分けることができるが, とともに PS-MOSFET のバイアス制御で減らすことができる) (図 1-24). この方法を用いれば, 現行のパワーゲーティングよりも十分に細粒度の不揮発性パワーゲーティングを実現できることを明らかにした. さらに, MTJ へのストア動作を省略してシャットダウンと行うことで BET を大幅に削減する種々のアーキテクチャ, BET 以下のスタンバイ時に双安定回路が情報を失わない程度に電源を削減するスリープモードを併用することで平均消費電力をさらに減少させるアーキテクチャ等を提案して, その効果・有効性を明らかにした.

NV-DFF の BET の削減に関しては, NV-SRAM の場合と異なり, バイアス制御による駆動の導入は好ましくないことから, PS-MOSFET の W/L 比の最適化から BET を大幅に削減できる方法を示した (図 1-25). さらに NV-DFF ではロジック回路全体に対する NV-DFF の占有率が BET に大きな影響を与えることを明らかにし, これを定量的に評価した (図 1-25).

この NV-SRAM と NV-DFF よる不揮発性パワーゲーティングを用いたマルチコアプロセッサを提案し, システム性能を劣化させることなくエネルギー削減効率を最も高めることのできるメモリ階層構造の不揮発化の方法を提案した (図 1-26, 27).

さらに, FPGA についても NV-SRAM と NV-DFF を用いた不揮発性パワーゲーティングを提案し, その動作解析からこの FPGA の有用性を明らかにした. この FPGA は従来の FPGA と完全なコンパチビリティを持ち, また, FPGA において最大の消費電力のあるコンフィギュラブル配線による消費電力を削減できる. これらの特徴は, これまでに提案された不揮発を導入した FPGA では実現できない (図 1-28).

### ③-4 ベンダープロセスによる NV-SRAM の評価(東工大)

上述の②-3 項目で述べたベンダープロセス(350nm プロセス)で作製した MOSFET と NIMS で開発した MOSFET のハイブリッド集積化による機能実証の結果は, 本研究課題で開発したシミュレーション技術(MOSFET の SPICE パラメータに関してはベンダー提供)による結果と定量的に一致した (図 1-17 参照). この結果から, 同様にベンダープロセスと NIMS のスピン注入磁化反転 MTJ を用いて実現した場合の NV-SRAM の動作シミュレーションを行い, 期待通りの動作を実現できることを確認した.

## (2)研究成果の今後期待される展開

上述の結果から CFSA/SiON/i-Si トンネルコンタクトでは, 実効ショットキー障壁の十分な低減が可能で, また, この構造によるスピン注入も可能であることがわかった. 今後は, この構造における最適化(主に仕事関数および伝導率不整合回避のためのバリア膜厚の最適化)をおこなうことで高効率のスピン注入が実現可能であると考えられる. また, この CFSA は 4. 2 で述べるようにスピン注入磁化反転も可能である. これらのことから, このトンネル接合構造を用いたスピン MOSFET の実現をはじめとして, Si を用いた様々なスピンドバイスへの波及が期待できる.

MTJ と通常の MOSFET を組み合わせて実現できる PS-MOSFET を実現した. また, PS-MOSFET を用いた NV-SRAM, NV-DFF の有用性も示した. 特に, これを本研究課題で提案した不揮発性パワーゲーティングに応用した際のインパクトも示すことができた. PS-MOSFET をはじ

めとするこれらの技術は現在の MRAM(スピン RAM)技術もベースにした技術であることから、CMOS ロジックのプラットフォームに MRAM 技術を導入できれば実現可能である。本研究課題の成果を用いれば、従来および将来の CMOS 技術のみでは到達することのできない、省エネルギー効率の極めて高いロジックシステムを実現できると考えられる。はじめにサーバや一部の SOC への搭載から始めることができれば、その後はより一般的なマイクロプロセッサへと波及するパスが開かれると考えられる。

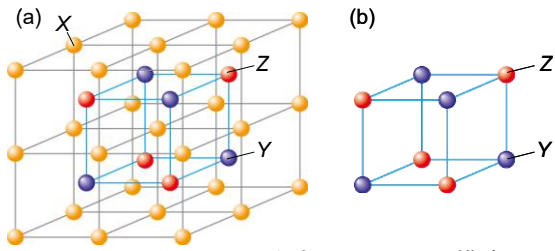


図 1-1 (a)フルホイスラー合金  $X_2YZ$  の  $L_{21}$  構造.(b) $L_{21}$  構造(図(a))における内側の副格子(YZ 格子). 内側の副格子にディスオーダーが入ると  $B_2$  構造となる. また外側の副格子(X 格子)にディスオーダーが入ると  $A_2$  構造となる.

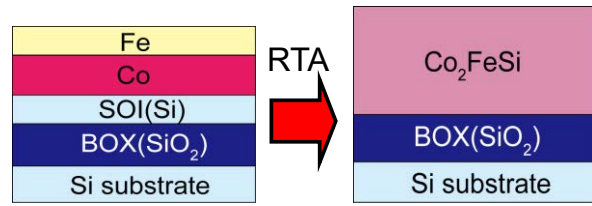


図 1-2 RTAによるシリサイド化を用いた Si 含有フルホイスラー合金の形成方法. 図は SOI 基板を用いた場合であるが, 熱酸化 Si 上にアモルファス Si を堆積し, その上に遷移金属層を堆積した構造でも実現できる.

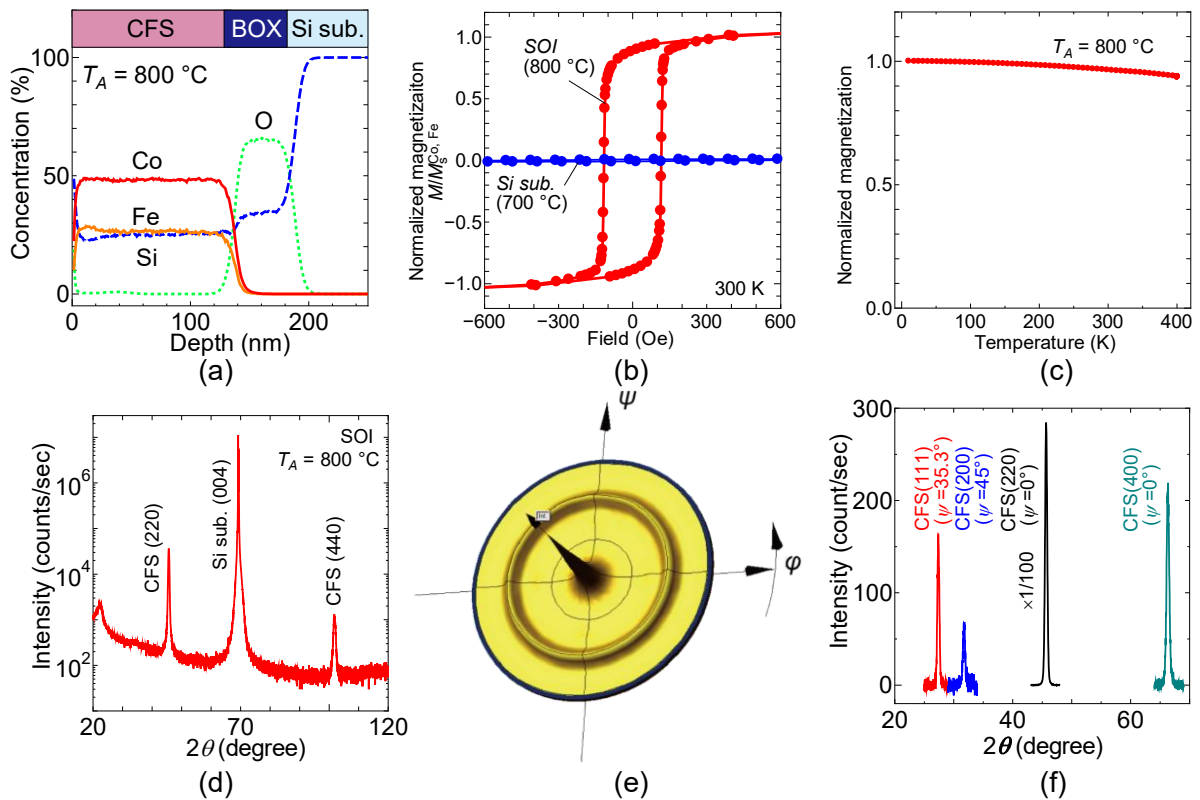


図 1-3 RTA によるシリサイド化によって形成した CFS の構造評価. (a)SIMS, (b)(c)SQUID, (d)XRD, (e)XRD 極点図, (f)XRD による規則格子線の測定結果. 化学量論組成の(110)完全配向  $L_{21}$  構造が実現できている.

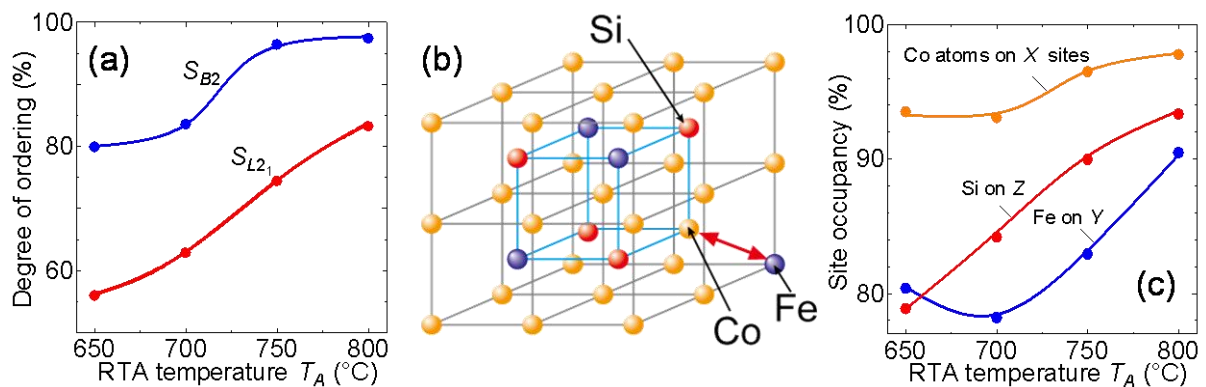


図 1-4 (a)CFS 薄膜の  $B_2$  規則度と  $L_{21}$  規則度の RTA 温度依存性. バルクと同程度の高い規則度が得られた. (b)Fe と Co の置換による  $DO_3$  不規則化. (c)サイト占有率の RTA 温度依存性. 各元素で 90%以上のサイト占有率となる理想的な  $L_{21}$  構造を実現できた.

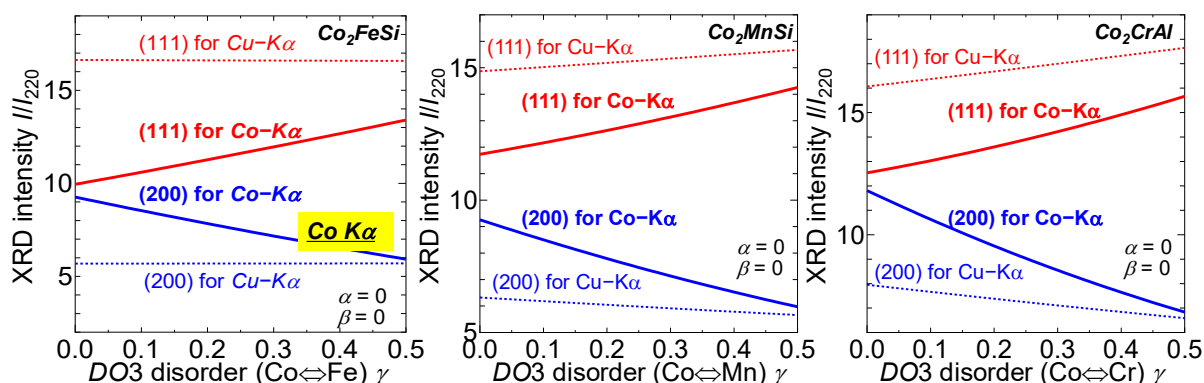


図 1-5 Cu 線源, Co 線源による規則格子線強度の DO<sub>3</sub> 不規則化依存性. Cu 線源では DO<sub>3</sub> 不規則化によって, 規則格子線強度の変化はあまりないが, Co 線源を用いることで DO<sub>3</sub> 不規則化を評価できるようになる (Co 線源による異常散乱の利用による). 本手法は Co<sub>2</sub>FeZ 系のみならず, Co<sub>2</sub>MnZ 系, Co<sub>2</sub>CrZ 系などスピントロニクスでよく使われるフルホイーラー合金に広く適用できる.

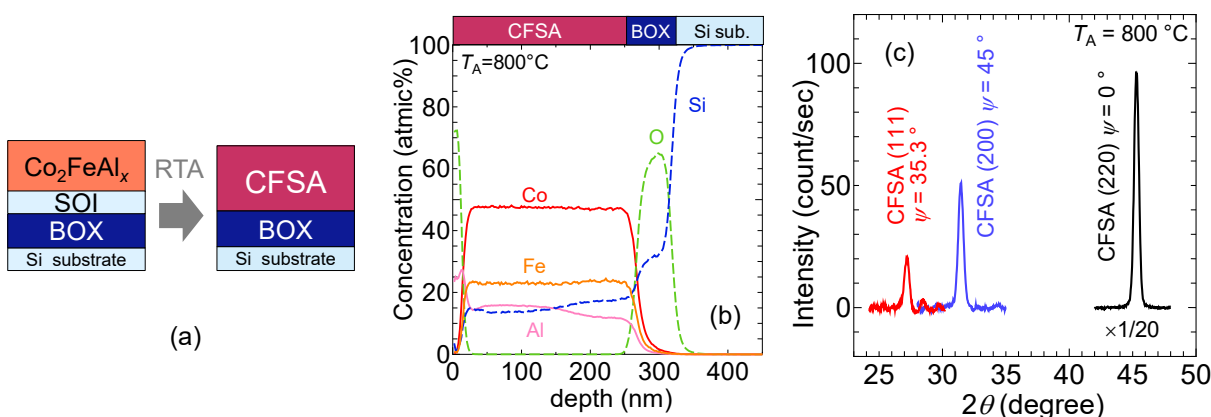


図 1-6 (a)RTA によるシリサイド化を用いた CFSA の形成方法. Cu 線源, (b)SIMS, (c)XRD による規則格子線の観測. Co-Fe-Al 合金をシリサイド化することで, 高品質の(110)配向高規則度 L2<sub>1</sub> 構造の CFSA が得られる.

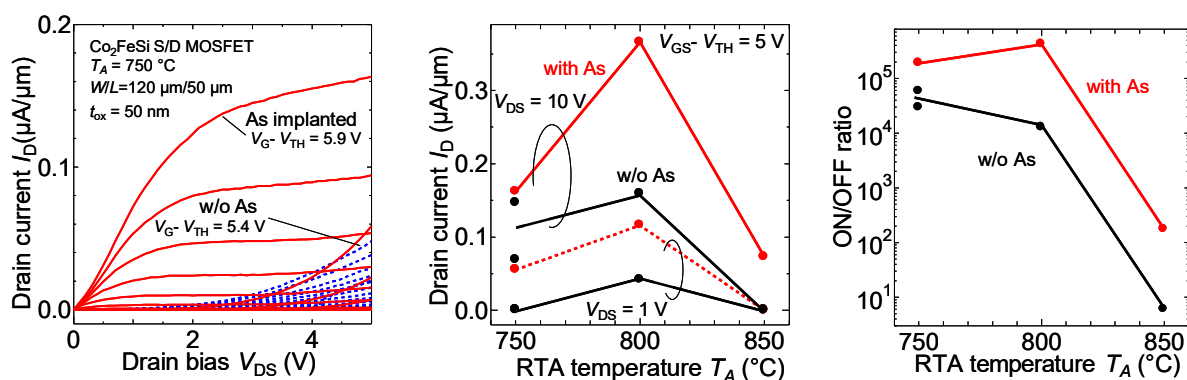


図 1-7 左図: As の界面偏析を利用した CFS/Si 接合をソース/ドレインとする MOSFET の出力特性. 中央図: オン電流の RTA 温度依存性. 右図: オン/オフ比の RTA 温度依存性. CFS/Si 接合においてもドーパントの界面偏析技術を利用して, バリアハイト制御ができることを示した.

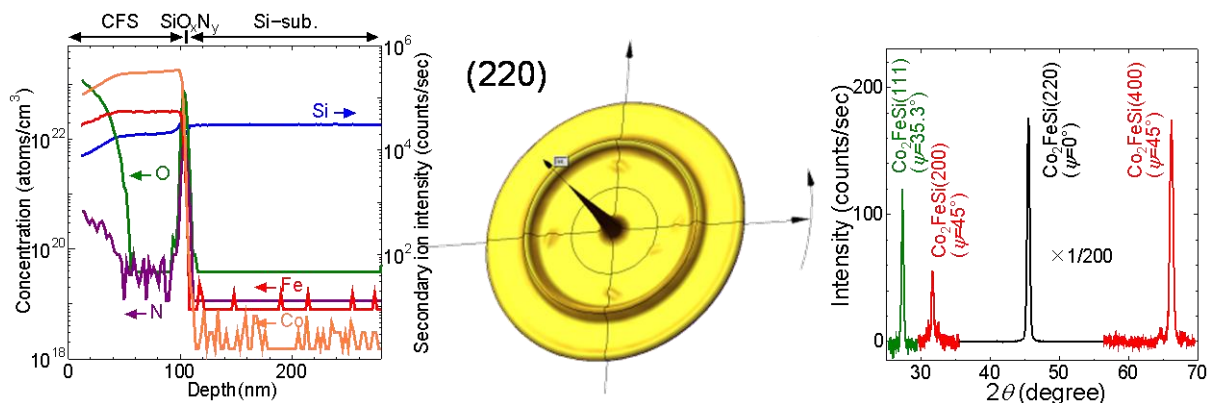


図 1-8 ラジカル酸化 SiON トンネルバリア上に形成した CFS の構造評価。(a)SIMS, (b)XRD 極点図, (c)XRD による規則格子線の観測結果。ラジカル酸化 SiON トンネルバリアを用いることで RTA 時における遷移金属の Si 基板への拡散を抑止できる。SOI 基板を用いた場合と同程度の高品質の CFS 薄膜を形成できる。

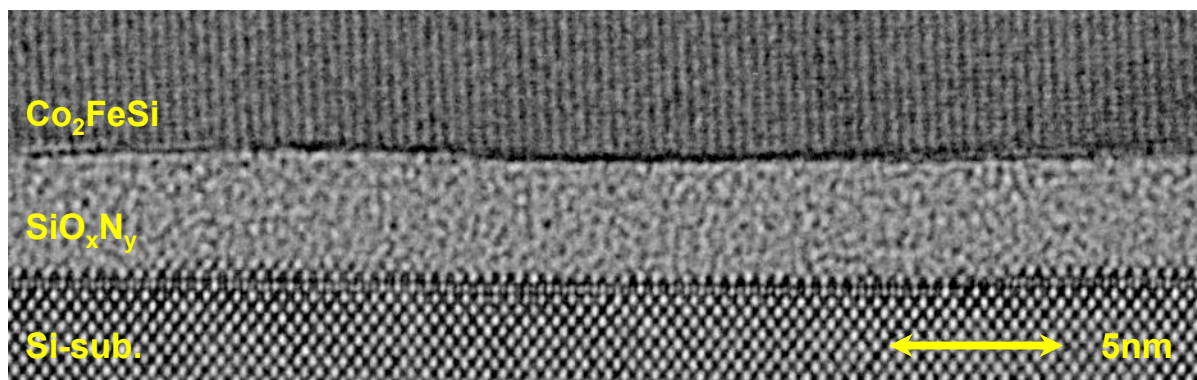


図 1-9 CFS/SiON/Si トンネル接合の断面 TEM 像。SiON にピンホールなどの欠陥は生じず、また、CFS は界面層を形成することなく SiON 上に直接形成されている。高効率のスピン注入が期待できる。

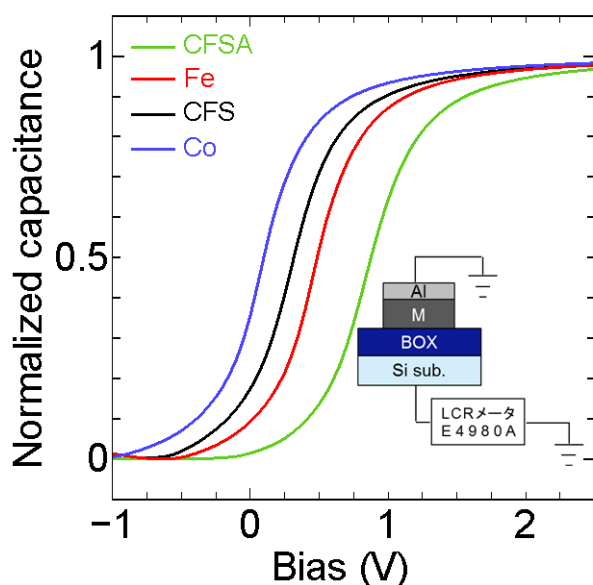


図 1-10 CFSA および他の強磁性金属をゲート電極に用いた MOS 構造の C-V 特性。CFSA は CFS に比べて大きくフラットバンド電圧がシフトしている。これは CFSA の仕事関数が CFS に比べて十分に小さいことによる。スピン MOSFET に応用可能な程度まで仕事関数を減少させることができた。

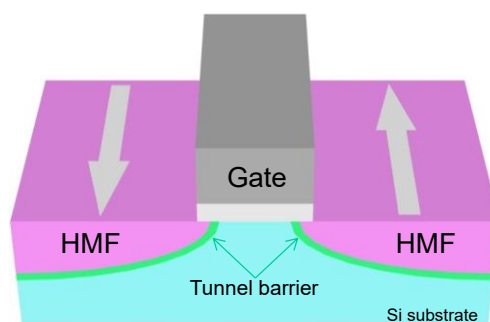


図 1-11 究極のスピン MOSFET の構造。仕事関数制御トンネルコンタクト S/D と真性 Si チャネルからなる。デバイス構造はプレーナ以外にも FinFET 構造などもとれる。

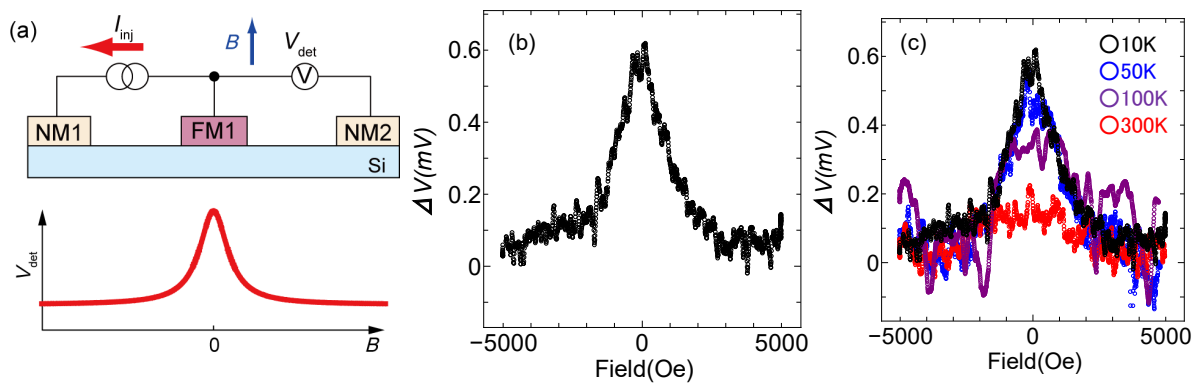


図 1-12 (a)3 端子スピン蓄積デバイスとその測定方法。(b)CFSA/SiON/Si 接合を 3 端子スピン蓄積デバイスに用いた場合のスピン信号(Hanle 効果)。(c)その温度依存性。信号は温度の増加とともに減少するが室温においても観測されている。

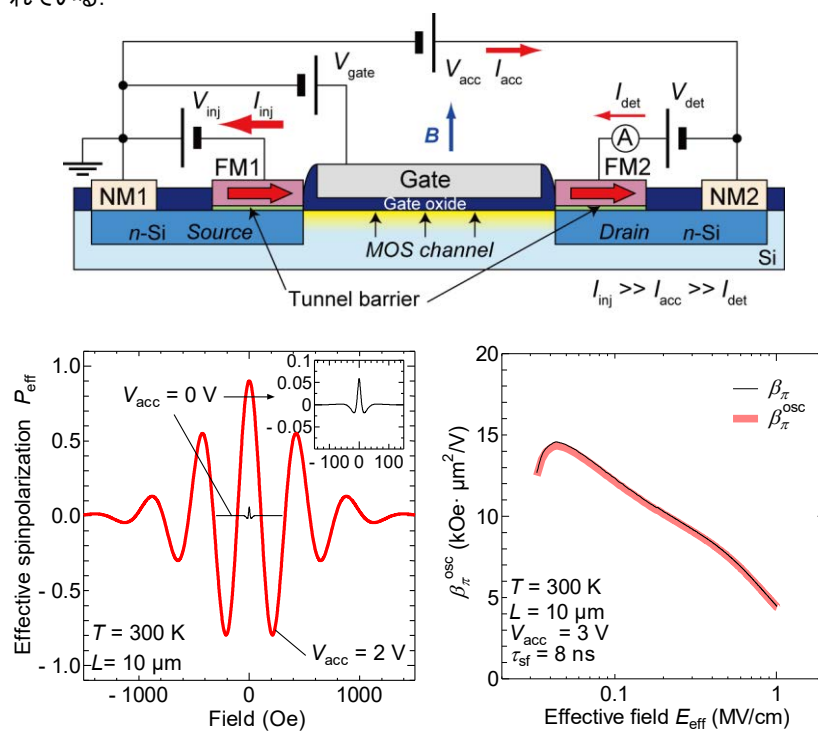


図 1-13 左図: Hanle 効果スピントランジスタのデバイス構造。MOS チャンネルのスピン伝導評価のためのデバイスである。

図 1-14 下左図: Hanle 効果スピントランジスタの出力特性(シミュレーション結果)。Hanle 効果スピントランジスタでは加速電圧の印加によって、Hanle 効果による信号を大きくして、さらにスピン伝導の解析に必要な十分な振動回数を得ることができる。一般的な非局所法やスピン蓄積法では、実現できない。

下右図: Hanle 効果信号における磁場周期の実効電界依存性。この特性は MOS 反転層における実効移動度の実効電界依存性のユニバーサルカーブに一致する。この特性から、各種散乱過程におけるスピンドイナミクスを評価できる。従来法ではこのような解析はできない。

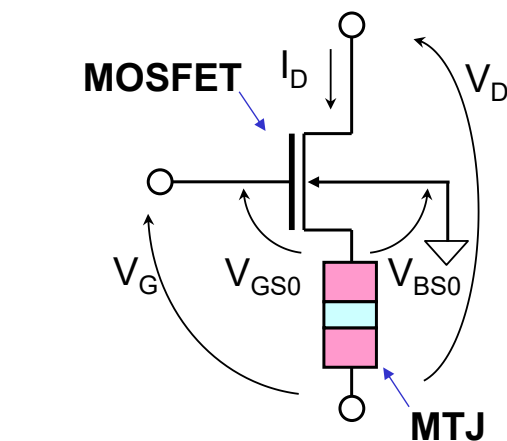


図 1-15 擬似スピン MOSFET の回路構成。MTJ を MOSFET のソースに接続し、MTJ の電圧降下をゲートに負帰還する。スピン MOSFET と同等の働きをする

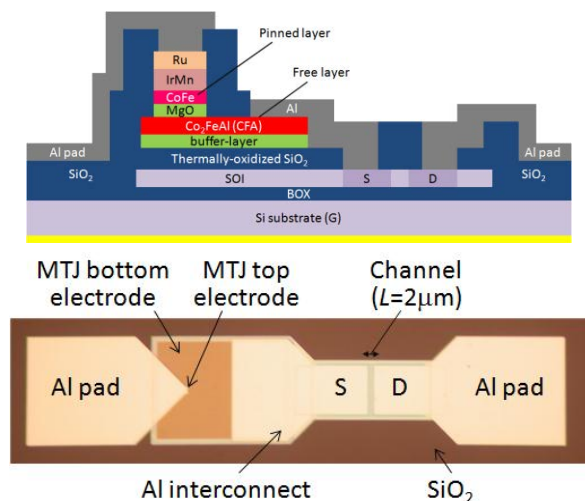


図 1-16 作製した擬似スピン MOSFET の断面図と、デバイスの写真。

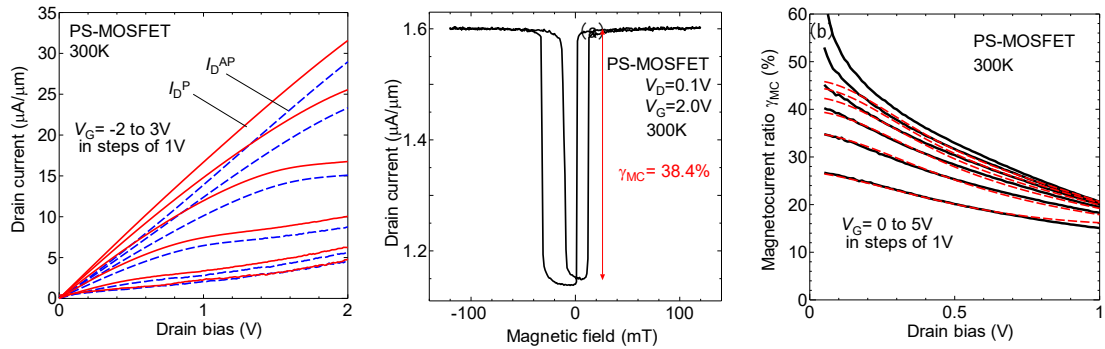


図 1-16(続き) 左図:作製した疑似スピン MOSFET の出力特性. 実線が MTJ の磁化状態が平行磁化の場合, 破線が反平行磁化の場合である. 磁化状態に応じて電流駆動野力に変調されている. 中央図:ドレイン電流の磁場依存性. 交換バイアス型の MTJ の特性を反映したヒステリシスが得られた. 右図:磁気電流比(平行磁化, 反平行磁化におけるドレイン電流の変化率)のドレインバイアス依存性. 実測値(黒線)は我々の開発した MTJ の SPICE モデルを用いたシミュレーションと良く一致し(低い  $V_d$  と高い  $V_g$  を除く), MOSFET のソースに接続した MTJ によるフィードバック効果を確認できた. シミュレーションからのズレはゲートリークによる. 最大で 45% の磁気電流比を確認できた.

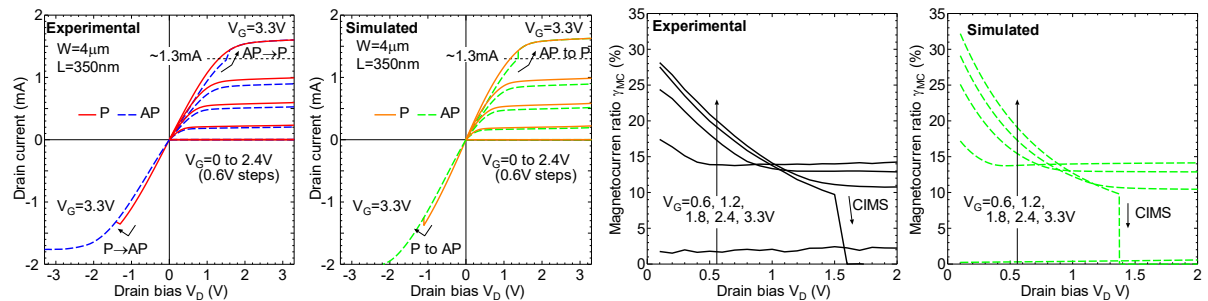


図 1-17 スピン注入磁化反転 MTJ(4-2 節参照)と MOSFET (350nm プロセス)とのハイブリッド集積化による疑似スピン MOSFET の出力特性と磁気電流比. シミュレーション結果も合わせて示した.

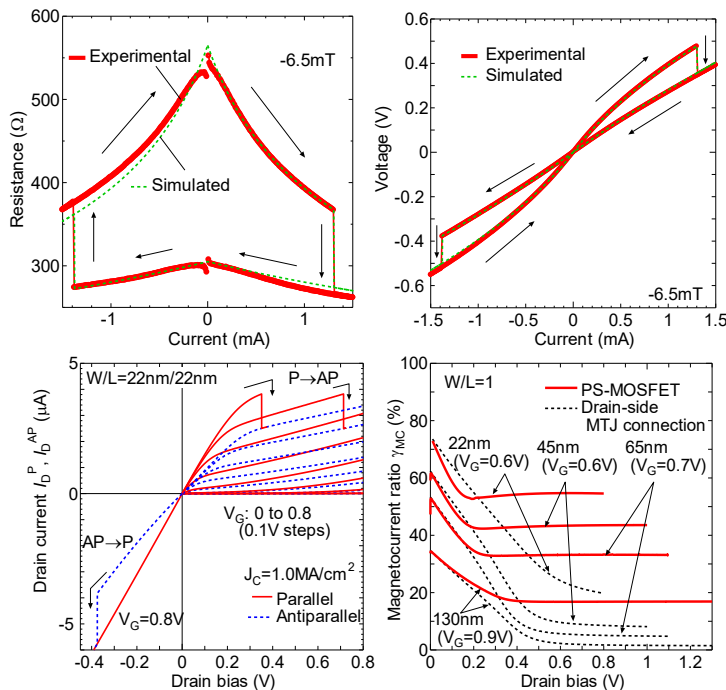


図 1-18 本研究課題で開発した MTJ の SPICE マクロモデルによる MTJ の電気特性. NIMS グループで開発した MTJ の測定結果を完全に再現できる.

図 1-19 (a) 疑似スピン MOSFET (PS-MOSFET) の出力特性. 図中の赤い線と青い線はそれぞれ MTJ の磁化状態を平行磁化, 反平行磁化とした場合の出力特性である. 平行磁化と反平行磁化とで電流駆動能力が変化し, スピントランジスタ動作していることがわかる. また, ゲート電圧が大きいくところではスピン注入磁化反転によって, 磁化状態を変化させることができる. (b) 疑似スピン MOSFET の磁気電流比のドレインバイアス依存性. 磁気電流比は MTJ の磁化状態が平行磁化の場合と反平行磁化の場合における疑似スピン

MOSFET の出力電流の変化率である. 磁気電流比はドレインバイアスの増加とともに減少するが, ある程度以下には減少しない. これは疑似スピン MOSFET の負帰還の効果である(図中の点線は MTJ による負帰還がかからない回路構成のもの). また, 磁気電流比はデバイスサイズのスケールアップとともに増大することも確認できる. さらに, 磁気電流比はゲートバイアスの増加と共に増大する. この磁気電流比は MOSFET の W/L 比, MTJ のトンネル磁気抵抗比, 抵抗・面積積などで設計可能である.

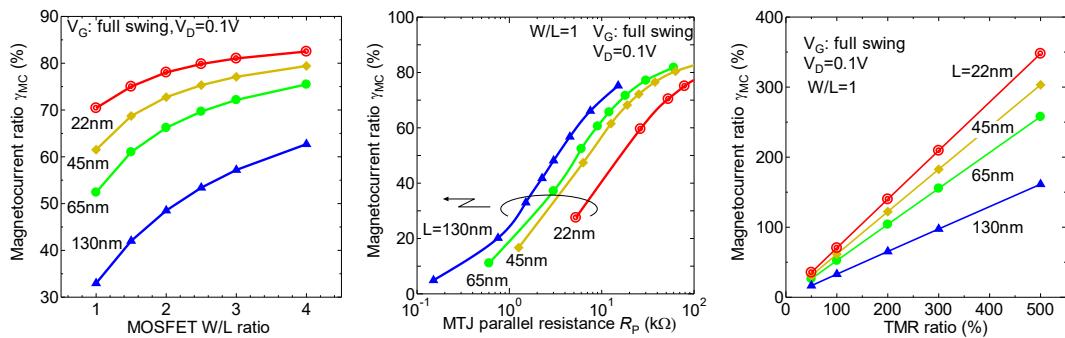


図 1-20: (a) 磁気電流比  $\gamma_{MC}$  の  $W/L$  比依存性, (b) MTJ の抵抗  $R_p$  依存性, (c) TMR 比依存性.

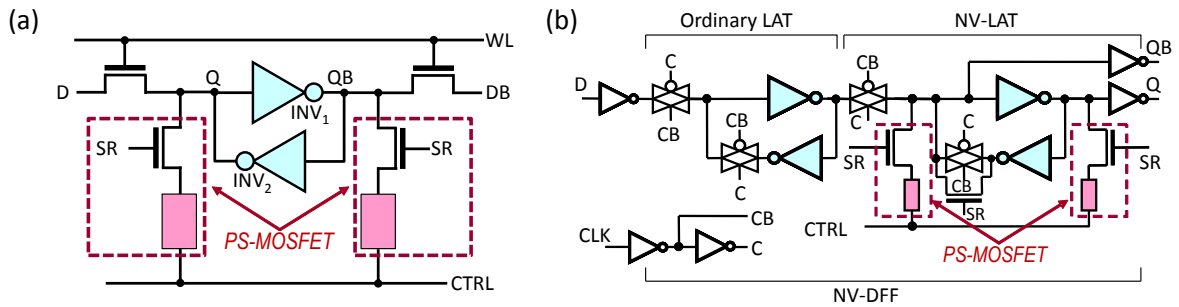


図 1-21: (a) 提案した不揮発性 SRAM のセル構造. 擬似スピン MOSFET を通常の 6T-SRAM の記憶ノードに接続することによって実現できる. 擬似スピン MOSFET によって通常の SRAM 動作と不揮発動作を分離できる. (b) 提案した不揮発性 DFF の回路図. 不揮発性 SRAM と同様に擬似スピン MOSFET によって通常の DFF 動作と不揮発動作を分離できる. このため, 通常の DFF 動作をほとんど劣化させずに不揮発化の機能を持ち込める.

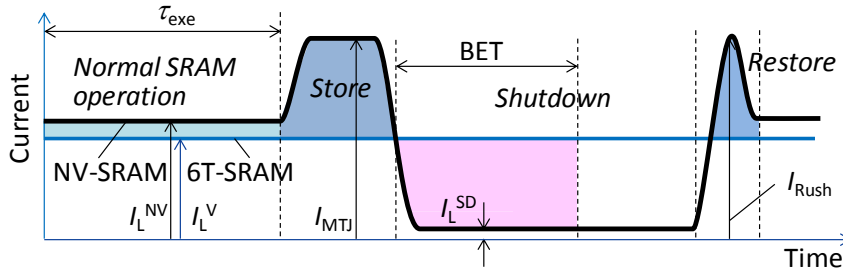


図 1-22: NV-SRAM の各動作モード, BET の定義, NV-SRAM のおよび 6T-SRAM の各動作モードにおけるセル電流(ただし, 通常 SRAM 動作のセル電流はスタティックリークのみを示してある.)

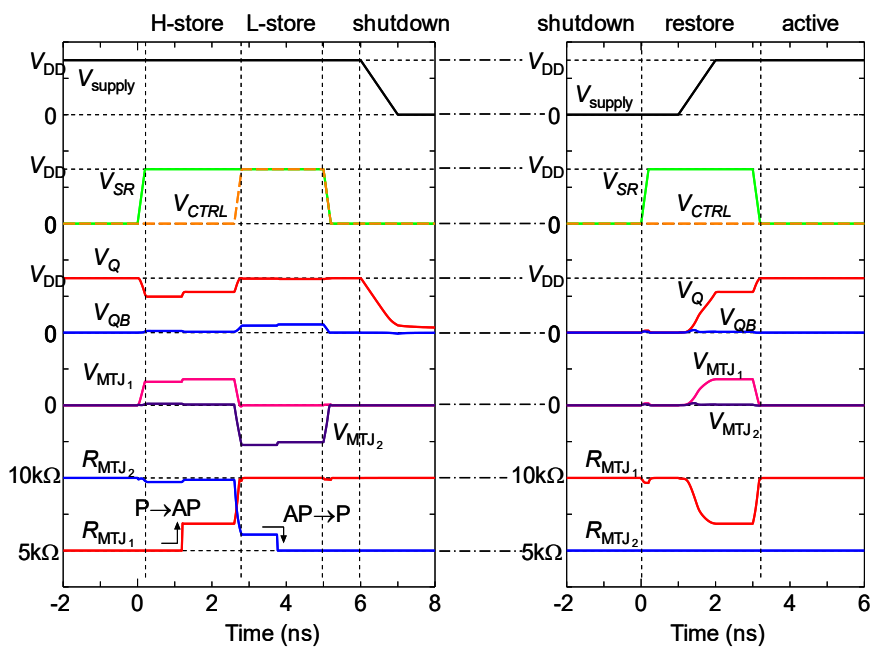


図 1-23 NV-SRAM のシミュレーション結果. インバータループから PS-MOSFET へのストア動作は, PS-MOSFET を導通後, CTRL ラインにパルス信号を加えるだけで実現できる. PS-MOSFET からインバータループへのリストア動作は PS-MOSFET を導通後, インバータループの電源を引き上げるだけで実現できる.



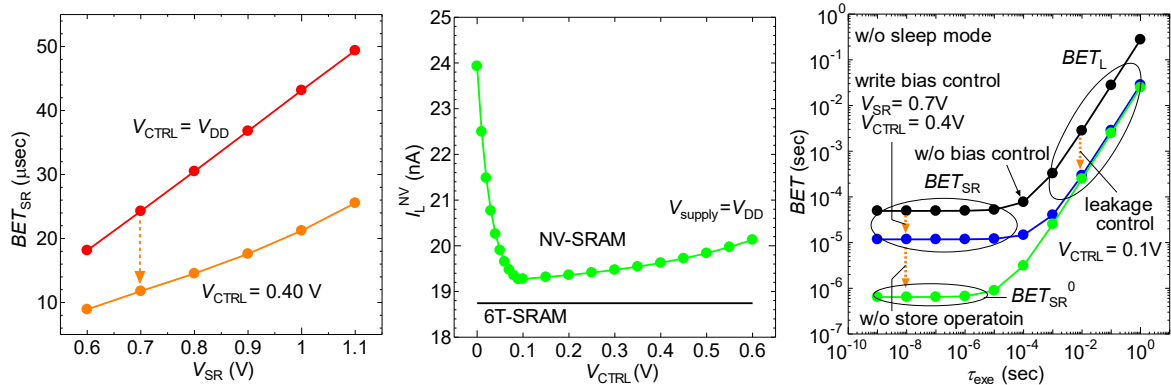


図 1-24 NV-SRAM の BET 制御。バイアス制御によって BET の MTJ への書き込み電流成分とリークの増加成分の両方を削減できる。また、ストアフリーシャットダウンを用いることで、さらに大幅に BET を削減できる。通常動作の実行時間依存性(右図)から、粒度設計を行うことで(幾つかの粒度を組み合わせる)、エネルギー削減効率の高い不揮発性パワーゲーティングを実現できる。

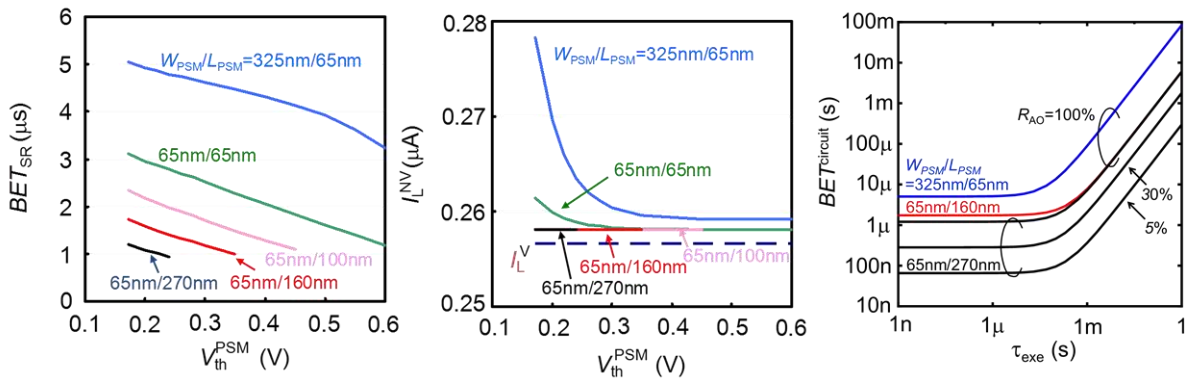


図 1-25 NV-DFF の BET 制御。PS-MOSFET の W/L の設計によって BET の MTJ への書き込み電流成分とリークの増加成分の両方を削減できる。また、NV-DFF のロジック回路における占有率( $R_{AO}$ )も BET の評価に重要であることがわかる。通常動作の実行時間依存性(右図)から、粒度設計を行うことで(幾つかの粒度を組み合わせる)、エネルギー削減効率の高い不揮発性パワーゲーティングを実現できる。

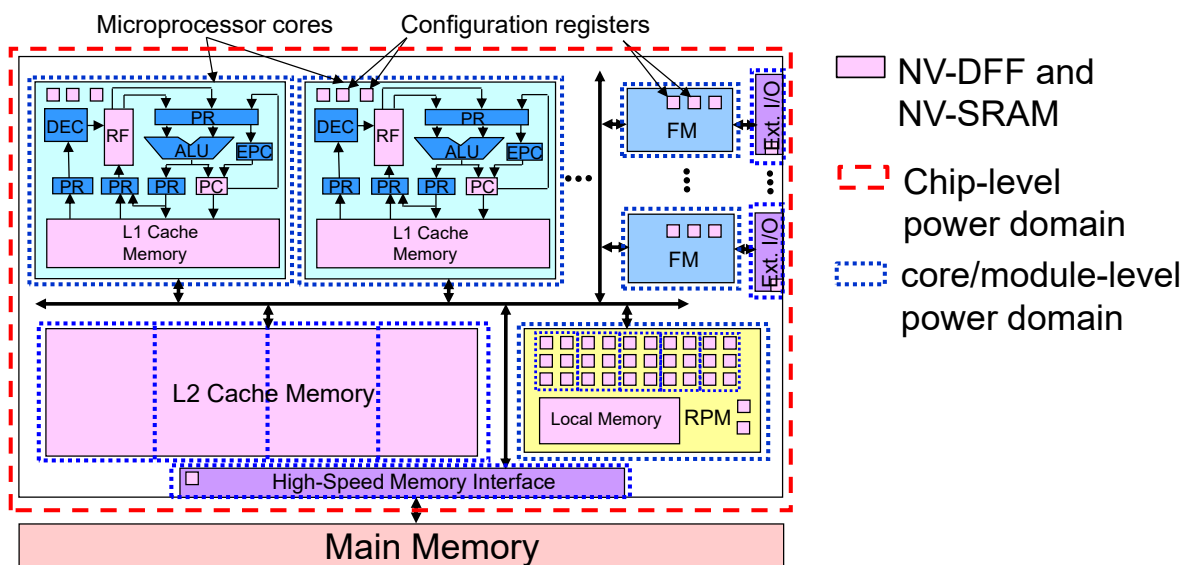


図 1-26 NV-SRAM, NV-DFF を用いた不揮発性パワーゲーティング可能なマルチコアプロセッサの提案。様々な粒度の不揮発性パワーゲーティングが可能である。

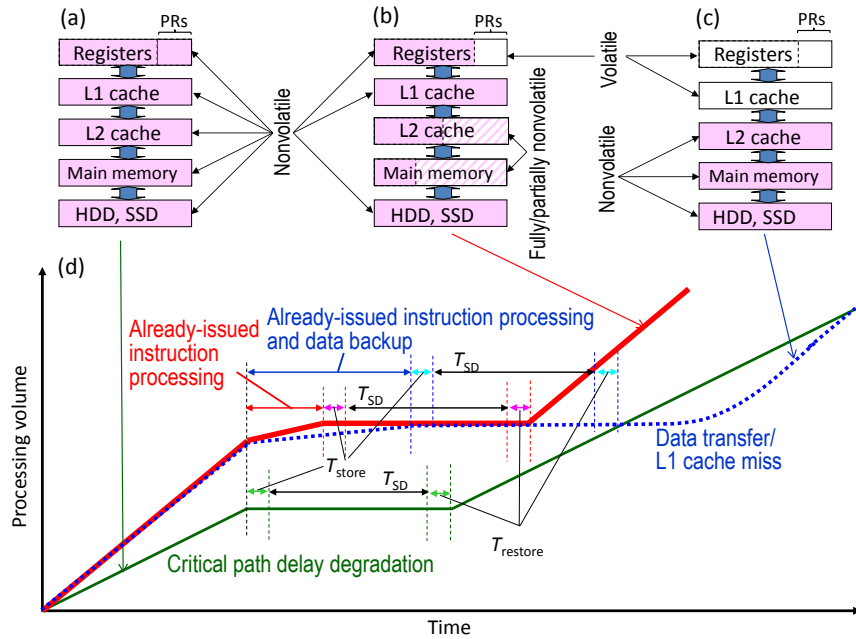


図 1-27 NVPG 可能なマイクロプロセッサ/SoC のメモリ階層構造の例。通常動作時の性能を考慮して図中の中心にある階層構造構成を提案した。性能を考慮すれば、パイプラインのようなクリティカルパスにあり、しかもテンポラリに使うレジスタは不揮発化しない。また、下層のメモリもすべてを不揮発化しない方が良い場合もある。この構成は擬似スピン MOSFET を用いた NV-SRAM, NV-DFF のように、通常動作と不揮発動作を分離できる記憶回路を L1 または L2 キャッシュ以上の上位階層に用いることが必須である。

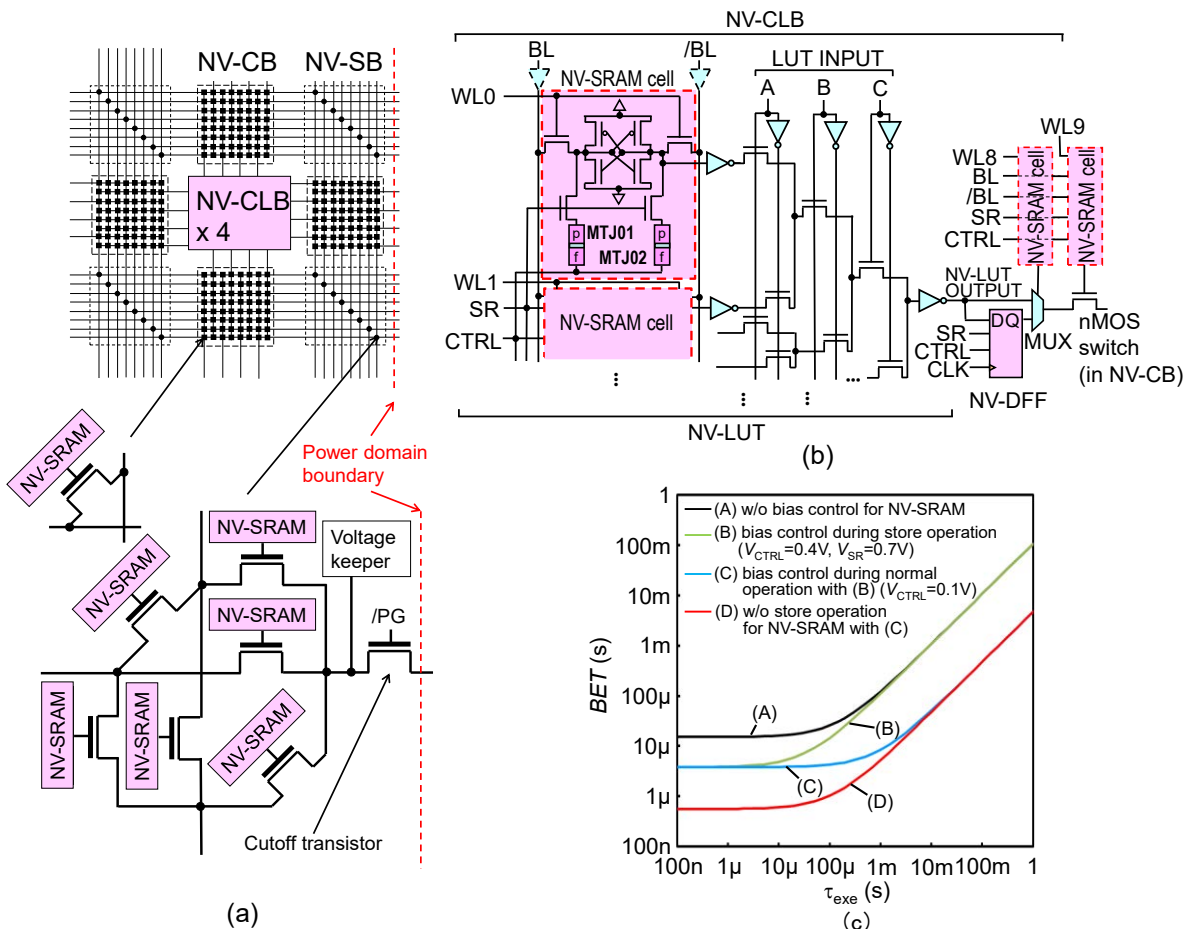


図 1-28 NV-SRAM および NV-DFF を用いた不揮発性パワーゲーティング可能な FPGA の提案(a,b)とその BET の評価(c)。

## 4. 2 NIMS グループ

### (1)研究実施内容及び成果

NIMS グループでは、スピン機能 MOSFET 実現ための基盤的な材料技術となるフルホイスラー合金に関して多くの革新的な成果を得た。CFA を用いた MTJ において室温 360%、低温 785%という巨大な TMR を実現すると同時に、世界で初めてホイスラー合金を用いた明瞭なスピン注入磁化反転を観測した。フルホイスラー合金のハーフメタル性と低磁気ダンピングへの期待が正しいことを示しており、スピン MOSFET および擬似スピン MOSFET の磁化反転技術の確立に大いに寄与するものである。基礎的にインパクトの高い研究としては、CFAS のスピン分極率が低温で 0.93 に達すること、室温においてもハーフメタルギャップが存在すること等を見いだした。また、応用に向けて極めて大事なこととして、熱酸化 Si 基板上に作製したフルホイスラー合金 MTJ において目標とする特性を実現したことも特筆すべき成果である。これらに加え、世界に先駆けて垂直磁化のホイスラー合金 MTJ の作製にも成功し(現在、更なる特性改善が進行中)、スピン MOSFET の新たな要素技術を開拓した。

#### ②-1 巨大 TMR ハーフメタル MTJ の作製(NIMS)

これまでフルホイスラー合金を用いた高 TMR 比の MTJ はすべて単結晶の MgO(100)基板上に作製してきたが、S-MOSFET/PS-MOSFET への応用展開を考慮し、SiO<sub>2</sub>(熱酸化 Si) 基板上に高 TMR 比の MTJ を作製する技術開発を行った。方法としてまず、SiO<sub>2</sub>上に(100)配向した平坦なフルホイスラー合金薄膜の作製条件を検討した結果、SiO<sub>2</sub>基板上に MgO バッファを形成し熱処理温度を適正化することで、高度に(100)配向した CFAS フルホイスラー合金薄膜を作製することができた。この結果に基づき、Ta/IrMn/CoFe/CFAS/MgO/CFAS/MgO バッファ/SiO<sub>2</sub>/Si MTJ を作製した。CFAS に対する熱処理温度を最適化することで、室温において 130%という、期初目標(100%)を上回る高い TMR 比を得ることができた(図 2-1)。熱酸化 Si 基板上にフルホイスラー合金を用いて作製した MTJ は世界でこれが初めてである。

開発した CFAS が実際ハーフメタルであるか否かの検証実験を行うため、コヒーレントトンネル効果による TMR のエンハンスが除外される AlO<sub>x</sub> バリアを用いて CoFe/Mg/AlO<sub>x</sub>/CFAS MTJ を MgO(100)基板上に作製し、TMR の温度変化とともに微分コンダクタンス  $dI/dV$  のバイアス電圧依存性を測定した。その結果、低温(26 K)で 162%、室温で 102%の TMR を得た。Julliere モデルから TMR = 162%はスピン分極率  $P = 0.93$  に相当し( $P(\text{CoFe}) = 0.5$ )、CFAS はハーフメタルであることを実証した。尚、室温 TMR = 102%は  $P = 0.75$  に相当し、この値はこれまでの全ての磁性材料の中で最大である。一方、 $dI/dV$  のバイアス電圧依存性から CFAS は室温でもハーフメタルギャップを有することを確認した。室温でのハーフメタルギャップの観測は世界初である。さらに TMR の温度変化を解析した結果、 $P$  の温度変化が  $T^{3/2}$  (スピン波理論)に従うことで完全に説明できることを明らかにした。これにより如何にすれば室温 TMR を増大できるかの指針を得た。

この指針に基づき室温で巨大 TMR を実現すべく組成の検討を行い、ホイスラー合金として Co<sub>2</sub>FeAl(CFA)を用い、スパッタ法により IrMn/CoFe /CFA/CoFe/MgO/CFA/Cr/MgO(100) スピンバルブ MTJ を作製し、10 K で 785%、室温で 360%の巨大 TMR を得た(図 2-2)。この室温 TMR はスピンバルブ型 MTJ として世界最高値である。その後、SiO<sub>2</sub> 基板上にこの MTJ を作製することを行っており、Si/SiO<sub>2</sub>/MgO/CFA/MgO/CoFe/IrMn/Pt から成る交換バイアス型 MTJ 素子において、室温で 175%(図 2-3:この図は 166%)の TMR を得ることができ、当初目標をクリアした。CFA は B2 構造であった。また、MgO バリア厚さを薄くして RA を小さくした RA ~ 15 Ω μm<sup>2</sup> の MTJ において

100%を超える TMR を実現した。この低抵抗 MTJ は、下記に示すスピン注入磁化反転を実現する上で必須である。実用的な熱酸化 Si 基板上にホイスラー合金を用いた室温で 100%を超える大きな TMR の実現は、本研究が世界で初めてである。

## ②-2 低電流スピン注入磁化反転技術の開発

まず、CIMS を観測するための微細加工技術および評価装置・技術を立ち上げた。次に、従来の Cu に代えて Ag スペーサを用いた CoFe/CFAS/Ag/CFAS/Cr/MgO(100)スピンバルブ型 CPP-GMR 微小素子を作製し、熱処理条件を最適化することで、室温で 12.5%の大きな GMR 比を得た。従来の CoFe フリー層を用いた場合の CPP-GMR 比が 1%未満であることを考えれば、この値は非常に大きな値である。このときのフリー層 CFAS の厚さは 30 nm であった。CIMS を観測するため、この厚さを 2.5 nm に薄くした素子を作製した結果、この場合も 9%の大きな CPP-GMR を得た。この結果を受けて、微細加工技術を用いて上記構造からなる楕円形(250×190 nm)のナノピラーを作製し、明瞭な CIMS を観測した(図 2-4)。磁化反転電流の分布から CIMS の臨界電流密度  $J_{c0}$  を評価した結果、 $J_{c0} = 9.3 \times 10^6$  A/cm<sup>2</sup> であった。この  $J_{c0}$  は従来の Co/Cu/Co CPP-GMR 素子に対する値の 20%という非常に小さな値である。これにより、CFAS フルホイスラー合金は CIMS の低電流密度化に有効であることを実証した。ホイスラー合金を用いて CIMS を観測したのはこれが世界初である。尚、CPP-GMR 比はその後、室温で 36%まで向上している。

PS-MOSFET へ適用するためにはホイスラー合金を用いた MTJ の CIMS を実現する必要がある。そのためには、薄い MgO バリアを用いて低抵抗 MTJ 素子作製の技術開発が必須となる。まず、CFA ホイスラー合金を reference 層に用いた Cr/CFA(30nm)/MgO/CoFeB(2nm)/Ta/Pt 低抵抗 MTJ を作製し、 $RA = 3.7 \Omega \mu m^2$ 、 $TMR = 80\%$  を得た。この MTJ を微細加工し接合面積  $1.15 \times 10^{-2} \mu m^2$  の素子について、ホイスラー合金としては世界で初めてスピン注入磁化反転を実現した(図 2-5)。得られた磁化反転の真性電流密度は  $J_{c0} = 1.53 \times 10^7$  A/cm<sup>2</sup> と従来の CoFeB/MgO 系と同等である。上記 MTJ ではフリー層は CoFeB であるが、CFA の挙動を明らかにするため CFA をフリー層とする MTJ 素子を作製した。積層構造は CFA (1.5 nm)/MgO/CoFe (4 nm)/IrMn/Ta/Pt から成り、交換バイアス型の低抵抗微小 MTJ 素子を作製した。この素子についてもスピン注入磁化反転を観測することができた。500 回繰り返し測定して得られた電流 (I)-抵抗 (R) 曲線を図 2-6 に示す。スイッチング確率を与える式を用いてこれを解析した結果、 $J_{c0} = 29 \times 10^6$  A/cm<sup>2</sup> を得た。 $J_{c0}$  は CoFeB フリー層を用いた場合に比べ増大したが、これは CFA の Gilbert ダンピング定数( $\alpha$ )がバッファとして用いた Cr の影響を受けて増大した( $\alpha \sim 0.04$ )ためである。本来 CFA の  $\alpha$  は 0.001 と非常に小さいので、今後バッファ材料の検討を行うことで  $J_{c0}$  の低減が実現可能であると考えている。

次に上記結果を受けて、実用的な基板である熱酸化 Si 基板を用い MgO/Cr をバッファ層として Si/SiO<sub>2</sub>/MgO/Cr/CFA(2.1nm)/MgO/CoFe/Ru/CoFe/IrMn の CFA をフリー層とする交換バイアス型 MTJ 素子を作製した。得られた TMR は室温で 40~50%、抵抗×面積(RA 積)は  $12.4 \Omega \mu m^2$  であった。305 回繰り返し測定した R-I 曲線を図 2-7 に示す。上述と同様にスイッチング確率を与える式を用いてこれを解析した結果、 $J_{c0} = 8.2 \times 10^6$  A/cm<sup>2</sup> と、MgO 基板を用いた場合より小さな値を得た。

## ②-5 垂直磁気異方性をもつホイスラー合金およびそれを用いた垂直磁化 MTJ の作製

将来の S-MOSFET/PS-MOSFET の高集積化を考えたとき、MTJ 素子の耐熱性の向上は重要な課題である。これに対処するためには磁気異方性の大きい垂直磁気異方性(PMA)を有する MTJ 素子の開発が有効である。その実現をはかるべく、まず CFA ホイスラー合金に PMA を付与する研

究を行った。本来、ホイスラー合金の結晶構造は立方晶のため CFA は PMA をもたないが、MgO との界面異方性を利用することで CFA の PMA 化を検討した。MgO/Cr バッファ上に CFA 膜の膜厚 (t) を変えた MgO(100)/Cr(40)/CFA(t)/MgO/Pt 積層構造をスパッタ法で作製した。測定された CFA の膜厚と磁気異方性×膜厚 ( $K_u t$ ) の関係を図 2-8 に示す。膜厚 1.1 nm 以下で PMA が得られることを見出した。得られた界面磁気異方性は  $K_s = 1.04 \text{ erg/cm}^2$  と正であり、この界面磁気異方性が垂直磁化の原因であると理解できる。CFA を用いた PMA および垂直磁化膜は  $\text{SiO}_2$  基板を用いた場合にも実現された (図 2-9)。このときの垂直磁気異方性の値は  $K_u = 3 \times 10^6 \text{ erg/cm}^3$  であり、MgO 基板を用いた場合と同等であった。

次に、CFA を用いた垂直磁化 MTJ (p-MTJ) の作製に関する技術開発を行った。上記膜厚の薄い CFA と CoFeB から成る CFA/MgO/CoFeB MTJ を作製した結果、角型特性のよい p-MTJ の実現に成功した。ホイスラー合金を用いた p-MTJ の作製はこれが世界初である。1 nm の CFA を用いた場合、得られた TMR は室温で 91% であった (図 2-10)。将来に向けてさらに大きな TMR を得るべく微分コンダクタンス  $dI/dV$  のバイアス電圧依存性を測定した。その結果を図 2-11 に示すように、膜厚の厚い CFA (30 nm) を用いた MTJ の  $dI/dV$  曲線にコヒーレントトンネル効果を示唆する極小が観測されるが、CFA の薄い (1 nm) p-MTJ ではそれが観測されない。従って、エピタキシャル成長を改善しコヒーレントトンネル効果をより発現させることで、更なる TMR の向上が期待できる。

## (2)研究成果の今後期待される展開

②-1: スピン分極率の大きいホイスラー合金を用いて室温 360% の巨大 TMR や、低 RA での 100% 超の TMR を実現した。特に、熱酸化 Si 基板での成果は、今後 S-MOSFET/PS-MOSFET への展開が期待される。

②-2: スピン分極率の大きいホイスラー合金を用いて世界で初めてスピン注入磁化反転の実現に成功した。特に、熱酸化 Si 基板を用いて実現できたことは、将来 S-MOSFET/PS-MOSFET への展開が期待される。

②-5: TMR の更なる向上、および p-MTJ におけるスピン注入磁化反転の実現が課題であるが、材料とプロセス条件の最適化により解決可能であると期待される。その結果、将来 S-MOSFET/PS-MOSFET の高集積化に寄与する可能性がある。

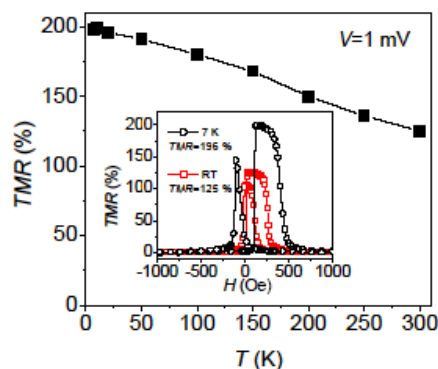
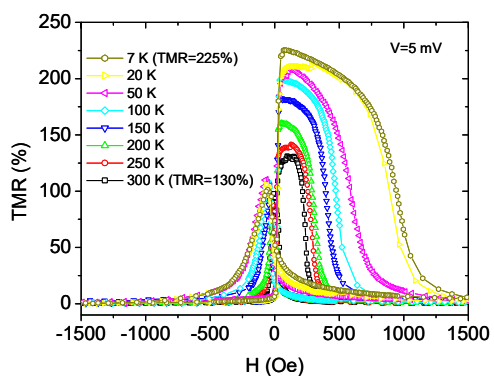


図 2-1. 熱酸化 Si 基板上の CFAS を用いた MTJ 素子の各種温度における TMR 曲線(左図)と TMR の温度変化(右図)

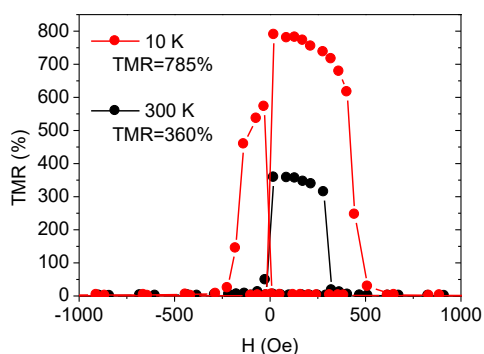


図 2-2. CFAS を用いた MTJ の 10 K および室温における TMR 曲線. 低温で 785%, 室温においても 360% の非常に高い TMR 比を示している.

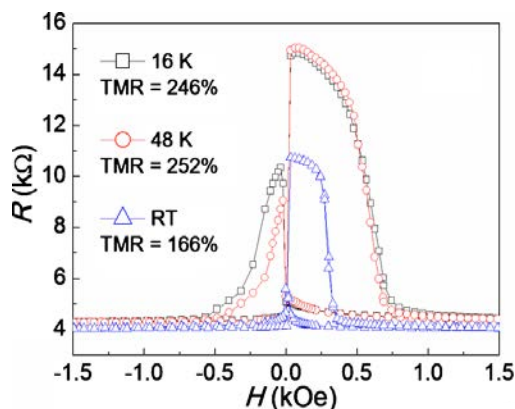


図 2-3. 熱酸化 Si 基板上に作製した CFA ホイスラー合金を用いた MTJ の TMR 曲線

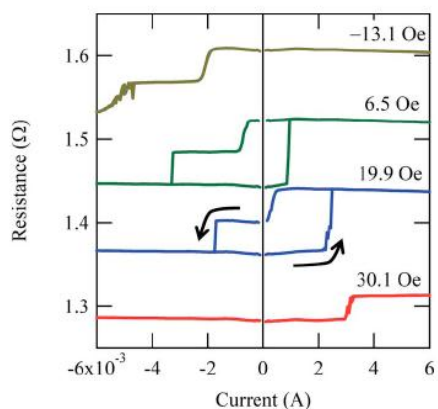


図 2-4. CFAS を用いた CPP-GMR 素子のスピン注入磁化反転特性. ハーフメタル・フルホイスラー合金でスピン注入磁化反転が初めて観測された.

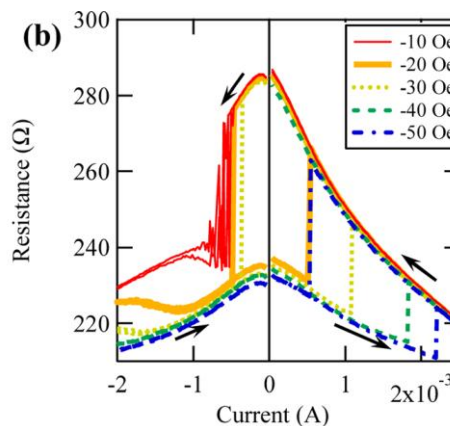


図 2-5. CFA を reference とする CFA/MgO/CoFeB MTJ のスピン注入磁化反転. バイアス磁場をパラメータとしている.

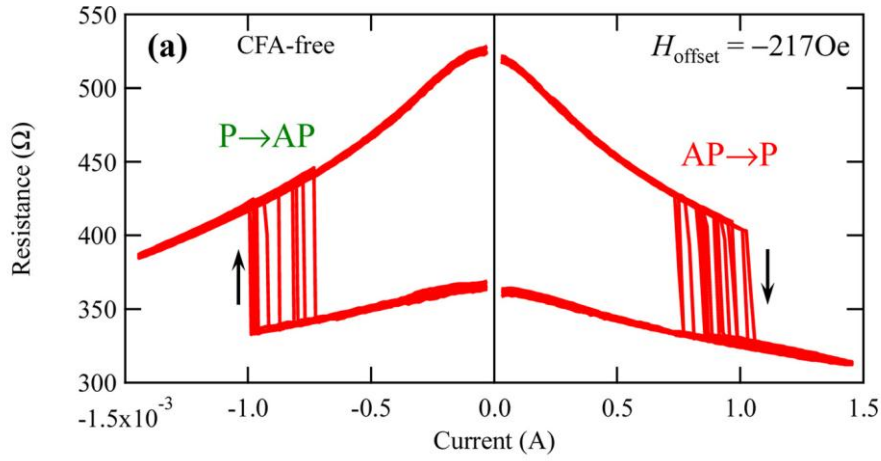


図 2-6. CFA をフリー層とする CFA/MgO/CoFeB/IrMn 交換バイアス型 MTJ のスピン注入磁化反転. 測定は 500 回繰り返し行われた.

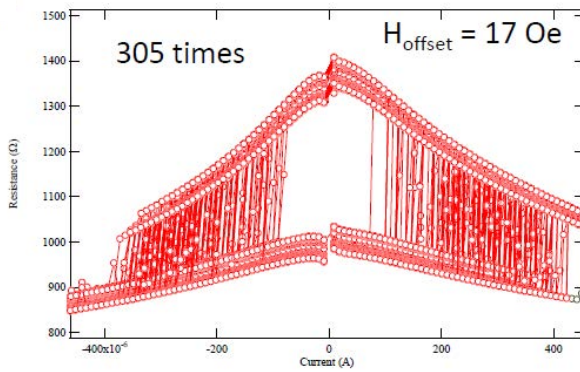


図 2-7. 熱酸化 Si 基板上に作製した CFA をフリー層とする CFA/MgO/CoFe 交換バイアス型 MTJ のスピン注入磁化反転. 測定は繰り返し 305 回行われた.

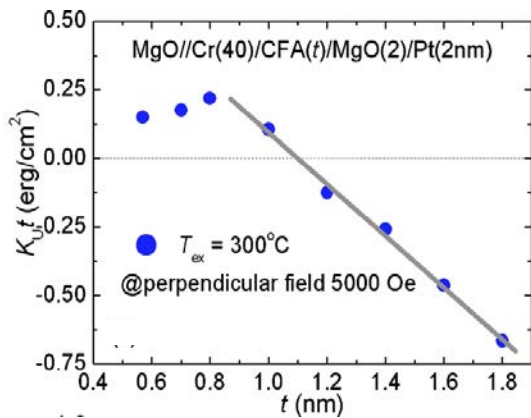


図 2-8. MgO(100)/Cr/CFA/MgO/Pt 構造の磁気異方性の CFA 膜厚依存性

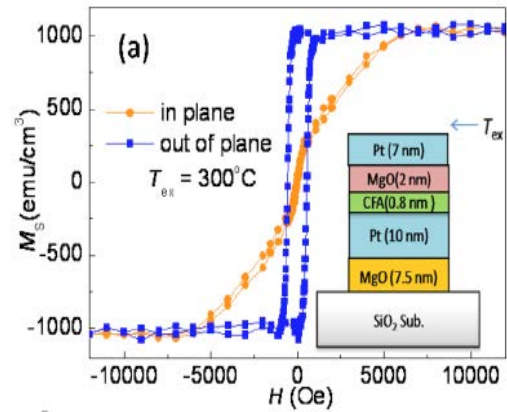


図 2-9. 熱酸化 Si 基板上に作製した CFA ホイラー合金を有する積層膜の垂直磁化曲線

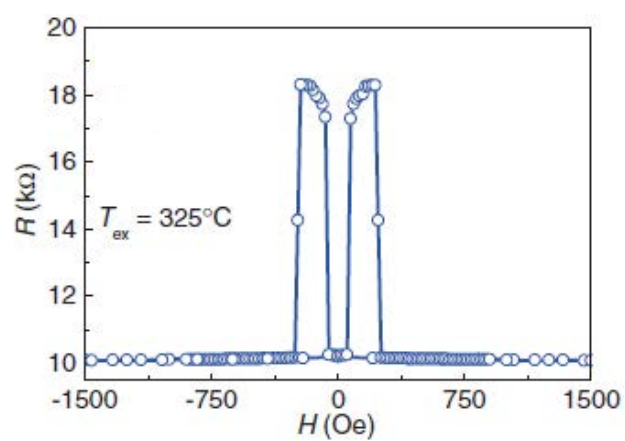


図 2-10. CFA/MgO/CoFeB 構造からなる垂直磁化 MTJ の室温における TMR 曲線

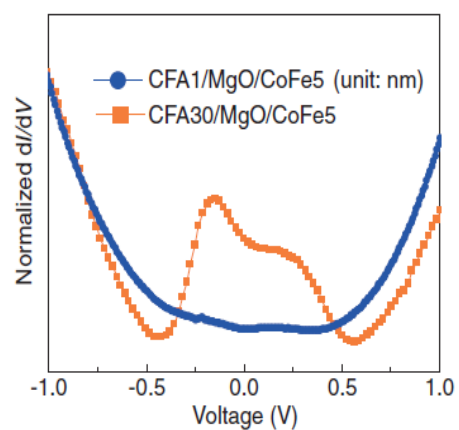


図 2-11. CFA/MgO/CoFe5 MTJ における CFA の膜厚の違いによる微分コンダクタンスのバイアス電圧依存性の比較



## 4.3 東大グループ

### (1)研究実施内容及び成果

研究項目「②-3 PS-MOSFET の作製と機能実証」では、はじめに、SOI 基板を用いたボトムゲート構造 MOSFET と MTJ の集積化による PS-MOSFET の作製プロセスを開発する。この方法の利点は、ボトムゲート構造の MOSFET は作製が簡便なことであり、表面平坦性の確保が容易であること、である。東大-G が作製したボトムゲート構造 MOSFET 上に NIMS-G で MTJ を成膜して、再び東大-G で加工を行い、PS-MOSFET を作製する。デバイスの設計は東工大-G で行う。特に、ベンダー CMOS チップに応用可能な電子線リソグラフィを用いた高精度な位置合わせ技術の確立をおこなう。プロセス全体の流れと最終デバイス構造について図 3-1左側 に示した。

研究項目「②-4 PS-MOSFET 作製のためのプロセス技術の開発」では、外注ベンダーによる数 100nm のプロセスによる CMOS チップに MTJ を集積化して、より高精度な機能の実証(スピン注入を含む)をおこなう。デバイスの設計は東工大-G、MTJ の作製は NIMS-G、デバイス加工の全般は東大-G、が行う。具体的には、外注ベンダーの CMOS チップ表面の平坦化、CMOS 基板上での高精度な位置合わせ技術、スピン注入磁化反転を CMOS チップ上で実現するための MTJ の微細加工技術、配線つなぎこみ技術、を東大-G において確立する。プロセス全体の流れと最終デバイス構造について図 3-1右側 に示した。

### ②-3 PS-MOSFET の作製と機能実証

#### ・SOI基板ボトムゲート構造n-MOSFETを利用したPS-MOSFET作製技術

MTJが高いTMR比を達成するためには、MTJの平坦性と結晶配向性が重要であり、これを最優先に確保するためにSOI基板を利用したボトムゲート構造のn型MOSFETを作製して、その最表面の熱酸化SiO<sub>2</sub>上にMTJを成膜してこれを利用することとした。ボトムゲート構造はSOI基板を利用して容易に作製可能な利点がある。

これに必要な要素技術としては、以下のとおりである。

- 1) 電子線リソグラフィによるソースドレイン領域の形成とこの領域へのリンのドーピング
- 2) 素子分離のためのアイソレーション
- 3) イオンミリングによるMTJのピラー形状への加工と表面不活性層の堆積
- 4) 耐圧確保のためのSiO<sub>2</sub>層の追加堆積とコンタクトホール形成
- 5) 電子線リソグラフィによる加工したMTJとMOSFETとの配線によるつなぎこみとコンタクトパットの形成

すべてのリソグラフィには電子線リソグラフィ法を用いた。この方法を用いる一つの利点は、電子線レジストのエッチング耐性が高いことがあげられるが、後に予定している外注ベンダー CMOS チップを利用したデバイス作製には不可欠な技術であり、この基盤技術を早期に確立する狙いもある。上記1-5のほぼすべての工程に高精度の位置合わせを伴う電子線リソグラフィが必要であり、初めにこれを確立した。具体的には、粗調整・微調整用パターン形状・配置の最適化、CCDによるパターンの画像検出と粗調整の実行、電子線によるパターンの検出と微調の実行、である。また、3)に関しては実績のある方法を採用して、NIMS-Gが加工をおこなった。1)に関しては、P2O<sub>5</sub>固相を用いた熱拡散によるドーピングをおこないチャンネル長2μm以上の電界効果型トランジスタを作製して、その特性により技術の確立を確認した(図3-2)。オン時の出力電流は良好であり、実効電界移動度は高電界領域においてSiのユニバーサリティーに匹敵するほどの特性(ゲート容量をCoxにて算出しているため、低電界領域は過小評価をしている)、またサブスレッシユホールド

スイングは 50mV/dec 程度と良好な値を示した(図 3-2). ただし, 熱拡散の性質からソースドレイン領域へのドーピングがチャンネル横方向へも拡散しており, チャンネル長  $2\mu\text{m}$  では若干のオフリーク電流が見られた.

2)4)5)に関しては, 1)-5)までの全工程を通して素子を作製して, MTJ 単体, MOSFET 単体, 素子全体のそれぞれの電気特性によって技術の確立を確認した. 特に工夫した部分は 3)のイオンミリングにおいて, 絶縁体基板上での加工によるチャージアップを抑止するためにレジストマスク形状を最適化したことである. この形状が最適化されていない場合には MTJ の絶縁性が著しく損なわれて RA と MR 比の著しい低下が見られた. 最終的に作製された素子においては, 大きな寄生抵抗も見られず, MTJ 加工前に測定した RA と TMR 比から多少劣化は見られるものの PS-MOSFET に応用可能な値が得られた. また, n-MOSFET に関しては, 参照に作製したデバイスと同様の特性が得られた.

結果として, SOI 基板ボトムゲート構造 n-MOSFET を利用した PS-MOSFET のプロセス技術全体を確立した.

#### ②-4 PS-MOSFET 作製のためのプロセス技術の開発

先端プロセスの MOSFET の作製は大学の環境では容易ではないため, CMOS チップは外注ベンダーのシャトルプロセスを利用した(TSMC 社;350nm プロセス). この方法は, 格安のコストにて先端プロセスに近いゲート長の MOSFET を得られることが利点として挙げられ, 大学における先端的集積回路の研究にはもっとも適しているといえる. ただし, 必要なチップ以外の周辺領域はデバイスの不活性化処理(レーザーによる焼切り)が行われていることや(図 3-2a 参照), チップ表面平坦性の確保は外注ベンダーでの保証の対象外であるため, この基板の上に新たな素子を作製するにはそれらを解決する基盤技術が必要である.

本研究で確立すべき基盤技術は以下である.

- (i)電子線描画を用いた高精度な位置合わせ技術
  - (ii)CMOS チップ表面平坦性確保の技術
  - (iii)MTJ の微細加工技術(スピン注入磁化反転に対応した数 100nm オーダーの加工技術),
  - (iv)MTJ と MOSFET との配線つなぎこみ技術
- 以下ではそれぞれに項目についての詳細を記載する.

##### (i)CMOS 基板上チップ座標の検出と高精度な位置合わせ技術

外注ベンダー CMOS チップはシャトルプロセスを利用するため 5mm 角のチップ形状となった. スピン注入磁化反転を達成するためには数 100nm の MTJ 加工が必要であるため電子線リソグラフィが必須である. 本研究で用いる EB 描画装置は  $\phi 200\text{mm}$  径ウエハ対応であり, それ以外の形状を用いるには基板ホルダを新規に作製する必要があるため, はじめに CMOS チップの基板厚  $725\mu\text{m}$  に対応した基板ホルダを作製した. 次に, 電子線描画におけるチップ座標の検出と高精度な位置合わせに関して, 粗調整用検出マークの配置をパラメータとして確認を行った. 描画装置の推奨する粗調整用パターンを SiO<sub>2</sub>/Si 基板上に形成して, CCD によるパターンの検出と(チップ装置の)座標合わせをパターン間の距離をパラメータに試行をおこなった. 結果として, 5mm 対角配置は座標合わせが収束せず, 最小 5mm $\times$ 10mm 角の対角距離が必要であった. このため CMOS チップ上の 2チップを横並びに配置することとした. また, 外注ベンダーのマスキールールから検出マーク形状は制約を受けるため, EB 描画装置の CCD 検出法を参照にしながらか可能なパターンを検討した. 結果として, EB 描画装置において CCD 検出に成功するパターンを見出した.

次に電子線による座標軸の微調整用パターンについて検討をおこなった. 電子線でのパターン

認識には磁性体を用いることができないため(漏れ磁場がビームを曲げるため), デバイスの作製工程を検討した結果, MTJ を成膜しない領域に検出パターンを作製する必要があることが明らかとなった. そのため, 外注 CMOS チップは 2 チップの横配置と周辺領域を含む 2cm 角でのカットとした(図 3-3). 最終的に納入された CMOS チップを用いて粗調整を行い, 座標合わせに成功した. 結果として, 高精度な位置合わせ技術を確立した.

## (ii) CMOS 基板の最表面層の平坦化技術

MTJ の高い TMR 比を CMOS 基板上で達成するためには, 熱酸化  $\text{SiO}_2$  に匹敵する表面平坦性を得るための加工技術の確立が必要である. 前記の通り本研究では不活性化処理された周辺領域を含む 2cm 角の基板を利用するため, この周辺領域を原因とした不具合が起こればこれに対処していく必要がある.

外注ベンダー CMOS チップの素子作製領域の表面平坦性は RMS $\sim$ 2nm, Peak-valley  $\sim$ 5nm と非常にラフであることが原子間力顕微鏡観察により明らかとなった(図 3-4a). 初期の試作として, この表面上に  $\text{SiO}_2$  薄膜を ECR-スパッタ法により堆積した後にその表面上に MTJ の成膜を行ったが, TMR 比が 30%程度に劣化する(同時に  $\text{SiO}_2$  基板上に成膜した参照サンプルでは 100%程度)ことが明らかとなり, 表面ラフネスの RMS を前記ボトムゲート構造の PS-MOSFET の場合と同程度( $\sim$ 0.2nm)にすることが最重要課題であることが明らかとなった. また, 外注ベンダー CMOS チップは, 本研究課題の該当集積回路チップ部の周辺領域の全てがレーザーにより焼き切られている状態であるため, この領域内での表面ラフネスは非常に大きく(数  $\mu\text{m}$  に達することもある; 図 3-4b), さらにこのラフネスはチップ間によって大きくばらついていることが明らかとなった.

はじめに, 酸やアルカリ溶液を用いたウエット処理ではメタルパッドのエッチングが懸念されたため, ドライエッチングによる平坦性の改善を試行した. CMOS チップ上に 100-500nm の  $\text{SiO}_2$  を ECR-スパッタ法により堆積した後に(図 3-5a),  $\text{CF}_4+\text{O}_2$  反応性ガスを用いた反応性イオンエッチング(RIE)によるエッチバックの方法を試行したが, 表面ラフネスは基本的に変化しなかった.

次に, IC 作製技術として確立されている Chemical Mechanical Polish(以下 CMP)を利用して表面平坦性の改善をおこなった. この時, 表面に 200nm の  $\text{SiO}_2$  を ECR-スパッタ法により堆積して集積回路のコンタクトパッドを保護した. CMP による平坦化では, 使用する研磨剤(アルカリ, 中性, コロイドの大きさ, など), 研磨布(細かさ), 基板を研磨布に押し当てる圧力, の最適化が必要であり, 様々な条件によって処理した基板表面ラフネスを原子間力顕微鏡観察によって評価をおこなった(図 3-5b,c).  $\text{SiO}_2$  を堆積した基板をそのまま CMP した場合には, 表面ラフネスの激しい周辺領域の突起部分が研磨を阻害したり, 大量の研磨屑がチップ表面に再付着することが明らかとなった. この研磨屑は有機洗浄などでは除去することが困難であった(前期の通り酸やアルカリ溶液は基本的に使用できない). そうしたことから, 表面ラフネスの激しい周辺領域の荒研磨を手研磨によりおこない, その後 CMP する方法を試行した. 中性スラリーを用い圧力と研磨時間を条件としておこなったところ, 圧力と時間がある一定値以上では, RMS0.3nm 程度の良好な表面が得られた(図 3-5c). しかしながら, 前記の方法よりも改善したものの, 研磨屑の再付着の問題が起きた(図 3-6a,b). また, チップごとの再現性が取り辛いことが問題として明らかとなり, これは周辺部分の表面ラフネスがチップごとにばらついていることに起因していると考えた.

これらの問題を解決することを試みた. 研磨屑に関しては, 純水を用いたメガソニック洗浄と  $\text{O}_2$  アッシングを多数回行うことにより, 著しく改善をおこなうことができた. 再現性の問題に関しては, 周辺領域の荒研磨を徹底的に行うことにより改善をおこなうことができた. また, 荒研磨を徹底的に行うことによって, 研磨屑の数量を減少することも確認された.

この表面上に NIMS-G により MTJ (構造: Ru(15)/IrMn(15)/CoFe(5)/MgO(1.5)/Co<sub>2</sub>FeAl(30)/Cr(40)/MgO(7.5)) を作製して加工前の特性を CIPT により評価したところ, RA 25-30 kΩ μm<sup>2</sup>, TMR 140-170%と PS-MOSFET に利用可能である良好な値が得られた. 結果として, 外注ベンダー CMOS チップの基板表面ラフネスを RMS0.3nm 程度に改善する技術, 研磨屑を取り除く技術, 再現性よく平坦性が得られる技術, の確立をおこない, その基板上に良好な特性を持つ MTJ を作製することに成功をした.

### (iii) スピン注入磁化反転 MTJ の微細加工技術および MTJ と MOSFET との配線つなぎこみ技術

外注ベンダーによる CMOS チップにスピン注入磁化反転 MTJ を集積化して PS-MOSFET の機能の実証を行う目的のために, MTJ の微細加工技術を確立する必要がある.

これに必要な要素技術は, 以下のとおりである.

- 1) CMOS チップ上での電子線描画による MTJ の微細加工技術 (高精度の位置合わせと, 数 100nm 程度の電子線描画技術)
- 2) イオンミリングによる MTJ 柱状構造の作製
- 3) 絶縁層による表面保護と表面リーク電流の抑止技術
- 4) 柱状構造上部のコンタクトホール
- 5) IC チップと MTJ 素子との配線のつなぎこみ技術

これら各項目を確立するために, 条件だし基板を準備して各々の技術確立を試みた.

1)-4)に関しては, 熱酸化 SiO<sub>2</sub> 基板上に Ta(2nm)/Fe(30nm)を超高真空装置を用いて作製してこれを基板として条件だしをおこなった. イオンミリングのマスクとするために, 電子線描画によるネガ型レジストを 100×400nm<sup>2</sup> (楕円, 長方形)形状へ加工をおこなった. 加工の評価としては走査型電子顕微鏡観察と原子間力顕微鏡観察を用いた.

実験に用いた電子線描画装置はビーム整形型の仕様であり, その最小分割数は 25nm である. そのため, 楕円形状では 10 個程度の矩形分割ビーム, 長方形では 1 個の矩形ビームとなり, 同ドーズ時間条件でも二次電子の近接効果により描画後のレジスト形状・大きさが異なる可能性があった. 予想の通り, 同ドーズ時間条件では長方形形状が極端なアンダードーズ状態であり, またエッジ形状の再現性が非常に悪かった. そのため, 楕円形状での加工をおこなうこととし, 結果として最小寸法 100×400nm<sup>2</sup>程度の形状を作製することに成功した (図 3-7a,b).

次に上記ネガ型レジストをエッチングマスクとして, イオンミリングによって柱状構造への加工をおこなった. 幾らかのイオンガン出力条件において, Ta, Fe に関してあらかじめエッチングレートを見積もった. 柱状構造の高さは 38nm として, イオンガン出力, イオンビーム入射角度を条件として, 柱状構造がレジスト形状程度に加工される条件とレジストが剥離可能な条件の両方を満たす加工条件を見出した. また, 同様のエッチング条件において NIMS-G の作製した CFSA のエッチングレート (6.2nm/min) も見積もった.

柱状構造への加工の直後にネガ型レジストを残したまま真空装置に導入して, 電子線ビーム蒸着法により SiO<sub>2</sub> を 10nm 程度堆積した. 大気に取り出した後に, 有機溶液を用いた超音波洗浄によってレジストと上部 SiO<sub>2</sub> 層を剥離して, 柱状構造の上部コンタクトホールを形成した.

以上の条件を用いて, NIMS-G 作製の熱酸化基板上 MTJ (構造: Ru(15)/IrMn(15)/CoFe(5)/MgO(1.5)/Co<sub>2</sub>FeAl(30)/Cr(40)/MgO(7.5)) の柱状構造への加工, SiO<sub>2</sub> 表面保護層の形成, 上下電極の形成, により, ミクロンサイズの表面形状を持つ 2 端子 MTJ デバイスを作製した. 加工前の CIPT 測定結果の RA (~10kΩ μm<sup>2</sup>), TMR (~140%) と同様な値が電気測定において得られた. 結果としてミクロンサイズの MTJ デバイス作製技術の確立を確認した.

次に、「(ii)CMOS チップの最表面層の平坦化技術」において記載した外注ベンダーCMOS チップ上に作製した MTJ を同様の方法によってデバイスへ加工を行い、続いて CMOS コンタクトパッドとのつなぎこみ配線を形成することにより、CMOS チップを利用した PS-MOSFET を作製した(図 3-8)。CMOS のコンタクトパッド上には研磨時の SiO<sub>2</sub> 保護層が 200nm 堆積されていたため、このコンタクトホール形成には反応性イオンエッチング(CF<sub>4</sub>)を用いた(図 3-1 プロセスフロー右側の 4を参照)。特にそのプラズマプロセスにおける MOSFET への影響を調べるために、はじめに MOSFET 単体の評価を行った。数 10 個の MOSFET の測定を行ったが、ほとんどのデバイスが良好なトランジスタ特性を示したため、プロセスによるダメージはほぼ無いと判断した。次に MTJ デバイス単体の評価を行った(図 3-9 a-f)。様々なマイクロサイズの表面積をもつデバイスを測定した結果、加工前の CIPT 測定結果の RA28kΩ μm<sup>2</sup>, TMR ~150%と同様な値が得られた(図 3-9 e, f)。これは、平坦かつピンホールの無い界面を有する MTJ が設計通りに制御良く作製されていることを示しており、熱酸化 SiO<sub>2</sub> に匹敵する表面平坦性を得られたことを示している。次に PS-MOSFET の測定を行った。評価を行ったデバイスの MTJ 表面積は、16, 20, 30, 50 μm<sup>2</sup>(以下 S16, S20, S30, S50 と記載する)である。一定の V<sub>G</sub> と V<sub>D</sub> バイアスを印加して掃引磁場中において出力電流を測定したところ、すべてのデバイスにおいて MTJ と同様な形状の磁場依存出力特性の変調が確認された。最大値は V<sub>G</sub>=2.4V, V<sub>D</sub>=10mV, S16 において γ<sub>MC</sub>=90%であった(図 3-10a)。次に、一定の磁場を印加して MTJ 磁化の平行(以下 P と記載)と反平行(以下 AP と記載)状態における、I<sub>D</sub>-V<sub>D</sub>, I<sub>D</sub>-V<sub>G</sub> 出力特性を評価した(図 3-10b)。MOSFET の閾値電圧以上の V<sub>G</sub> において、I<sub>D</sub><sup>P</sup>(P 時の出力電流)は I<sub>D</sub><sup>AP</sup>(AP 時の出力電流)よりもすべての V<sub>D</sub> バイアスにおいて大きく、明瞭な分離が確認された。MTJ S16, 20, 30, 50 を利用した PS-MOSFET の I<sub>D</sub>-V<sub>D</sub> から見積もった γ<sub>MC</sub>(図 3-11c)と磁気抵抗から見積もった γ<sub>MC</sub>(図 3-11d)をプロットしたところ、γ<sub>MC</sub> は低 V<sub>D</sub> 高 V<sub>G</sub> になる程大きく、また MTJ の面積が小さい程(MTJ の抵抗が大きい程)大きい値となり、PS-MOSFET 基本特性がすべてのデバイスにおいて実現した。このことは、平坦かつパーティクルの無い表面、配線つなぎこみでの低コンタクト抵抗、プロセスダメージフリープロセスが、設計通りに制御良く基板広範囲にわたって実現していることを示しており、開発したプロセスインテグレーション技術の高い信頼性を示している。一方、比較として MOSFET のドレイン電極に MTJ をつなげたデバイスの測定をおこなったところ、V<sub>D</sub> が大きくなるに従って I<sub>D</sub><sup>P</sup> と I<sub>D</sub><sup>AP</sup> の差は小さくなり(図 3-10d, 図 3-11a)、期待通りの動作を示した。次に、東工大-G の開発した手法により、MTJ と MOSFET 出力特性をもちいて PS-MOSFET, ドレイン電極に MTJ をつなげたデバイス、についての出力特性と γ<sub>MC</sub> のシミュレーションを行ったところ、実験結果と良い一致が見られた(図 3-10c, 図 3-11b)。この結果も前述と同様に、開発したプロセスインテグレーション技術の高い制御性・信頼性を示している。

以上の結果をまとめると、高い γ<sub>MC</sub> を持つ PS-MOSFET の基本動作が基板の広範囲に渡って実現したことから、今回開発したプロセスインテグレーション技術は安価な外注ベンダーシャトルプロセス CMOS チップ上に高い TMR を有する MTJ デバイスを集積可能な制御性・信頼性の高い基盤技術である。

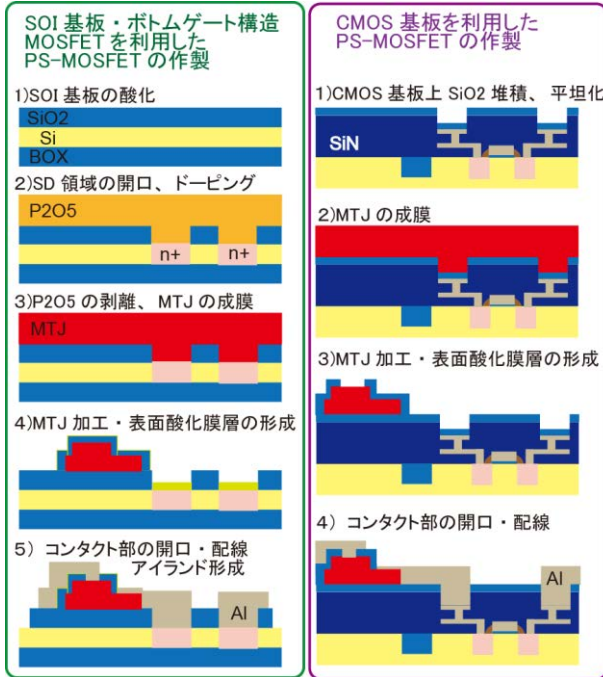


図 3-1 ②-3, ②-4, ③-3 におけるデバイスの断面形状とプロセスフロー

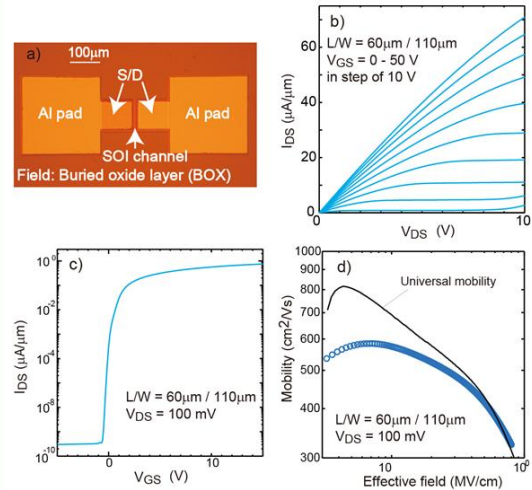


図 3-2 リンドープソース/ドレイン(S/D)を利用して作製した MOSFET. a)光学顕微鏡像 b)  $I_{DS}$ - $V_{DS}$  トランジスタ特性 c)  $I_{DS}$ - $V_{GS}$  トランジスタ特性 d)移動度-電界強度特性

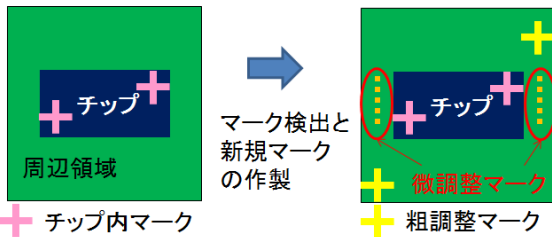


図 3-3 CMOS 基板内配置図と EB マークの作製

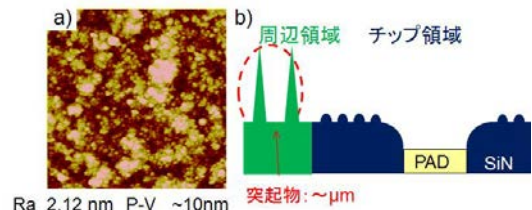


図 3-4 a) CMOS 基板チップ表面の原子間力顕微鏡像(スキャンエリア  $1\mu\text{m}$  角). b) 基板断面模式図.

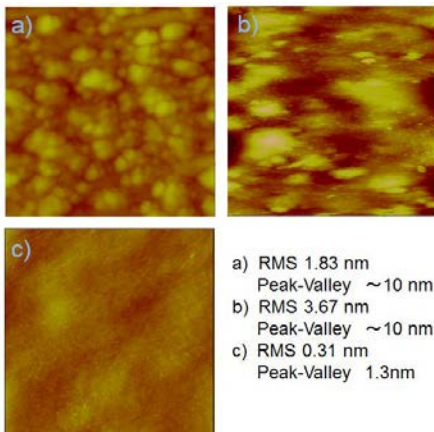


図 3-5 チップ表面の原子間力顕微鏡像(スキャンエリア  $1\mu\text{m}$  角). a) ECR-スパッタ法によって  $\text{SiO}_2$  を堆積した後の表面, b) a を低圧にて CMP した  $\text{SiO}_2$  表面, c) a を高圧にて CMP した  $\text{SiO}_2$  表面. 各表面の特性値は右下に記載してある.

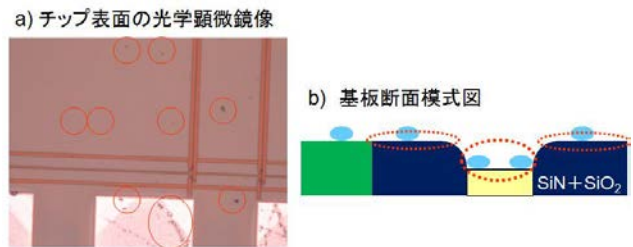


図 3-6 高圧にて CMP した後のチップ表面の a) 光学顕微鏡像, b) 基板断面模式図. 赤円は研磨屑を示す.

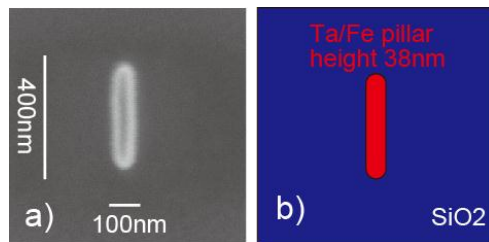


図 3-7 作製した Ta/Fe 柱状構造の a) 走査型電子顕微鏡像, b) 模式図.

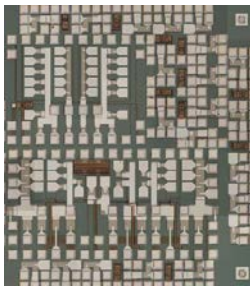


図 3-8 CMOS 基板上に作製したデバイスの光学顕微鏡写真

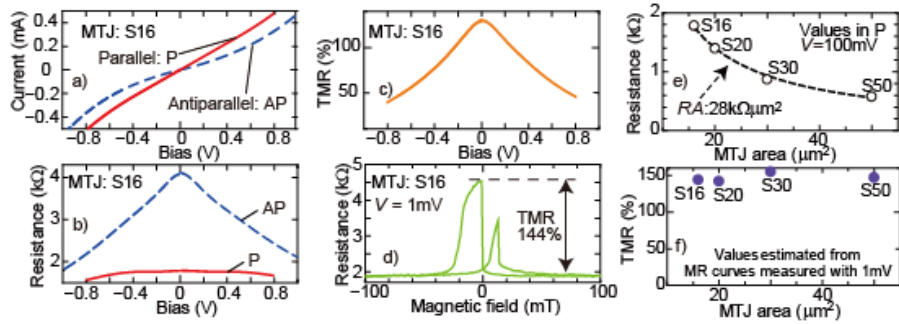


図 3-9 CMOS 基板上に作製した 2 端子 MTJ デバイスの特性. (a)-(d) MTJ S16 の (a) 平行磁化 (P) と反平行磁化 (AP) における I-V 特性, (b) R-V 特性, (c) TMR のバイアス依存性, (d) バイアス 1mV 時の磁気抵抗曲線. (e) (f) MTJ S16, 20, 30, 50 の (e) 抵抗と  $RA=28k\Omega\mu m^2$  の曲線, (f) バイアス 1mV 時の TMR.

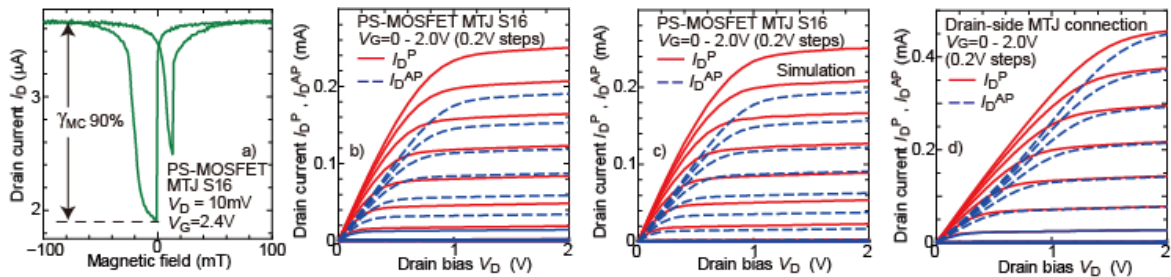


図 3-10 (a) (b) CMOS 基板上に作製した MTJ S16 を利用した PS-MOSFET の特性 (実験結果). (a)  $V_D=10mV$ ,  $V_G=2.4V$  の磁気抵抗. (b)  $I_D^P$ - $I_D^AP$  特性.  $I_D^P$  ( $I_D^AP$ ) は平行 (反平行) 磁化時の出力電流  $I_D$ . (c) MTJ と n-MOSFET の特性により計算された PS-MOSFET の  $I_D$ - $V_D$  特性 (シミュレーション結果). (d) n-MOSFET のドレイン電極に MTJ を接続したデバイスの特性 (実験結果).

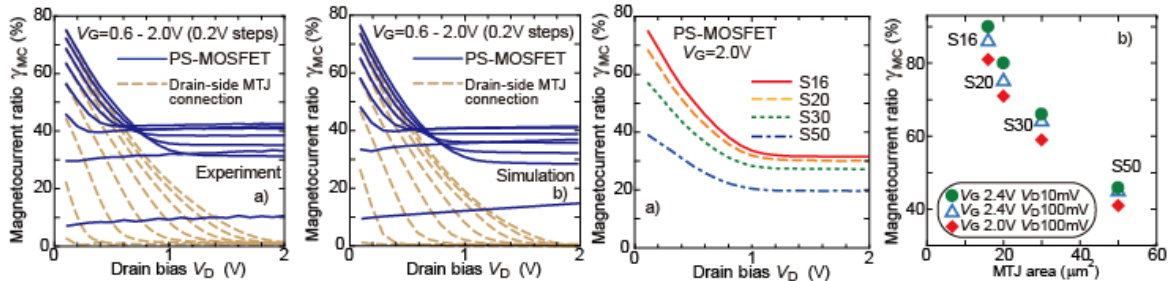


図 3-11 CMOS 基板上に作製した MTJ S16 を利用したデバイス特性. (a) PS-MOSFET とドレイン電極に MTJ を接続したデバイスの  $I_D$ - $V_D$  特性 (実験結果) から見積もられた  $\gamma_{MC}$  のバイアス依存特性. (b) PS-MOSFET とドレイン電極に MTJ を接続したデバイスの  $I_D$ - $V_D$  特性 (シミュレーション結果) から見積もられた  $\gamma_{MC}$  のバイアス依存特性. (c) MTJ S16, 20, 30, 50 を利用した PS-MOSFET の  $V_G=2.0V$  において見積もられた  $\gamma_{MC}$  の  $V_D$  バイアス依存特性 (実験結果). (d) 一定の  $V_G$ ,  $V_D$  を印加して測定した磁気抵抗曲線から見積もられた  $\gamma_{MC}$  (実験結果).

## § 5 成果発表等

(1) 原著論文発表 (国内(和文)誌 2件, 国際(欧文)誌 38件)

1. Shuu'ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara, "Nonvolatile flip-flop based on pseudo-spin-transistor architecture and its nonvolatile power-gating applications for low-power CMOS logic", to be published in The European Physical Journal - Applied Physics.
2. Shuu'ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara, "Nonvolatile Power-Gating Field-Programmable Gate Array Using Nonvolatile Static Random Access Memory and Nonvolatile Flip-Flops Based on Pseudo-Spin-Transistor Architecture with Spin-Transfer-Torque Magnetic Tunnel Junctions", Jpn. J. Appl. Phys., vol. 51, no. 11, pp. 11PB02/1-5 (2012).
3. Y. Takamura, K. Hayashi, Y. Shuto, R. Nakane, and S. Sugahara, "Fabrication of half-metallic tunnel contact with  $\text{Co}_2\text{FeSi}$  electrode on Si(001) using radical-oxynitridation  $\text{SiO}_x\text{N}_y$  tunnel barrier", J. Electronic Matt., vol. 41, no. 5, pp. 954-958 (2012).
4. Y. Shuto, S. Yamamoto, and S. Sugahara, "Evaluation and control of break-even time of nonvolatile SRAM based on spin-transistor architecture with spin-transfer-torque MTJs", Jpn. J. Appl. Phys., vol. 51, no. 4, pp. 040212/1-3 (2012).
5. Y. Takamura, and S. Sugahara, "Analysis and Control of the Hanle Effect in MOS Inversion Channels", J. Appl. Phys., vol. 109, no. 7, pp. 07B768/1-3 (2012).
6. H. Sukegawa, Z. Wen, K. Kondou, S. Kasai, S. Mitani and K. Inomata, "Spin transfer switching in full-Heusler  $\text{Co}_2\text{FeAl}$ -based magnetic tunnel junctions", Appl. Phys. Lett., vol. 100, no. 18, pp. 182403/1-5 (2012).
7. Zhenchao Wen, Hiroaki Sukegawa, Shinya Kasai, Masamitsu Hayashi, Seiji Mitani, and Koichiro Inomata, "Magnetic Tunnel Junctions with Perpendicular Anisotropy Using a  $\text{Co}_2\text{FeAl}$  Full-Heusler Alloy", Appl. Phys. Express, vol. 5, no. 6, pp. 063003/1-3 (2012).
8. M. Wojcik, E. Jedryka, H. Sukegawa, T. Nakatani, and K. Inomata, " $^{59}\text{Co}$  NMR experiment as a probe of electron doping in  $\text{Co}_2\text{FeAl}_{1-x}\text{Si}_x$  Heusler alloys", Phys. Rev. B vol. 85, no. 10, pp. 100401(R)/1-4 (2012).
9. G. Stryganyuk, C. Felzer, K. Inomata *et al.*, "Spin-polarimetry and magnetic dichroism on a buried magnetic layer using hard X-ray photoemission spectroscopy", Jpn. J. Appl. Phys., vol. 51, no. 1, pp. 016602/1-4 (2012).
10. S. Yamamoto, Y. Shuto, and S. Sugahara, "Nonvolatile delay flip-flop using spin-transistor architecture with spin transfer torque MTJs for power-gating systems", IET Electronics Letters, vol. 47, no. 18, pp. 1027-1029 (2011). 【Feature article 採扱;紹介記事】H. Dyball, "A new spin on the MOS", IET Electronics Letters, vol. 47, no. 18, p. 1007 (2011).
11. Y. Takamura, and S. Sugahara, "Analysis and Design of Hanle-Effect Spin Transistors at 300 K," IEEE Magn. Lett., vol. 2, pp. 3000404/1-4 (2011).
12. Y. Takamura, T. Sakurai, R. Nakane, Y. Shuto, and S. Sugahara, "Epitaxial germanidation of full-Heusler  $\text{Co}_2\text{FeGe}$  alloy thin films formed by rapid thermal annealing," J. Appl. Phys., vol. 109, no. 7, pp. 07B768/1-3 (2011).
13. X. Kozina, C. Felser, H. Sukegawa, K. Inomata *et al.*, "Magnetic dichroism in angle-resolved hard X-ray photoemission from buried layers", Phys. Rev. B, vol. 84, no. 5, pp. 054449/1-8 (2011).



14. Z. Wen, H. Sukegawa, S. Mitani, and K. Inomata, "Tunnel magnetoresistance in textured  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFe}$  magnetic tunnel junctions on a  $\text{Si}/\text{SiO}_2$  amorphous substrate", *Appl. Phys. Lett.*, vol. 98, no. 19, pp. 192505/1-3 (2011).
15. Z. Wen, H. Sukegawa, S. Mitani, and K. Inomata, "Perpendicular magnetization of  $\text{Co}_2\text{FeAl}$  full-Heusler alloy films induced by  $\text{MgO}$  interface", *Appl. Phys. Lett.*, vol. 98, no. 24, pp. 242507/1-3 (2011).
16. H. Sukegawa, H. Xiu, T. Ohkubo, T. Niizeki, S. Kasai, T. Furubayashi S. Mitani, K. Inomata, and K. Hono, "エピタキシャル  $\text{Fe}/\text{MgAl}_2\text{O}_4/\text{Fe}(001)$  強磁性トンネル接合における結晶性と伝導特性", *J. Magn. Soc. Jpn.*, vol. 35, no. 3, pp. 254-259 (2011).
17. S. Mitani, "Spin-transfer magnetization switching in ordered alloy-based nanopillar devices", *J. Phys. D: Appl. Phys.*, vol. 44, no. 38, pp. 384003/1-8 (2011).
18. S. Yamamoto, and S. Sugahara, "Nonvolatile Delay Flip-Flop Based on Spin-Transistor Architecture and Its Power-Gating Applications", *Jpn. J. Appl. Phys.*, vol. 49, no. 9, pp. 090204/1-3 (2010).
19. Y. Takamura, R. Nakane, and S. Sugahara, "Quantitative analysis of atomic disorders in full-Heusler  $\text{Co}_2\text{FeSi}$  alloy thin films using x-ray diffraction with  $\text{Co } K\alpha$  and  $\text{Cu } K\alpha$  sources", *J. Appl. Phys.*, vol. 107, no. 9, pp. 09B111/1-3 (2010).
20. K. Hayashi, Y. Takamura, R. Nakane, and S. Sugahara, "Formation of  $\text{Co}_2\text{FeSi}/\text{SiO}_x\text{N}_y/\text{Si}$  tunnel junctions for Si-based spin transistors", *J. Appl. Phys.* vol. 107, no. 9, pp. 09B1041/1-3 (2010).
21. Shuu'ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara, "Nonvolatile SRAM (NV-SRAM) Using Resistive Switching Devices: Variable-Transconductance MOSFET Approach", *Jpn. J. Appl. Phys.*, vol. 49, no. 4, pp. 040209/1-3 (2010).
22. H. Sukegawa, H. Xiu, T. Ohkubo, T. Furubayashi, T. Niizeki, W.H. Wang, S. Kasai, S. Mitani, K. Inomata, and K. Hono, "Tunnel magnetoreistance with improved bias voltage dependence in lattice-matched  $\text{Fe}/\text{spinel } \text{MgAl}_2\text{O}_4/\text{Fe}(001)$  junctions", *Appl. Phys. Lett.*, vol. 96, no. 21, pp. 212505/1-3 (2010).
23. Wenhong Wang, Hiroaki Sukegawa, and Koichiro Inomata, "Temperature dependence of tunneling magnetoresistance in epitaxial magnetic tunnel junctions using a  $\text{Co}_2\text{FeAl}$  Heusler alloy electrode", *Phys. Rev. B*, vol. 82, no. 9, pp. 092402/1-4 (2010).
24. Hiroaki Sukegawa, Shinya Kasai, Takao Furubayashi, Seiji Mitani, and Koichiro Inomata, "Spin transfer switching in an epitaxial spin-valve nanopillar with a full-Heusler  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  alloy", *Appl. Phys. Lett.*, vol. 96, no. 4, pp. 042508/1-3 (2010).
25. Y. Shuto, R. Nakane, W. H. Wang, H. Sukegawa, S. Yamamoto, M. Tanaka, K. Inomata, and S. Sugahara, "A New Spin-Functional Metal-Oxide-Semiconductor Field-Effect Transistor Based on Magnetic Tunnel Junction Technology: Pseudo-Spin-MOSFET", *Appl. Phys. Exp.*, vol.3, no.1, pp. 013003/1-3 (2010).
26. Y. Shuto, S. Yamamoto, and S. Sugahara, "Nonvolatile Static Random Access memory based on spin-transistor architecture", *J. Appl. Phys.*, vol. 105, no.7, pp. 07C933/1-3 (2009).
27. Y. Takamura, R. Nakane, and S. Sugahara, "Analysis of  $L2_1$ -ordering in full-Heusler  $\text{Co}_2\text{FeSi}$  alloy thin films formed by rapid thermal annealing", *J. Appl. Phys.*, vol. 105, no. 7, pp. 07B109/1-3 (2009).
28. S. Yamamoto, and S. Sugahara, "Nonvolatile Static Random Access Memory (NV-SRAM) Using Magnetic Tunnel Junctions with Current-Induced Magnetization Switching Architecture", *Jpn. J. Appl. Phys.*, vol. 48, no. 4, pp. 043001/1-7 (2009).
29. T. T. Suzuki, H. Sukegawa, and K. Inomata, "Structure and spin polarization of  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  full-Heusler alloy outermost surfaces studied by spin-polarized ion

- scattering spectroscopy”, Phys. Rev. B, vol. 79, no. 4, 045423/1-6 (2009).
30. R. Shan, H. Sukegawa, W.H. Wang, M. Kodzuka, T. Furubayashi, T. Ohkubo, S. Mitani, K. Inomata, and K. Hono, “Demonstration of Half-Metallicity in Fermi-Level-Tuned Heusler Alloy  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  at Room Temperature”, Phys. Rev. Lett., vol. 102, no. 24, pp. 246601/1-4 (2009).
  31. H. Sukegawa, Wenhong Wang, R. Shan, T. Nakatani, K. Inomata, and K. Hono, “Spin-polarized tunneling spectroscopy of fully epitaxial magnetic tunnel junctions using  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  Heusler alloy electrodes”, Phys. Rev. B, vol. 79, no. 18, pp. 184414/1-6 (2009).
  32. 介川裕章, Wenhong Wang, Rong Shan, 猪俣浩一郎, “フルホイスラー- $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  合金を有する強磁性トンネル接合の素子構造とトンネル磁気抵抗効果”, 日本磁気学会誌, vol. 33, no. 3, pp. 256-261 (2009).
  33. Wenhong Wang, H. Sukegawa, S. Mitani, and K. Inomata, “Giant tunneling magnetoresistance up to 330% at Room temperature in sputter deposited  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFe}$  magnetic tunnel junctions”, Appl. Phys. Lett., vol. 95, no. 18, pp. 182502/1-3 (2009).
  34. Y. Takamura, A. Nishijima, Y. Nagahama, R. Nakane, and S. Sugahara, “Formation of Si- and Ge-based Full-Heusler Alloy Thin Films Using SOI and GOI Substrates for the Half-Metallic Source and Drain of Spin Transistors”, ECS Transactions, vol. 16, no. 10, pp. 945-952 (2008).
  35. W.H. Wang, H. Sukegawa, R. Shan, and K. Inomata, “Large tunnel magnetoresistance in  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/\text{MgO}/\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  magnetic tunneling junctions prepared on thermally oxidized Si substrates with MgO buffer”, Appl. Phys. Lett., vol. 93, no. 18, pp. 182504/1-3 (2008).
  36. W.H. Wang, H. Sukegawa, R. Shan, and K. Inomata, “Fabrication of fully epitaxial magnetic tunnel junctions using  $L2_1$ -ordered  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  electrodes and their tunneling magnetoresistance characteristics”, Appl. Phys. Lett., vol. 93, no. 12, pp. 122506/1-3 (2008).
  37. T. Furubayashi, K. Kodama, H. Sukegawa, Y.K. Takahashi, K. Inomata, and K. Hono, “Current-perpendicular-to-plane giant magnetoresistance in spin-valve structures using epitaxial  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/\text{Ag}/\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  trilayers”, Appl. Phys. Lett., vol. 93, no. 12, pp. 122507/1-3 (2008).
  38. W.H. Wang, H. Sukegawa, R. Shan, T. Furubayashi, and K. Inomata, “Preparation and characterization of highly  $L2_1$ -ordered full-Heusler alloy  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  thin films for spintronics device applications”, Appl. Phys. Lett., vol. 92, no. 22, pp. 221912/1-3 (2008).
  39. K. Inomata, M. Wojcik, E. Jedryka, N. Ikeda, and N. Tezuka, “Site disorder in  $\text{Co}_2\text{Fe}(\text{Al}, \text{Si})$  Heusler alloys and its influence on junction tunnel magnetoresistance”, Phys. Rev. B, vol. 77, no. 21, pp. 214425/1-9 (2008).
  40. K. Inomata, N. Ikeda, N. Tezuka, R. Goto, S. Sugimoto, M. Wojcik, and E. Jedryka, “Highly spin-polarized materials and devices for spintronics”, Sci. Tech. Adv. Mater., vol. 9, no. 1, pp. 014101/1-19 (2008).

(2)その他の著作物(総説, 書籍など)

1. 猪俣浩一郎, “スピントロニクス基礎と応用”, 日本磁気学会誌, vol. 6, no. 1-6, (2011-2012).
2. 介川裕章, “スピントロニクス材料の設計と開発”, OHM, vol. 01, pp. 21-24 (2012).
3. 菅原聡, 周藤悠介, 山本修一郎, “CMOS/スピントロニクス融合技術による不揮発性ロ

- ジックシステムの展望”, まぐね/Magnetics Jpn., vol. 6, no. 1, pp. 5-15 (2011).
4. Masaaki Tanaka, and Shinobu Ohya, “Spintronic Devices Based on Semiconductors”, Comprehensive Semiconductor Science and Technology, Elsevier (Amsterdam), vol.6, pp. 540-562 (2011).
  5. 白井正文, 田中雅明, “半導体におけるスピン関連現象の物理と応用 (PASPS-VI)”, 固体物理, vol. 46, no. 2, pp. 55-58 (2011).
  6. 田中雅明 (総合報告), “総論 スピントロニクス の現状と展望”, 表面科学 vol. 32, no. 3, pp. 120-127 (2011).
  7. 田中雅明, “S2 群 2 編 ナノエレクトロニクス 第 5 章 スピントロニクス”, 電子情報通信学会知識ベース知識の森, [http://www.ieice-hbkb.org/portal/doc\\_516.html](http://www.ieice-hbkb.org/portal/doc_516.html), [http://www.ieice-hbkb.org/files/S2/S2gun\\_02hen\\_05.pdf](http://www.ieice-hbkb.org/files/S2/S2gun_02hen_05.pdf), (2011).
  8. 田中雅明, “スピントロニクスとその材料”, 未踏科学技術, vol. 451, pp. 8-11 (2011).
  9. 田中雅明, “「磁性材料」”, ナノテクノロジー・材料分野 科学技術・研究開発の国際比較 2011 年版, 科学技術振興機構研究開発戦略センター, 2011 年 6 月.
  10. 田中雅明, “研究ノート 半導体スピントロニクスとその材料”, Annual Report 2010, Cryogenic Research Center, University of Tokyo, vol.2, pp. 6-11 (2011).
  11. M. Tanaka, S. Ohya, Y. Shuto, S. Yada, and S. Sugahara, “III-V and Group-IV Based Ferromagnetic Semiconductors for Spintronics”, Comprehensive Nanoscience and Technology, Academic Press (Oxford), vol.4, pp. 447-462 (2011).
  12. 菅原聡, 周藤悠介, 山本修一郎, “スピン機能 MOSFET による不揮発性ロック 不揮発性パワーゲーティング・ロジックへの応用 不揮発性 SRAM/フリップフロップの可能性を検証”, Semiconductor FPD World, 2009 年 9 月号, pp. 46-49 (2009).
  13. 山本修一郎, 周藤悠介, 菅原聡, “スピン機能 CMOS による不揮発性高機能・高性能ロジック”, スピントロニクスの基礎と材料・応用技術の最前線, シーエムシー出版, 第 27 章, pp.319-330. (2009).
  14. 田中雅明, “強磁性半導体ヘテロ構造 —スピン依存トンネル現象を中心に—”, 『スピントロニクスの基礎と材料・応用技術の最前線』シーエムシー出版, 第 21 章, pp. 248-264 (2009).
  15. 猪俣浩一郎, 介川裕章, “ハーフメタル薄膜とトンネル磁気抵抗効果”, スピントロニクスの基礎と材料・応用技術の最前線, シーエムシー出版, 第 16 章, pp. 183-195 (2009).
  16. 菅原聡, “スピン機能 MOSFET による新しいエレクトロニクスの展開”, 応用物理, 3月, pp.236-241 (2009).
  17. M. Tanaka, M. Yokoyama, P-N. Hai, and S. Ohya, “Properties and functionalities of MnAs/III-V hybrid and composite structures”, Semiconductors and Semimetals, vol. 82, Spintronics, Elsevier, pp. 455-486 (2008), ISBN-13: 978-0-08-044956-2, ISBN-10: 0-08-044956-5.
  18. Masaaki Tanaka, “Materials and Devices for Semiconductor Spintronics (review paper)”, submitted to the Proceedings of the Japan Academy, Series B.

### (3)国際学会発表及び主要な国内学会発表

#### ① 招待講演 (国内会議 36 件, 国際会議 29 件)

1. 周藤悠介, 山本修一郎, 介川裕章, ZhenChao Wen, 中根了昌, 三谷誠司, 田中雅明, 猪俣浩一郎, 菅原 聡, “ナノ CMOS デバイスを用いた擬似スピン MOSFET の設計と性能”, 応用物理学会シリコンテクノロジー分科会第 154 回研究集会 電子情報通信学会シリコンデバイス・材料研究会 1 月研究会 テーマ「先端 CMOS デバイス・プロセス技術 (IEDM 特集)」, 港区, 東京, 2013 年 1 月 30 日, paper 12.
2. S. Sugahara, Y. Shuto, S. Yamamoto, “Energy-efficient nonvolatile logic systems based

- on CMOS/spintronics hybrid technology”, the 222nd Meeting of the Electrochemical Society / the 2012 Pacific Rim Meeting on Electrochemical and Solid-State Science (PRIME), Honolulu, Hawaii, October 7-12, 2012, paper 2795.
3. 菅原聡, 周藤悠介, 山本修一郎, “スピントロニクス/CMOS 融合技術:スピントランジスタ・アーキテクチャ”, 平成 24 年秋季 第 73 回応用物理学会学術講演会, 松山市, 愛媛, 2012 年 9 月 11 日-14 日, paper 12p-H6-2.
  4. Koichiro Inomata, Hiroaki Sukegawa, Zhenchao Wen, and Seiji Mitani, “New materials for enhancing device performance in spintronics”, The 19th Intl. Conf. on Magnetism (ICM 2012), July 9-13, 2012, Busan, Korea, paper EH01.
  5. 菅原聡, 周藤悠介, 山本修一郎, “スピントロニクス/CMOS 融合技術: スピン機能 MOSFET とその低消費電力ロジック応用”, 半導体・集積回路技術シンポジウム, 平塚, 神奈川, July 5-6, 2012, paper 15.
  6. H. Sukegawa, Z.C. Wen, S. Kasai, M. Hayashi, S. Mitani, and K. Inomata, “Full Heusler  $\text{Co}_2\text{FeAl}$  thin films for perpendicular magnetic tunnel junctions”, The 9th RIEC International Workshop on Spintronics, Sendai, Japan, May 31 - June 2, 2012, paper I-19.
  7. 猪俣浩一郎, 介川裕章, 三谷誠司, “スピントロニクス材料の動向と課題”, 平成 24 年春第 59 回応用物理学関係連合講演会, 2012 年 3 月 15-18, 新宿, 東京, 早稲田大学, paper 15p-A3-2.
  8. 菅原聡, “CMOS/スピントロニクス融合技術による不揮発性ロジックシステムの展望”, 電子情報技術産業協会平成 23 年度第 5 回省電力エレクトロニクス技術分科会, 大手町, 東京, January 6, 2012, paper 1.
  9. 田中雅明, “スピントロニクス研究の現状と展望”, Semicon Japan, SEMI テクノロジーシンポジウム(STS) 2011, 幕張メッセ国際会議場, 千葉, 2011 年 12 月 7 日-9 日.
  10. 田中雅明, “半導体スピントロニクス—材料とデバイス研究”, 「スピンに関連する最近の展開～基礎科学から応用展開まで～」シンポジウム, 真空協会主催 2011 年度第 52 回真空連合講演会, 学習院大学 100 周年記念会館, 東京, 2011 年 11 月 16 日-18 日.
  11. S. Ohya, I. Muneta, K. Takata, Y. Xin, P. N. Hai, and M. Tanaka, “Valence-band structure of (III,Mn)As ferromagnetic semiconductors”, Joint Polish-Japanese Workshop “Spintronics - from new materials to applications”, Warsaw, Poland, November 15-18, 2011.
  12. Pham Nam Hai, and Masaaki Tanaka, “Top-down and bottom-up fabrication of nano-scale spintronic devices and their spin-dependent transport characteristics”, 3rd International Workshop on Nanotechnology and application (IWNA 2011), Vietnam National University, Ho Chi Minh City, Vietnam, November 10-12, 2011, paper NFT-180-O.
  13. 菅原聡, 周藤悠介, 山本修一郎, “CMOS/スピントロニクス融合技術による不揮発性ロジックシステムの展望”, 電子情報通信学会技術研究報告「磁気記録・情報ストレージ」, 柏崎, 新潟, October 13-14, 2011, paper MR2011-11, pp. 63-70.
  14. K. Inomata, “TMR and GMR in devices based on full-Heusler alloys”, Intl. Focus Workshop on Quantum Simulation and Design 2011, Dresden, Germany, September 27-29, 2011.
  15. 矢田慎介, “「論文奨励賞記念講演」Single-Crystalline Ferromagnetic Alloy Semiconductor  $\text{Ge}_{1-x}\text{Mn}_x$  Grown on Ge(111), Shinsuke Yada, Ryohei Okazaki, Shinobu Ohya, and Masaaki Tanaka, Appl. Phys. Express vol. 3, no. 12, pp. 123002/1-3 (2010).” 平成 23 年秋季第 72 回応用物理学会学術講演会, 長崎大学, 長崎, 2011 年 8 月 29 日-9 月 2 日, paper 30a-ZS-8.
  16. 介川裕章, “ $\text{MgAl}_2\text{O}_4$  スピネル型バリアを用いた格子整合強磁性トンネル接合の開発”,

- 日本磁気学会, 第 36 回スピントロニクス専門研究会, 東京, 2011 年 08 月 22 日.
17. Masaaki Tanaka, “Valence-band picture of GaMnAs obtained by resonant tunneling spectroscopy”, 6th International School and Conference on Spintronics and Quantum Information Technology (SPINTECH6), Matsue, Japan, July 31 - August 6, 2011, paper I-5.
  18. 菅原聡, “スピン機能 MOSFET 技術の展開”, 日本学術振興会ナノプローブテクノロジー第 167 委員会第 63 回研究会, 日吉, 横浜, July 28-29, 2011, paper 3, pp18-24.
  19. 田中雅明, “電気と磁気の新しい交わり - スピントロニクス研究の現状と展望 -”, サイエンステクノフロンティアフォーラム講演, 東京大学駒場キャンパス, 2011 年 7 月 23 日.
  20. S. Mitani, H. Sukegawa, Z. C. Wen, S. Kasai, and K. Inomata, “Full Heusler alloy-based spintronic devices”, JSPS York-Tohoku Research Symposium on “Magnetic Materials and Spintronics”, University of York, York, England, June 27-29, 2011.
  21. Masaaki Tanaka, Pham Nam Hai, Iriya Muneta, and Shinobu Ohya, “III-V based magnetic heterostructures and nanostructures: Bandstructure, spin dependent tunneling, and magnetoresistance”, Sweden-Japan Workshop on Quantum Nanoelectronics (QNANO 2011), Visby, Sweden, June 12-14, 2011.
  22. 田中雅明, “電気と磁気の新しい交わり - スピンを用いたエレクトロニクスの研究”, SOC 新人研究会特別講演, 東京高輪, 2011 年 6 月 6 日.
  23. Hiroaki Sukegawa, Shinya Kasai, Takao Furubayashi, Seiji Mitani, and Koichiro Inomata, “Current-induced magnetization switching in Heusler alloy-based devices”, Intermag 2011, Taipei, April 25-29, 2011, paper HC-03.
  24. K. Inomata, “Half-Metallic Heusler Alloys and Their Spintronics Applications”, SISE 2011, Shenzhen, China, April 7-10, 2011.
  25. 菅原聡, “スピントランジスタ・エレクトロニクス - 不揮発性ロジックに基づく低消費電力集積回路の基盤技術 -”, 2011 年春季 第 58 回応用物理学関係連合講演会, 厚木市, 神奈川, March 24-27, 2011, paper 25a-KA-7, シンポジウム: ナノエレクトロニクス研究の国際連携
  26. Y. Shuto, Y. Takamura, and S. Sugahara, “Spin-functional MOSFETs based on half-metallic ferromagnet technology”, Workshop on Heusler Alloys and Their Spintronics Applications”, Hokkaido University, Sapporo, Japan, January 26, 2011.
  27. K. Inomata, “A large tunneling magnetoresistance in magnetic tunnel junctions using Fermi-level-tuned  $\text{Co}_2\text{FeAl}_{1-x}\text{Si}_x$  Heusler alloys”, 1st Intl. Symp. On Spintronic Devices and Commercialization 2010 (ISSDC 2010), Beijing, China, October 21-24, 2010.
  28. 菅原聡, “スピン機能 MOSFET とその集積エレクトロニクスへの応用”, 日本物理学会 2010 年秋大会, 堺, 大阪, September 23-26, 2010, Paper 25pRP-9.
  29. 菅原聡, 周藤悠介, 山本修一郎, “不揮発性メモリ素子を用いた不揮発性/ばらつき補償 SRAM 技術”, 2010 年秋季第 71 回応用物理学学会学術講演会, 長崎市, 長崎, September 14-17, 2010, paper 15p-ZE-9.
  30. S. Sugahara, “Spin-functional MOSFETs: CMOS/spintronics hybrid technology”, The 6th Intl. Conf. on the Physics and Applications of Spin Related Phenomena in Semiconductors, Tokyo, Japan, August 1-4, 2010, paper S-3, pp. 173-173.
  31. S. Sugahara, “Spin-functional MOSFETs: Material, device, and circuit technologies”, 29th Electronic Materials Symposium (EMS-29), Shuzenji, Izu, July 14-16, 2010, paper SP-3, pp277-279.
  32. K. Inomata, “A Large Tunnel Magnetoresistance in Epitaxial Magnetic Tunnel

- Junctions Using  $\text{Co}_2\text{FeAl}_{1-x}\text{Si}_x$  Heusler Alloy Electrodes”, Intl. Conf. on Superconductivity and Magnetism 2010 (ICSM 2010), Antalya, Turkey, April 26–30, 2010.
33. Ahsan M. Nazmul, and Masaaki Tanaka, “Ferromagnetic Semiconductor Heterostructures for Spintronics”, 12nd International Symposium on Microwave and Optical Technology (ISMOT-2009), New Delhi, India, December 16–19, 2009.
  34. M. Tanaka, P.N. Hai, and S. Ohya, “Electromotive force and huge magnetoresistance ( $\sim 100,000\%$ ) in magnetic nanostructures with zincblende MnAs nanomagnets”, 9th Japan–Sweden QNANO Workshop, Komaba campus at University of Tokyo, November 13–14, 2009.
  35. 菅原聡, ”スピンの機能 MOSFET とその集積回路応用”日本磁気学会第 168 回研究会 第 26 回スピニエレクトロニクス専門研究会, 仙台, 宮城, November 2, 2009.
  36. S. Sugahara, “Spin-functional MOSFETs”, Intl. Symp. Silicon Nanodevices in 2030: Prospects by world’s leading scientists, Tokyo, Japan, October 13–14, 2009.
  37. 菅原聡, “エマージングメモリデバイスと CMOS の機能融合による新しいコンピュータアーキテクチャの基礎: イントロダクトリートーク”, 平成 21 年秋季 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 8 日 – 11 日, paper 9p-TA-1, 2009.
  38. 周藤悠介, 山本修一郎, 菅原聡, “Spin-RAM/ReRAM 技術を用いた機能 MOSFET とその不揮発性 SRAM/フリップフロップへの応用”, 平成 21 年秋季 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 8 日 – 11 日, paper 9p-TA-8.
  39. 山本修一郎, 菅原聡, 前島英雄, “マイクロプロセッサにおけるエマージングメモリデバイスへの期待”, 平成 21 年秋季 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 8 日–11 日, paper 9p-TA-4.
  40. 猪俣浩一郎, “Co 基ホイスラー合金の構造とトンネル磁気抵抗”, 電気学会マグネティクス研究会, 宇都宮大学, 栃木, 8 月 5 日, 2009.
  41. 菅原聡, “スピントランジスタによる新しいエレクトロニクスの展開”, 電子情報通信学会シリコン材料・デバイス研究会(SDM), 大岡山, 東京, July 16–17, 2009, テーマ: 低電圧/低消費電力技術, 新デバイス・回路とその応用.
  42. M. Tanaka, “Functionalities of GaAs/MnAs nanocomposites”, 5th International School and Conference on Spintronics and Quantum Information Technology (SPINTECH-V), Krakow (Cracow), Poland, July 7–11, 2009.
  43. S. Sugahara, and Y. Takamura, “SOI-Based Spin-Transistor Technologies”, 215th ECS Meeting, San Francisco, USA, May 24–29, 2009, paper 949.
  44. S. Sugahara, “Nonvolatile Logic Technologies for Green IT”, The 2009 International Meeting for Future of Electron Devices Kansai (IMFEDK), Osaka, Japan, May 14–15, 2009, Tutorials.
  45. 菅原聡, “スピンの機能 MOSFET による新しいエレクトロニクスの展開”, 応用物理学会シリコンテクノロジー分科会第 111 回研究集会, 東京, March 16, 2009, paper. 6, テーマ: Si ナノテクノロジーとスピントロニクス.
  46. 猪俣浩一郎, ” $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  ホイスラー合金のハーフメタル特性”, スピントロニクス研究会(新世代研究所), 蔵王, 山形, 2 月 20 日, 2009.
  47. 田中雅明, “スピニエレクトロニクス技術の未来と現状～スピントロニクスが拓く次世代エレクトロニクスデバイス”, 新産業創出セミナー, 東京お茶の水総評会館, 東京, 2009 年 1 月 21 日.
  48. 介川裕章, R. Shan, 小塚雅也, 古林孝夫, 久保忠勝, W.H. Wang, 三谷誠司, 猪俣浩一郎, 宝野和博, “スピネル  $\text{MgAl}_2\text{O}_x$  バリアを有する強磁性トンネル接合の TMR 効果”, 日本磁気学会スピントロニクス専門研究会, 1 月 12 日, 2009.
  49. 田中雅明, “半導体スピントロニクス材料”, 金属学会第 3 分科会シンポジウム「スピントロニクス・ナノ磁性材料の進展と将来展望」, 東北大学金属材料研究所, 仙台, 2009

年1月6日.

50. K. Inomata, H. Sukegawa, W.H. Wang, and R. Shan, "Tunnel magnetoresistance in junctions using half-metallic Co-based Heusler alloys", WE-Heraeus-Seminar, Magnetism meets semiconductors, Spin Phenomena in Heterostructures and Novel Materials, Bad Honnef, Germany, January 5-7, 2009.
51. K. Inomata, H. Sukegawa, W.H. Wang, R. Shan, T. Furubayashi, Y.K. Takahashi, and K. Hono, "Half-metallic  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  Heusler alloys for spintronics devices", MRS 2008, Boston, USA, December 2 - 5, 2008, paper L4.5.
52. 田中雅明, "半導体スピントロニクス ~材料とデバイス研究の現状と展望~", 物性科学領域横断研究会「スピンの拓く物性科学の最前線」, 東京大学本郷キャンパス武田ホール, 東京, 2008年11月29日-12月1日.
53. K. Inomata, H. Sukegawa, W.H. Wang, and R. Shan, "Half-metallic  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  Heusler Alloy for Spintronics" International Workshop on Advances in Spintronic Materials", Duisburg, Germany, November 26-28, 2008.
54. 田中雅明, "スピンを生かした新しいエレクトロニクスの開拓", かわさきサイエンス&テクノロジーフォーラム2008, かながわサイエンスパーク, 川崎, 2008年11月12日-13日.
55. M. Tanaka, "Materials and devices for semiconductor spintronics", Shanghai Jiao Tong University - University of Tokyo Joint Symposium on Electronics, Information Technology, and Electrical Engineering, Shanghai, October 30-31, 2008.
56. S. Sugahara, "Spin-Transistor Electronics with Spin-MOSFETs", The 32nd Annual Conference on Magnetism in Japan, Tagajo, Japan, September 12-15, 2008, paper 12pB-7, Symposium: Integration of Metallic and Semiconductor Systems in Spin Electronics.
57. 中根了昌, 原田智之, 杉浦邦晃, 菅原聡, 田中雅明, "シリコン MOS 反転層へのスピン注入とスピン MOSFET への応用", 2008年(平成20年)秋季第69回応用物理学会学術講演会, 「半導体へのスピン注入とデバイス応用への展望」シンポジウム, 中部大学, 春日井, 愛知, 2008年9月2日-5日, paper 3p-CA-3.
58. 菅原聡, 高村陽太, 中根了昌, 周藤悠介, 山本修一郎, "スピン MOSFET を用いたスピントランジスタ・エレクトロニクス", 平成20年秋季第69回応用物理学会学術講演会, 春日井, 愛知, September 2-5, 2008, paper 3p-E-3, シンポジウム:シリコンナノエレクトロニクス新展開-新材料導入によるシリコンプラットフォームの超機能化-.
59. 田中雅明, "半導体スピントロニクスの現状と展望", 平成20年度 飯綱・サイエンス・サマー道場 - 進化・発展するナノエレクトロニクス. その本命は? -, 長野県飯綱高原, 2008年8月16日-18日.
60. M. Tanaka, "Recent Progress in Materials and Devices for Semiconductor Spintronics", 9TH International Workshop on Expert Evaluation & Control of Compound Semiconductor Materials & Technologies (EXMATEC 2008), Lodz, Poland, June 1-4, 2008.
61. M. Tanaka, "Materials and Devices for Semiconductor Spintronics", 4th Asian Conference of Crystal Growth and Crystal Technology (CGCT-4), Sendai, May 21-23, 2008.
62. 菅原聡, "スピン機能 MOSFET とその高機能ロジックへの展開 - 電荷とスピンの融合による新しい高性能・高機能集積回路技術-", JST Innovation Bridge, 東京, March 10, 2008, paper B2.
63. M. Tanaka, "Spintronics materials and devices for advanced electronics", 2008 RCIQE International Seminar on Advanced Semiconductor Materials and Devices, Hokkaido University, Sapporo, March 3-4, 2008.
64. 菅原聡, "スピン MOSFET とその高機能ロジックへの応用", STRJワークショップ2007,

東京, March 6-7, 2008, paper 6E.

65. M. Tanaka, "Spin MOSFETs and reconfigurable logic design", Workshop on Ferromagnetic Logic Devices, Circuits and Applications, UCLA, Los Angeles, February 21-22, 2008.

② 口頭発表 (国内会議 53 件, 国際会議 33 件)

1. Adiyudha Sadono, 悪七泰樹, 置塩貴雄, 周藤悠介, 菅原聡, "Highly efficient spin injection into silicon using ferromagnetic tunnel contact with radical-oxidation-formed MgO barrier", 平成 25 年春季 第 60 回応用物理学会学術講演会, 厚木市, 神奈川, 2013 年 3 月 27 日-30 日, paper 28a-A7-2.
2. 周藤悠介, 山本修一郎, 菅原聡, "ナノ CMOS 技術を用いた擬似スピン MOSFET および不揮発性 SRAM セルの性能と設計", 平成 25 年春季 第 60 回応用物理学会学術講演会, 厚木市, 神奈川, 2013 年 3 月 27 日-30 日, paper 28a-G9-7.
3. Y. Kawame, M. Sato, Y. Shuto, and S. Sugahara, "Work-function control of half-metallic full-Heusler  $\text{Co}_2\text{FeSi}_{1-x}\text{Al}_x$  thin films for Si-based spin-transistor applications", 12th Joint MMM-Intermag Conference, January 14-18, 2013, Chicago, IL, USA, paper EI-06.
4. Y. Shuto, S. Yamamoto, H. Sukegawa, Z.C. Wen, R. Nakane, S. Mitani, M. Tanaka, K. Inomata, and S. Sugahara, "Design and performance of pseudo-spin-MOSFETs using nano-CMOS devices", 2012 IEEE International Electron Devices Meeting (IEDM2012), November 10-12, 2012, San Francisco, CA, USA, paper 29.6.
5. S. Yamamoto, Y. Shuto, and S. Sugahara, "Nonvolatile flip-flop using pseudo-spin-transistor architecture and its power-gating applications", 2012 IEEE Intl. Semiconductor Conference Dresden-Grenoble (ISCDG), Grenoble, France, September 24-26, 2012.
6. Y. Shuto, S. Yamamoto, and S. Sugahara, "Analysis of static noise margin and power-gating efficiency of a new nonvolatile SRAM cell using pseudo-spin-MOSFETs", 2012 IEEE Silicon Nanotechnology Workshop (SNW2012), June 10-11, 2012, Honolulu, HI, USA, paper 4-3.
7. S. Yamamoto, Y. Shuto, and S. Sugahara, "Nonvolatile Power-Gating FPGA Based on Spin-Transistor Architecture with Spin-Transfer-Torque MTJs", 2012 MRS spring meeting, San Francisco, CA, USA, April 9-13, 2012, paper E4-11.
8. Z. Wen, H. Sukegawa, S. Kasai, M. Hayashi, S. Mitani, K. Inomata, "Tunnel magnetoresistance in perpendicularly magnetized  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFeB}$  magnetic tunnel junctions", International Conference of the Asian Union of Magnetism Societies (ICAUMS2012), Nara, October 2, 2012.
9. H. Sukegawa, Z. C. Wen, K. Kondou, S. Kasai, S. Mitani, and K. Inomata, "Current-induced magnetization switching in epitaxial full-Heusler  $\text{Co}_2\text{FeAl}$ -based magnetic tunnel junctions", INTERMAG2012, Vancouver, Canada, May 10, 2012.
10. H. Sukegawa, S. Mitani, T. Niizeki, T. Ohkubo, K. Inomata, K. Hono, "Enhanced tunnel magnetoresistance in magnetic tunnel junctions with an epitaxial Mg-Al-O barrier", The 19th International Conference on Magnetism (ICM2012), Busan, Korea, July 12, 2012.
11. Z. C. Wen, H. Sukegawa, S. Kasai, M. Hayashi, S. Mitani, and K. Inomata, "Tunneling magnetoresistance in perpendicular magnetized  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFeB}$  magnetic tunnel junctions", The 19th International Conference on Magnetism (ICM2012), Busan, Korea, July 12, 2012.
12. M. Wojcik, E. Jedryka, H. Sukegawa, T. Nakatani, and K. Inomata, "Electron Doping and Atomic Short-Range Disorder in Epitaxial  $\text{Co}_2\text{FeSi}_{1-x}\text{Al}_x$  Heusler Alloys Probed by



- <sup>59</sup>Co NMR”. ICMFS, Shanghai, China, September 24-28, 2012.
13. 周藤悠介, 山本修一郎, 菅原聡, “擬似スピン MOSFET を用いた不揮発性 SRAM: スリープモード動作とその応用”, 平成 24 年秋季 第 73 回応用物理学学会学術講演会, 松山市, 愛媛, 2012 年 9 月 11 日-14 日, paper 13a-F4-8.
  14. 周藤悠介, 山本修一郎, 菅原聡, “擬似スピン MOSFET を用いた不揮発性 SRAM のスタティックノイズマージンとエネルギー性能の解析”, 電子通信学会集積回路研究会(ICD)シリコン材料・デバイス研究会(SDM)共催研究会, 札幌, 北海道, 2012 年 8 月 1 日-2 日, paper 14.
  15. 周藤悠介, 山本修一郎, 菅原聡, “擬似スピン MOSFET を用いた不揮発性 SRAM: スタティックノイズマージン評価”, 第 59 回応用物理学関係連合講演会, 2012 年 3 月 15-18, 新宿, 東京, 早稲田大学, paper 16p-A1-19.
  16. 高村陽太, 林建吾, 影井泰次郎, 周藤悠介, 菅原聡, “ラジカル酸窒化膜を用いた CFS/SiO<sub>x</sub>N<sub>y</sub>/Si トンネル接合の形成と構造評価,” 第 16 回半導体スピン工学の基礎と応用(PASPS-16), 目黒, 東京工業大学大岡山キャンパス, 2011 年 11 月 28 日-29 日, paper C5, p. 41.
  17. 高村陽太, 林建吾, 周藤悠介, 菅原聡, “ラジカル酸窒化法を用いた Co<sub>2</sub>FeSi/SiO<sub>x</sub>N<sub>y</sub>/Si トンネル接合の形成,” 第 72 回応用物理学学会学術講演会, 山形, 山形大学小石川キャンパス, 2011 年 8 月 29 日-9 月 2 日, paper 30a-ZS-12.
  18. 佐藤充浩, 高村陽太, 菅原聡, “RTA を用いたフルホイスター合金 Co<sub>2</sub>FeSi<sub>1-x</sub>Al<sub>x</sub> の形成と評価(2)”, 2011 年春季 第 58 回応用物理学関係連合講演会, 厚木市, 神奈川, March 24-27, 2011, paper 25a-KM-11.
  19. 林建吾, 高村陽太, 周藤悠介, 菅原聡, “RTA 法を用いた Co<sub>2</sub>FeSi の形成における初期多層膜構造の影響”, 2011 年春季 第 58 回応用物理学関係連合講演会, 厚木市, 神奈川, March 24-27, 2011, paper 25a-KM-10.
  20. 介川裕章, 三谷誠司, 大久保忠勝, 猪俣浩一郎, 宝野和博, “CoFe/Mg-Al-O<sub>x</sub>/CoFe 接合のトンネル磁気抵抗効果とスピン注入磁化反転”, 2012 年秋季 第 73 回応用物理学学会学術講演会, 愛媛県松山市, 2012 年 9 月 13 日.
  21. 介川裕章, Z. C. Wen, 近藤浩太, 葛西伸哉, 三谷誠司, 猪俣浩一郎, “フルホイスター合金 Co<sub>2</sub>FeAl 層を有する強磁性トンネル接合におけるスピン注入磁化反転”, 応用物理学学会, 2012 年 3 月 17 日.
  22. 介川裕章, 三谷誠司, 新関智彦, 大久保忠勝, 猪俣浩一郎, 宝野和博, “準安定立方晶 Al<sub>2</sub>O<sub>3</sub> を用いたエピタキシャル強磁性トンネル接合”, 応用物理学学会, 2012 年 3 月 17 日.
  23. Y. Takamura, and S. Sugahara, “Analysis of the Hanle effect in Si MOS inversion channels at 300K,” 56th Annual Conf. on Magnetism and Magnetic Materials (MMM), Scottsdale, USA, October 30-November 3, 2011, paper HB-12, pp. 548-549.
  24. T. Okishio, Y. Takamura, and S. Sugahara, “Fabrication of spin-MOSFETs using CoFe/Mg/AlO<sub>x</sub>/Si tunnel junctions for the source and drain,” International Conf. on Solid State Devices and Materials (SSDM), Nagoya, Japan, September 28-30, 2011, paper J-4-4, p. 31.
  25. M. Satoh, Y. Takamura, and S. Sugahara, “Characterization of L<sub>21</sub>-ordered full-Heusler Co<sub>2</sub>FeSi<sub>1-x</sub>Al<sub>x</sub> alloy thin films formed by silicidation technique employing a silicon-on-insulator substrate,” Electronic Materials Conf. (EMC) 2011, Santa Barbara, USA, June 22-24, 2011, paper DD-10, p. 96.
  26. Y. Takamura, K. Hayashi, Y. Shuto, and S. Sugahara, “Formation of half-metallic tunnel junctions of Co<sub>2</sub>FeSi/SiO<sub>x</sub>N<sub>y</sub>/Si using radical oxynitridation technique,” Electronic Materials Conf. (EMC) 2011, Santa Barbara, USA, June 22-24, 2011, paper DD-9, p. 96.
  27. Wenhong Wang, Hiroaki Sukegawa, Seiji Mitani, and Koichiro Inomata, “Significant

- enhancement of tunnel magnetoresistance by inserting CoFe to the tunneling barrier interface in  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{Co}_2\text{FeAl}$  magnetic tunneling junctions, Intermag 2011, Taipei, April 29, 2011.
28. Z. C. Wen, H. Sukegawa, S. Mitani and K. Inomata, “Perpendicular magnetization of  $\text{Co}_2\text{FeAl}$  Heusler alloy induced by MgO interface”, Intermag2011, Taipei, April 29, 2011.
  29. H. Sukegawa, H. Xiu, T. Ohkubo, T. Niizeki, S. Mitani, K. Inomata, and K. Hono, “Improvement of tunnel magnetoresistance ratio in fully epitaxial  $\text{MgAl}_2\text{O}_x$  based magnetic tunnel junctions”, Intermag2011, Taipei, April 29, 2011.
  30. H. Sukegawa, H. Xiu, T. Ohkubo, T. Niizeki, S. Mitani, K. Inomata, and K. Hono, “Coherent tunneling effect in a  $\text{MgAl}_2\text{O}_4$  spinel based magnetic tunnel junction”, 5th International Workshop on Spin Currents, Sendai, Japan, July 25, 2011.
  31. S. Sato, R. Nakane, S. Kokutani, and M. Tanaka, “Influence of anisotropic magnetoresistance on nonlocal signals in multi-terminal lateral devices with a Si channel and Fe electrodes”, Three-University-Symposium on Nano-manufacturing and Nanotechnology, Nanotechnology for Advanced Electronics, Photonics, and Sensing, Beijing, China, June 6-7, 2011.
  32. 高村陽太, 林建吾, 周藤悠介, 菅原聡, “ラジカル酸窒化法を用いた  $\text{Co}_2\text{FeSi}/\text{SiO}_x\text{N}_y/\text{Si}$  トンネル接合の形成,” 第72回応用物理学会学術講演会, 山形, 山形大学小石川キャンパス, 2011年8月29日-9月2日, paper 30a-ZS-12.
  33. 佐藤充浩, 高村陽太, 菅原聡, “RTAを用いたフルホイスラー合金  $\text{Co}_2\text{FeSi}_{1-x}\text{Al}_x$  の形成と評価(2)”, 2011年春季第58回応用物理学関係連合講演会, 厚木市, 神奈川, March 24-27, 2011, paper 25a-KM-11.
  34. 林建吾, 高村陽太, 周藤悠介, 菅原聡, “RTA法を用いた  $\text{Co}_2\text{FeSi}$  の形成における初期多層膜構造の影響”, 2011年春季第58回応用物理学関係連合講演会, 厚木市, 神奈川, March 24-27, 2011, paper 25a-KM-10.
  35. 介川裕章, 新関智彦, 三谷誠司, 大久保忠勝, 猪俣浩一郎, 宝野和博, “エピタキシャル  $\text{CoFe}/\text{MgAl}_2\text{O}_4/\text{CoFe}$  強磁性トンネル接合の高 TMR 化と低抵抗化”, 日本磁気学会学術講演会, 2011年9月27日.
  36. Zhenchao Wen, Hiroaki Sukegawa, Seiji Mitani, and Koichiro Inomata, “Perpendicular magnetization of  $\text{Co}_2\text{FeAl}$  full-Heusler alloy thin films induced by MgO interface”, 日本磁気学会学術講演会, 2011年9月27日.
  37. 佐藤彰一, 中根了昌, 國谷瞬, 田中雅明, “強磁性電極を有する半導体ベース多端子デバイスにおける電気伝導: デバイス構造が非局所信号へ与える影響”, 第16回「半導体スピン工学の基礎と応用」研究会(PASPS-16), 東京工業大学博物館・百年記念館(大岡山キャンパス), 2011年11月28日-29日.
  38. Y. Shuto, Y. Takamura, and S. Sugahara, “Numerical simulation analysis of nonlocal multi-terminal devices for spin current detection in semiconductors”, 55th Annual Conference on Magnetism & Magnetic Materials (MMM), Atlanta, GA, USA, November, 14 - 18, 2010, paper DD-04.
  39. Y. Takamura, T. Sakurai, R. Nakane, Y. Shuto, and S. Sugahara, “Comparative study of full-Heusler  $\text{Co}_2\text{FeSi}$  and  $\text{Co}_2\text{FeGe}$  alloy thin films formed by rapid thermal annealing”, 55th Annual Conf. on Magnetism and Magnetic Materials, Atlanta, USA, 14-18 November, 2010, paper CV-02.
  40. K. Hayashi, Y. Takamura, R. Nakane and S. Sugahara, “Formation of  $\text{Co}_2\text{FeSi}/\text{SiN}/\text{Si}$  tunnel junctions for Si-based spin transistors”, 11th Joint MMM-Intermag Conference, Washington, DC, USA, January 18 - 22, 2010, paper HH-02
  41. Y. Takamura, and S. Sugahara, “X-ray diffraction study for atomic disorder in full-Heusler alloy thin films using Co x-ray source”, 11th MMM-Intermag Conf.,

- Washington, DC, USA, January 18-22, 2010, paper HH-09.
42. H. Sukegawa, S. Kasai, T. Furubayashi, S. Mitani and K. Inomata, "Spin-transfer magnetization switching in full-Heusler  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/\text{Ag}/\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  epitaxial nanopillars", Intermag-MMM joint conference, Washington D.C., USA, January 18-22, 2010.
  43. Wenhong Wang, H. Sukegawa, S. Mitani and K. Inomata, "A large tunnel magnetoresistance at room temperature in epitaxial  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFe}$  magnetic tunnel junctions", Intermag-MMM joint conference, Washington D.C., USA, January 18-22, 2010.
  44. 周藤悠介, 高村陽太, 菅原聡, "非局所配置マルチターミナルデバイスの数値解析シミュレーション", 2010年秋季第71回応用物理学会学術講演会, 長崎市, 長崎, September 14 - 17, 2010, paper 16a-A-10.
  45. 周藤悠介, 山本修一郎, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 SRAM: ストア時の書き込み電流制御", 2010年秋季第71回応用物理学会学術講演会, 長崎市, 長崎, September 14 - 17, 2010, paper 16a-A-3.
  46. 周藤悠介, 山本修一郎, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 SRAM: セルリーク電流と BET の削減", 2010年秋季第71回応用物理学会学術講演会, 長崎市, 長崎, September 14 - 17, 2010, paper 17a-ZE-7.
  47. 山本修一郎, 周藤悠介, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 SRAM と不揮発性 DFF の FPGA 応用", 2010年秋季第71回応用物理学会学術講演会, 長崎市, 長崎, September 14 - 17, 2010, paper 16a-A-2.
  48. 山本修一郎, 周藤悠介, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 DFF: 静的リーク電流と BET の削減", 2010年秋季第71回応用物理学会学術講演会, 長崎市, 長崎, September 14 - 17, 2010, paper 17a-ZE-6
  49. 櫻井卓也, 高村陽太, 中根了昌, 周藤悠介, 菅原聡, "RTA によるフルホイスラー合金  $\text{Co}_2\text{FeGe}$  薄膜のエピタキシャル形成", 2010年秋季第71回応用物理学会学術講演会, 長崎市, 長崎, September 14 - 17, 2010, paper 14p-F-7.
  50. 周藤悠介, 中根了昌, Wenhong Wang, 介川裕章, 山本修一郎, 田中雅明, 猪俣浩一郎, 菅原聡, "擬似スピン MOSFET の作製と評価", 2010年春季第57回応用物理学関係連合講演会, 平塚, 神奈川, March 17- 20, 2010, paper 17a-ZJ-9.
  51. 山本修一郎, 菅原聡, "抵抗変化素子を用いたばらつき補償 CMOS ゲート", 2010年春季第57回応用物理学関係連合講演会, 平塚, 神奈川, March 17- 20, 2010, paper 17a-A-5
  52. 林建吾, 高村陽太, 中根了昌, 菅原聡, " $\text{Co}_2\text{FeSi}/\text{SiO}_x\text{N}_y/\text{Si}$  トンネル接合の形成とその構造評価", 2010年春季第57回応用物理学関係連合講演会, 平塚, 神奈川, March 17- 20, 2010, paper 17a-ZH-5.
  53. 佐藤光弘, 高村陽太, 菅原聡, "RTA を用いたフルホイスラー合金  $\text{Co}_2\text{FeAl}_x\text{Si}_{1-x}$  の形成と評価", 2010年春季第57回応用物理学関係連合講演会, 平塚, 神奈川, March 17- 20, 2010, paper 17a-ZH-4.
  54. 介川裕章, Huixin Xiu, 新関智彦, Wenhong Wang, 葛西伸哉, 古林孝夫, 大久保忠勝, 三谷誠司, 猪俣浩一郎, 宝野和博, "フルエピタキシャル  $\text{Fe}/\text{MgAl}_2\text{O}_4/\text{Fe}$  強磁性トンネル接合の TMR 効果", 応用物理学会, 東海大学, 3月17-20日, 2010.
  55. Y. Shuto, S. Yamamoto, and S. Sugahara, "Analysis and Design of Nonvolatile SRAM Using MOSFET-Based Spin-Transistors", Intermag 2009, Sacramento, CA, USA, May 4 - 8, 2009, paper CT-02, p. 195.
  56. Shuu'ichirou Yamamoto, and Satoshi Sugahara, "Variability-Tolerant CMOS Gates Using Functional MOSFETs with Resistive Switching Devices", Extended Abstracts of the 2009 International Conference on Solid State Devices and Materials, Sendai, Japan, pp.810-811, 2009.

57. K. Hayashi, Y. Takamura, R. Nakane and S. Sugahara, "Preparation and characterization of full-Heusler  $\text{Co}_2\text{FeSi}$  alloy thin films on amorphous insulator films", IEEE International Magnetism Conference (INTERMAG 09), Sacramento, CA, USA, May 4 - 8, 2009, paper ES-08.
58. 高村陽太, 菅原聡, "Co 線源 X 線回折を用いたフルホイスラー合金の不規則構造評価法の提案", 第 70 回応用物理学会学術講演会, 富山, 富山大学, 2009 年 9 月 8 日-11 日, paper 10p-ZE-3, p.674 第 2 分冊.
59. 周藤悠介, 山本修一郎, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 SRAM: 電源遮断動作消費電力の評価", 平成 21 年秋季 第 70 回応用物理学会学術講演会, 富山, 2009 年 9 月 8 日 - 11 日, paper 10a-TA-5.
60. 山本修一郎, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 DFF: バルーン DFF との比較", 第 70 回応用物理学会学術講演会, 10a-TA-6, 富山, 2009 年 9 月, II 分冊 p.790
61. 高村陽太, 中根了昌, 周藤悠介, 菅原聡, "不純物偏析技術を用いた  $\text{Co}_2\text{FeSi}$  ソース/ドレイン MOSFET の作製と評価", 第 56 回応用物理学関連連合講演会, March 30-April 2, 2009, つくば, 茨城, paper 1p-TB-9.
62. 周藤悠介, 山本修一郎, 菅原聡, "Pseudo-spin-MOSFET を用いた不揮発性 SRAM: 情報ストア動作解析", 第 56 回応用物理学関連連合講演会, March 30-April 2, 2009, つくば, 茨城, paper 1p-TB-8.
63. 山本修一郎, 菅原聡, "スピン注入磁化反転 MTJ を用いた不揮発性 D フリップフロップ", 第 56 回応用物理学関連連合講演会, March 30-April 2, 2009, つくば, 茨城, paper 1p-TB-6.
64. 林建吾, 高村陽太, 中根了昌, 菅原聡, "極薄絶縁膜上へのフルホイスラー合金  $\text{Co}_2\text{FeSi}$  の形成とその評価", 第 56 回応用物理学関連連合講演会, March 30-April 2, 2009, つくば, 茨城, paper 1a-Q-5.
65. R. Shan, 介川裕章, W. H. Wang, 小塚雅也, 古林孝夫, 大久保忠勝, 三谷誠司, 猪俣浩一郎, 宝野和博, "ホイスラー合金  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  とスピネル  $\text{MgAl}_2\text{O}_4$  トンネルバリアを用いたエピタキシャル強磁性トンネル接合", 日本金属学会秋季大会, 京都大学, 9 月 15 日-17 日, 2009.
66. W. H. Wang, 介川裕章, 猪俣浩一郎, M. Wojcik, R. Shan, 三谷誠司, "フルホイスラー合金  $\text{Co}_2\text{FeAl}$  層を有する強磁性トンネル接合の巨大 TMR", 日本金属学会秋季大会, 京都大学, 9 月 15 日-17 日, 2009.
67. 介川裕章, R. Shan, W. H. Wang, 小塚雅也, 古林孝夫, 大久保忠勝, 三谷誠司, 猪俣浩一郎, 宝野和博, " $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/\text{MgAl}_2\text{O}_4/\text{CoFe}$  強磁性トンネル接合のトンネル磁気抵抗効果と微細構造", 日本磁気学会, 長崎大学, 9 月 12-15 日, 2009.
68. 介川裕章, 葛西伸哉, 古林孝夫, 三谷誠司, 猪俣浩一郎, " $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/\text{Ag}/\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  構造を有する CPP-GMR 素子のスピン注入磁化反転", 日本磁気学会, 長崎大学, 9 月 12-15 日, 2009.
69. Wenhong Wang, Hiroaki Sukegawa, Rong Shan, Seiji Mitani, and Koichiro Inomata, "Giant tunneling magnetoresistance up to 330% at room temperature in  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFe}$  magnetic tunnel junctions", 日本磁気学会, 長崎大学, 9 月 12-15 日, 2009.
70. 周藤悠介, 山本修一郎, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 SRAM の提案と解析", 第 13 回半導体スピン工学の基礎と応用(PASPS-13), 仙台, January 27-28, 2009, paper E-4, p. 42.
71. 林建吾, 高村陽太, 中根了昌, 菅原聡, "非晶質絶縁膜上へのフルホイスラー合金  $\text{Co}_2\text{FeSi}$  の形成と評価", 第 13 回半導体スピン工学の基礎と応用(PASPS-13), 仙台, January 27-28, 2009, paper B-3, p. 9.
72. Y. Takamura, R. Nakane, and S. Sugahara, "Analysis of L21-ordering in full-Heusler

- Co<sub>2</sub>FeSi alloy thin films formed by rapid thermal annealing”, 53rd Annual Conference on Magnetism and Magnetic Materials (MMM2008), Austin, USA, November 10 - 14, 2008, paper DD-03.
73. Y. Takamura, Y. Nagahama, A. Nishijima, R. Nakane, and S. Sugahara, “Formation of Si- and Ge-based Full-Heusler Alloy Thin Films Using SOI and GOI Substrates for the Half-Metallic Source and Drain of Spin Transistors”, Pacific Rim Meeting on Electrochemical and Solid-State Science (PRiME2008), Honolulu, USA, October 12-17, 2008.
  74. Hiroaki Sukegawa, Wenhong Wang, Rong Shan, and Koichiro Inomata, “Tunnel magnetoresistance effect and tunneling conductance in magnetic tunnel junctions with full-Heusler Co<sub>2</sub>FeAl<sub>0.5</sub>Si<sub>0.5</sub> electrodes”, Conference on Magnetism, and Magnetic Materials, TEXAS, USA, 10-14, November, 2008.
  75. W. H. Wang, H. Sukegawa, R. Shan, K. Inomata, “Tunnel magnetoresistance in Co<sub>2</sub>FeAl<sub>0.5</sub>Si<sub>0.5</sub>/MgO/Co<sub>2</sub>FeAl<sub>0.5</sub>Si<sub>0.5</sub> magnetic tunneling junctions prepared on Si/SiO<sub>2</sub> substrates”, Conference on Magnetism, and Magnetic Materials, TEXAS, USA, 10-14, November, 2008.
  76. R. Nakane, T. Harada, K. Sugiura, S. Sugahara, and M. Tanaka, “Magnetoresistance in MOSFETs with ferromagnetic MnAs source and drain contacts: Spin injection and transport in Si MOS channels”, 66th Device Research Conference, University of California at Santa Barbara, June 23-25, 2008.
  77. 高村陽太, 中根了昌, 菅原聡, “RTA によって作製したフルホイスラー合金 Co<sub>2</sub>FeSi の規則度”, 第 69 回応用物理学会学術講演会, 春日井, 愛知, September 2-5, 2008, paper 2a-ZR-6.
  78. 林建吾, 高村陽太, 中根了昌, 菅原聡, “非晶質絶縁膜上に形成したフルホイスラー合金 Co<sub>2</sub>FeSi の結晶構造評価”, 第 69 回応用物理学会学術講演会, 春日井, 愛知, September 2-5, 2008, paper 2a-ZR-7.
  79. 山本修一郎, 菅原聡, “スピン注入磁化反転 MTJ を用いた不揮発性 SRAM: 通常動作時消費電力の削減”, 第 69 回応用物理学会学術講演会, 春日井, 愛知, September 2-5, 2008, paper 5a-R-11.
  80. 周藤悠介, 山本修一郎, 菅原聡, “Pseudo-spin-MOSFET を用いた不揮発性 SRAM: 消費電力削減の効果”, 第 69 回応用物理学会学術講演会, 春日井, 愛知, September 2-5, 2008, paper 5a-R-12.
  81. 介川裕章, Wenhong Wang, Rong Shan, 猪俣浩一郎, “MgO 基板/MgO バッファ層上に作製した Co<sub>2</sub>FeAl<sub>0.5</sub>Si<sub>0.5</sub> フルホイスラー合金の結晶構造および磁気特性”, 応用物理学会 秋季大会, 9 月 2-5, 2008, 中部大学.
  82. 介川裕章, Wenhong Wang, Rong Shan, 猪俣浩一郎, “フルホイスラー-Co<sub>2</sub>FeAl<sub>0.5</sub>Si<sub>0.5</sub> 合金を用いた強磁性トンネル接合のトンネルコンダクタンス”, 応用物理学会 秋季大会, 9 月 2-5, 2008, 中部大学.
  83. 菅原聡, 山本修一郎, “スピン注入磁化反転 MTJ を用いた pseudo-spin-MOSFET の動作解析”, 第 55 回応用物理学関連連合講演会, 船橋, March 27-30, 2008, paper 30p-F-6.
  84. 山本修一郎, 菅原聡, “スピン注入磁化反転 MTJ を用いた不揮発性 SRAM: 仮想接地セルアーキテクチャ”, 第 55 回応用物理学関連連合講演会, 船橋, March 27-30, 2008, paper 30p-F-7.
  85. 山本修一郎, 菅原聡, “スピン注入磁化反転 MTJ を用いた不揮発性 SRAM: V<sub>half</sub> の影響”, 第 55 回応用物理学関連連合講演会, 船橋, March 27-30, 2008, paper 30p-F-8.
  86. 高村陽太, 西島輝, 長浜陽平, 中根了昌, 宗片比呂夫, 菅原聡, “RTA を用いて作製したフルホイスラー合金 Co<sub>2</sub>FeSi, Co<sub>2</sub>FeGe の構造”, 第 55 回応用物理学関連連

合講演会, , 船橋, March 27-30, 2008, paper 28a-F-4.

③ ポスター発表 (国内会議 16 件, 国際会議 31 件)

1. Y. Shuto, S. Yamamoto, and S. Sugahara, "Static noise margin and power-gating efficiency of a new nonvolatile SRAM cell based on pseudo-spin-transistor architecture", 4th IEEE Int. Memory Technology Workshop (IMW2012), May 20-23, 2012, Milano, Italy, paper 16.
2. 山本修一郎, 周藤悠介, 菅原聡, "擬似スピン MOSFET を用いた不揮発性 DFF: BET における静的リーク電流の影響", 平成 24 年秋季 第 73 回応用物理学会学術講演会, 松山市, 愛媛, 2012 年 9 月 11 日-14 日, paper 12p-PB10-5.
3. 山本修一郎, 周藤悠介, 菅原聡, "擬似スピン MOSFET 技術を用いた FPGA の不揮発性パワーゲーティング", 平成 24 年秋季 第 73 回応用物理学会学術講演会, 松山市, 愛媛, 2012 年 9 月 11 日-14 日, paper 12p-PB10-6.
4. Y. Shuto, S. Yamamoto, and S. Sugahara, "Nonvolatile SRAM based on spin-transistor architecture for nonvolatile power-gating systems", International Symposium on Advanced Hybrid Nano Devices (IS-AHND): Prospects by World's Leading Scientists, October 4-5, 2011, Tokyo Institute of Technology, Japan, paper P-43.
5. S. Yamamoto, Y. Shuto, and S. Sugahara, "Nonvolatile power-gating FPGAs based on spin-transistor architecture", International Symposium on Advanced Hybrid Nano Devices (IS-AHND): Prospects by World's Leading Scientists, October 4-5, 2011, Tokyo Institute of Technology, Japan, paper P-44.
6. Y. Takamura, and S. Sugahara, "Analysis and design of Hanle-effect spin-transistor", International Symposium on Advanced Hybrid Nano Devices (IS-AHND) : Prospects by World's Leading Scientists, Tokyo, Japan, October 4-5, 2011, paper P-39, pp. 125-126.
7. Y. Takamura, K. Hayashi, Y. Shuto, and S. Sugahara, "Formation and structural analysis of half-metallic  $\text{Co}_2\text{FeSi}/\text{SiO}_x\text{N}_y/\text{Si}$  contacts with radical-oxynitridation- $\text{SiO}_x\text{N}_y$  tunnel barrier", International Symposium on Advanced Hybrid Nano Devices (IS-AHND) : Prospects by World's Leading Scientists, Tokyo, Japan, October 4-5, 2011, paper P-40, pp. 127-128.
8. M. Satoh, Y. Takamura, and S. Sugahara, "Preparation and characterization of  $L2_1$ -ordered full-Heusler  $\text{Co}_2\text{FeSi}_{1-x}\text{Al}_x$  alloy thin films formed by rapid thermal annealing", International Symposium on Advanced Hybrid Nano Devices (IS-AHND) : Prospects by World's Leading Scientists, Tokyo, Japan, October 4-5, 2011, paper P-41, pp. 129-130.
9. T. Okishio, Y. Takamura, and S. Sugahara, "Low-barrier ferromagnet source/drain MOSFETs using  $\text{CoFe}/\text{Mg}/\text{AlO}_x/\text{Si}$  depinning contacts", International Symposium on Advanced Hybrid Nano Devices (IS-AHND) : Prospects by World's Leading Scientists, Tokyo, Japan, October 4-5, 2011, paper P-42, pp. 131-132.
10. Y. Shuto, S. Yamamoto, and S. Sugahara, "Evaluation and control of break-even time for nonvolatile SRAM using pseudo-spin-MOSFETs with spin-transfer-torque MTJs", IEEE International Magnetism Conference 2011 (INTERMAG), April 25-29, 2011, Taipei, Taiwan, paper FR-02.
11. S. Yamamoto, Y. Shuto, and S. Sugahara, "Application of NV-DFF and NV-SRAM using spin-transistor Architecture with spin transfer torque MTJs to nonvolatile power-gating FPGA", IEEE International Magnetism Conference 2011 (INTERMAG), Taipei, Taiwan, April 25 - 29, 2011, paper FR-03.
12. S. Yamamoto, Y. Shuto, and S. Sugahara, "Power-gating ability and power aware design of nonvolatile delay flip-flop using spin-transistor architecture with spin

- transfer torque MTJs”, IEEE International Magnetism Conference 2011 (INTERMAG), Taipei, Taiwan, April 25 – 29, 2011, paper FR-04.
13. 置塩貴雄, 高村陽太, 菅原聡, “CoFe/Mg/AIO<sub>x</sub>/Si デビオン接合を用いた低バリア強磁性ソース/ドレイン MOSFET,” 第 16 回半導体スピン工学の基礎と応用(PASPS-16), 目黒, 東京工業大学大岡山キャンパス, 2011 年 11 月 28 日-29 日, paper P16, p. 75.
  14. 周藤悠介, 山本修一郎, 菅原聡, “擬似スピン MOSFET を用いた不揮発性 SRAM:スリープ時リーク電流削減効果”, 第 72 回秋季応用物理学会学術講演会, 2011 年 8 月 29 日-9 月 2 日, 山形市, 山形, paper 1p-P10-23.
  15. 高村陽太, 菅原聡, “スピン MOSFET における Hanle 効果の解析”, 第 72 回応用物理学会学術講演会, 山形, 山形大学小石川キャンパス, 2011 年 8 月 29 日-9 月 2 日, paper 1p-P10-24.
  16. 置塩貴雄, 高村陽太, 菅原聡, “CoFe/Mg/AIO<sub>x</sub>/Si トンネル構造をソース/ドレインに用いたスピン MOSFET の作製”, 第 72 回応用物理学会学術講演会, 山形, 山形大学小石川キャンパス, 2011 年 8 月 29 日-9 月 2 日, paper 1p-P10-25.
  17. Y. Shuto, R. Nakane, W. H. Wang, H. Sukegawa, S. Yamamoto, M. Tanaka, K. Inomata, and S. Sugahara, “A new spin-functional MOSFET based on MTJ technology: Pseudo-spin-MOSFET”, The 6th International Conference on the Physics and Applications of Spin Related Phenomena in Semiconductors”, Tokyo, Japan, August 1 - 4, 2010, paper P2-71.
  18. Y. Shuto, S. Yamamoto, and S. Sugahara, “Operating analysis of nonvolatile SRAM using pseudo-spin-MOSFETs”, The 6th International Conference on the Physics and Applications of Spin Related Phenomena in Semiconductors”, Tokyo, Japan, August 1 - 4, 2010, paper P2-72.
  19. T. Sakurai, Y. Takamura, R. Nakane, Y. Shuto, and S. Sugahara, “Epitaxial germanidation of full-Heusler Co<sub>2</sub>FeGe alloy thin films by rapid thermal annealing”, The 6th International Conf. on the Physics and Applications of Spin Related Phenomena in Semiconductors (PASPS-VI), Tokyo, Japan, August 1-4, 2010, paper P2-22.
  20. Y. Takamura, R. Nakane, and S. Sugahara, “Disordered structures in full-Heusler Co<sub>2</sub>FeSi alloy thin films formed by rapid thermal annealing”, The 6th International Conf. on the Physics and Applications of Spin Related Phenomena in Semiconductors (PASPS-VI), Tokyo, Japan, August 1-4, 2010, paper P2-21.
  21. Shuu'ichirou Yamamoto, and Satoshi Sugahara, “Nonvolatile delay flip-flop using pseudo-spin-MOSFETs and its power-gating applications”, the 11th Joint MMM/Intermag Conf., Washington D.C., Jan. 2010, DT-03.
  22. Y. Shuto, S. Yamamoto, and S. Sugahara, “Operating analysis of nonvolatile SRAM using pseudo-spin-MOSFETs”, 11th Joint MMM-Intermag Conference, Washington, DC, USA, January 18 - 22, 2010, paper DT-02.
  23. Shuu'ichirou Yamamoto, and Satoshi Sugahara, “Nonvolatile delay flip-flop using magnetic tunnel junctions with current-induced magnetization switching architecture”, IEEE International Magnetism Conference, Sacramento, May 2009, ET-01.
  24. Shuu'ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara, “Nonvolatile SRAM(NV-SRAM) Using Functional MOSFET Merged with Resistive Switching Devices”, Proceedings of IEEE 2009 Custom Integrated Circuits Conference (CICC), San Jose, USA, Sep. 2009, pp.531-534.
  25. Shuu'ichirou Yamamoto, Yusuke Shuto, and Satoshi Sugahara, “Nonvolatile power-gating microprocessor concepts using nonvolatile SRAM and flip-flop”, International Symposium on Silicon Nano Devices in 2030, Tokyo, Oct. 2009, P-50.
  26. Y. Shuto, R. Nakane, H. Sukegawa, S. Yamamoto, M. Tanaka, K. Inomata, and S.

- Sugahara, "Fabrication and characterization of pseudo-spin-MOSFETs", Intl. Conf. Silicon Nano Devices in 2030, Tokyo, October 13 - 14, 2009, paper P-49, pp.148-149.
27. Y. Shuto, S. Yamamoto, and S. Sugahara, "Analysis and design of nonvolatile SRAM using spintronics technology", Non-volatile Memory Technology Symposium 2009 (NVMTS09), Portland, OR, USA, October 25 - 28, 2009, paper P7.
  28. Y. Takamura, and S. Sugahara, "Half-metallic ferromagnet technologies for spin-functional MOSFETs", Intl. Conf. "Silicon Nano Devices in 2030: Prospects by world's leading scientists", Tokyo, Japan, October 13-14, 2009, paper P-48.
  29. Wenhong Wang, Hiroaki Sukegawa, Rong Shan, and Koichiro Inomata, "Fabrication and Characterization of Epitaxial  $\text{Co}_2\text{FeAl}_{0.25}\text{Si}_{0.75}$  Films for Magnetic Tunnel Junctions", ICM (Karlsruhe) 26-30, July, 2009.
  30. Wenhong Wang, Hiroaki Sukegawa, Rong Shan, and Koichiro Inomata, "Structure and magnetic properties of epitaxial Full-Heusler  $\text{Co}_2\text{FeAl}_{0.25}\text{Si}_{0.75}$  films and TMR using their electrodes", ICMFS, Berlin, Germany, July 20-24, 2009.
  31. H. Sukegawa, T. M. Nakatani, W. H. Wang, R. Shan, S. Mitani, K. Inomata and K. Hono, "HIGH TUNNEL MAGNETORESISTANCE IN FULLY-EPITAXIAL MAGNETIC TUNNEL JUNCTIONS WITH FULL HEUSLER  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  ALLOYS", ICMFS (Berlin), July 20-24, 2009.
  32. H. Sukegawa, T. M. Nakatani, W. H. Wang, R. Shan, M. Wojcik, S. Mitani, K. Inomata, and K. Hono, "Tunnel Magnetoresistance in full-Heusler  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/\text{MgO}/\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  magnetic tunnel junctions". ICM (Karlsruhe) 26-30, July, 2009.
  33. 山本修一郎, 周藤悠介, 菅原聡, "ノンポーラ型抵抗変化素子を用いた不揮発性 SRAM", 第 56 回応用物理学関連連合講演会, March 30-April 2, 2009, つくば, 茨城, paper 2a-P16-15.
  34. 菅原聡, 周藤悠介, 山本修一郎, "抵抗変化素子を用いた Functional MOSFET/CMOS", 第 56 回応用物理学関連連合講演会, March 30-April 2, 2009, つくば, 茨城, paper 2a-P16-14.
  35. 山本修一郎, 菅原聡, "ノンポーラ型抵抗変化素子の SPICE モデル", 第 56 回応用物理学関連連合講演会, March 30-April 2, 2009, つくば, 茨城, paper 2a-P16-13.
  36. 介川裕章, W. H. Wang, 小塚雅也, 古林孝夫, 大久保忠勝, 三谷誠司, 猪俣浩一郎, 宝野和博, " $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/(\text{Mg},\text{Al})_x/\text{CoFe}$  強磁性トンネル接合の TMR 効果", 応用物理学会 秋季大会, 2009 年 9 月 7 日~10 日, 富山大学
  37. 介川裕章, 葛西伸哉, 古林孝夫, 三谷誠司, 猪俣浩一郎, 宝野和博, "フルホイスラー合金  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  を用いた CPP-GMR 素子のスピン注入磁化反転", 応用物理学会秋季大会, 2009 年 9 月 7 日~10 日, 富山大学
  38. W. H. Wang, 介川裕章, 猪俣浩一郎, フルホイスラー合金  $\text{Co}_2\text{FeAl}/\text{MgO}/\text{CoFe}$  強磁性トンネル接合における巨大 TMR 比", 応用物理学会秋季大会, 2009 年 9 月 7 日~10 日, 富山大学
  39. 國谷瞬, 中根了昌, 佐藤彰一, 菅原聡, 田中雅明, "Fe 電極を用いたスピン MOSFET におけるスピン依存伝導特性", 2009 年秋季第 70 回応用物理学会学術講演会, 富山大学, 2009 年 9 月 8 日-11 日.
  40. Y. Shuto, S. Yamamoto, and S. Sugahara, "Novel nonvolatile SRAM architecture using MOSFET-based spin-transistors", 53rd Annual Conference on Magnetism and Magnetic Materials (MMM2008), Austin, USA, November 10 - 14, 2008, paper CT-02, p. 195.
  41. S. Yamamoto, and S. Sugahara, "Analysis and design of nonvolatile SRAM using magnetic tunnel junctions with current-induced magnetization switching technology",



- 53rd Annual Conference on Magnetism and Magnetic Materials (MMM2008), Austin, USA, November 10 - 14, 2008, paper CT-04.
42. Y. Takamura, A. Nishijima, Y. Nagahama, R. Nakane, and S. Sugahara, "Fabrication Technique of Si- and Ge-based Full-Heusler Alloys for Half-metallic Source/Drain Spin MOSFETs", The Fourth Intl. Nanotechnology Conf. on Communication and Cooperation (INC4), Tokyo, Japan, April 14-17, 2008, paper P-19.
  43. H. Sukegawa, W. H. Wang, R. Shan, and K. Inomata, "Structural and magnetic properties epitaxial full-Heusler alloy  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  films on MgO-buffered MgO(100) substrates and TMR using their electrodes", INTERMAG, 4-8th May, (2008), Madrid, Spain.
  44. Masaaki Tanaka, Ryosho Nakane, Kuniaki Sugiura, Tomoyuki Harada, and Satoshi Sugahara, "Spintronics Materials and Devices for Advanced Electronics: Metal-Oxide-Semiconductor Based Spin Devices for Reconfigurable Logic", Global COE International Symposium on Secure-Life Electronics - Advanced Electronics for Quality Life and Society -, Hongo Campus, University of Tokyo, March 6-7, 2008.
  45. 介川裕章, Wenhong Wang, Rong Shan, 猪俣浩一郎, "フルエピタキシャル  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}/\text{MgO}/\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  強磁性トンネル接合のスピンの偏極トンネル分光", 日本磁気学会, 2008年9月12~15, 東北学院大学
  46. W. H. Wang, 介川裕章, R. Shan and K. Inomata, "Epitaxial growth of  $\text{Co}_2\text{FeAl}_{0.5}\text{Si}_{0.5}$  thin films on MgO substrates; Structure, magnetic and transport properties", 日本磁気学会, 2008年9月12~15, 東北学院大学
  47. 高村陽太, 西島輝, 長浜陽平, 中根了昌, 宗片比呂夫, 菅原聡, "Rapid thermal annealing を用いたフルホイスラー合金の作製と評価", 第12回半導体スピン工学の基礎と応用研究会, 吹田, 大阪, December 20-21, 2008, paper P6.

#### (4)知財出願

##### ①国内出願 (9件)

1. 猪俣浩一郎, Wenhong Wang, 介川裕章, "強磁性トンネル接合およびそれを用いた磁気抵抗効果素子", 特願 2009-123922, 2009年5月22日.
2. 介川裕章, 猪俣浩一郎, Rong Shan, 小塚雅也, 宝野和博, 古林孝夫, Wenhong Wang, "強磁性トンネル接合とそれを用いた磁気抵抗効果素子並びにスピントロニクスデバイス", 特願 2009-099483, 2009年4月16日
3. (独)物質材料・研究機構:古林孝夫, 小玉恒太, 高橋有紀子, 介川裕章, 猪俣浩一郎, 宝野和博, 磁性薄膜素子, 特願 2008-219619, 2008年8月28日.
4. 菅原聡, 周藤悠介, 山本修一郎, 発明の名称:電子回路, 出願人:東京工業大学, 特願 2009-078082, 2009年3月27日.
5. 菅原聡, 山本修一郎, 発明の名称:電子回路, 出願人:東京工業大学, 出願番号:特願 2007-225698.
6. 山本修一郎, 菅原聡, 発明の名称:記憶回路, 出願人:東京工業大学, 出願番号:特願 2007-225697.
7. 山本修一郎, 菅原聡, 発明の名称:ラッチ回路およびフリップフロップ回路, 出願人:東京工業大学, 出願番号:特願 2007-227261.

##### ②海外出願 (5件)

1. 菅原聡, 高村陽太, 発明の名称:強磁性体の形成方法並びにトランジスタ及びその製造方法, 出願人:東京工業大学, 国際出願番号:PCT/JP2008//55769.

2. 菅原聡, 山本修一郎, 発明の名称: 電子回路, 出願人: 東京工業大学, PCT/JP2008/063786, 08/07/31.
3. 山本修一郎, 菅原聡, 発明の名称: 記憶回路, 出願人: 東京工業大学, PCT/JP2008/063787, 08/07/31.

③その他の知的財産権  
無し

(5)受賞・報道等

① 賞

- ・介川裕章, Best Poster Award, The 2<sup>nd</sup> International Symposium on Advanced Magnetic Materials and Applications (ISAMMA 2010), “Magnetic tunnel junctions with a spinel MgAl<sub>2</sub>O<sub>4</sub> barrier”.
- ・介川裕章, 第 29 回(2010 年秋季)応用物理学会 講演奨励賞, “スピネル MgAl<sub>2</sub>O<sub>4</sub> バリアを用いた格子整合強磁性トンネル接合～マグナリウム(Mg-Al 合金)層による作製方法～”
- ・猪俣浩一郎, 日本磁気学会賞 平成 20 年 9 月 13 日
- ・猪俣浩一郎 (NIMS), 応用物理学会フェロー
- ・高村陽太(東工大グループ), 平成 20 年度猪瀬学術奨励賞受賞

② スコミ(新聞・TV等)報道

- ・H24 年 12 月プレス発表(東工大グループ)  
掲載 URL: [http://www.titech.ac.jp/file/press\\_20121211b.pdf](http://www.titech.ac.jp/file/press_20121211b.pdf)

③ その他  
無し

(6)成果展開事例

- ① 実用化に向けての展開
- ② 社会還元的な展開活動

## § 6 研究期間中の活動

### 東工大 G

年月日	名称	場所	参加人数	概要
2009年9月8日-11日	平成21年秋季第70回応用物理学会学術講演会シンポジウム	富山大学	約200名	エマージングメモリデバイスとCMOSの機能融合による新しいコンピュータアーキテクチャの基礎世話人として主催した

### 東大 G

年月日	名称	場所	参加人数	概要
2011年7月25日 ～7月28日	5th International Workshop on Spin Currents	仙台国際センター	200人	主催者: 田中雅明
2011年7月31日 ～8月5日	6th International School and Conference on Spintronics and Quantum Information Technology.	出雲国引きメッセ	400人	
August 1-4, 2010	6th International Conference on the Physics and Applications of Spin Related Phenomena in Semiconductors (PASPS-VI)	University of Tokyo	約200名	Conference Chairを務めた.
November 14-18, 2010	55th Annual Conference on Magnetism and Magnetic Materials (MMM)	Atlanta, USA	約1000名	Session chair and editor of Session BD "Spin injection into semiconductors"を務めている.
2007年 12月5日	第6回スピントロニクス入門セミナー	東京大学本郷キャンパス	76名	応用物理学会スピントロニクス研究会の幹事, 世話人として主催した.
2010年 12月7日	第10回スピントロニクス入門セミナー	東京大学本郷キャンパス		応用物理学会スピントロニクス研究会の委員長, 世話人として主催予定.
2010年 8月19日-20日	2010年度日本物理学会主催・科学セミナー「スピントロニクスー最先端の物理と技術ー」	東京大学本郷キャンパス	260名	世話人として主催した.