

戦略的創造研究推進事業 CREST
研究領域
「実用化を目指した組込みシステム用
ディペンダブル・オペレーティングシステム」
研究課題「省電力でディペンダブルな組込み並列
システム向け計算プラットフォーム」

研究終了報告書

研究期間 平成 18年 10月～平成 24年 3月

研究代表者:佐藤 三久
(筑波大学 計算科学研究センター長)

§ 1 研究実施の概要

(1) 実施概要

本研究領域では全研究チームが連携して、ディペンダブルなオープンシステムを実現するに当たって、反復型のプロセスである DEOS プロセス、これを実現するための DEOS アーキテクチャを提案し、DEOS アーキテクチャを構成する要素技術について開発を行ってきた。本チームでは、これからの省電力性と高性能性を持つシステムはマルチコア・マルチチップになることを想定し、ディペンダビリティ支援機構の実現例として、マルチコア・マルチチップからなる並列システムを活用する、ディペンダブル並列システムを以下の2つの観点で研究を行った。一つは、冗長構成による耐故障機能など並列システムを用いてディペンダビリティを提供することである。もう一つは、並列プログラムの耐故障性や動的な電力制御など、並列システム自体のディペンダビリティを提供することである。この観点から、主に並列システムの省電力高信頼化機構、省電力高性能高信頼通信機構について、研究開発した。

次世代組み込み並列プラットフォーム上でディペンダビリティを実現するための並列処理を効率的に行うため、マルチノード間の接続リンクとして低電力・高性能・高信頼性を提供する新しいネットワーク・リンクとその制御ソフトウェアの開発を行った。このネットワークの位置づけは、DEOS が目指すディペンダビリティのうち、ソフトウェアだけでは対処できないリンク(ネットワーク)故障への対処や、ネットワーク並びにシステム全体の省電力化、冗長化などのディペンダビリティの向上に寄与することである。ネットワーク・リンク **PEARL (PCI-Express Adaptive and Reliable Link)**は、組み込みシステムを想定した近距離通信において、従来は I/O 装置接続用であった PCI-Express Gen2 を、ノード間相互接続に利用し、さらにレーン数及び通信レートの制御により、要求通信性能に消費電力を最適化する機構、複数レーンの故障に対応する耐故障性を提供する。組み込み向け省電力・高信頼・高性能通信コミュニケーションハブである PEACH チップのプロトタイプを開発した。これを用いて、既存の PC サーバ上で利用可能とするための PEACH テストベッドボードを開発し、汎用 PC サーバ上に PCI-Express カードとして装着し、PEACH プロトタイプチップの基本機能の検証と、各種通信レート及び PCI-Express レーン数に応じた通信性能と消費電力制御のトレードオフ制御が可能であることを確認した。また、通信ライブラリとしてマルチコア用の通信 API である MCAPI の実装として **XMCAPI** を開発し、下で述べる SCASH-FT を XMCAPI によって効率よく実装できることを示した。

一方、汎用 PC サーバ間で標準的に用いられる Ethernet においても、高性能・高信頼性を実現する通信システムとして **RI2N (Redundant Interconnection with Inexpensive Network)**を提供し、無故障時の通信性能向上と、故障時の通信経路確保を両立させ、ディペンダブルな並列処理システムの基本的な通信機能を提供することができた。

並列システムの省電力高信頼化機構として、QoS を考慮しつつ並列処理により高性能化と省電力化を行うための並列プロセッサ電力制御機構 **CPMD (Cooperative Power Management Daemon)**と耐故障機能を持つソフトウェア分散共有メモリシステム **SCASH-FT** を研究開発した。並列分散システムでは個々のコアだけでなく、ノード単位でプロセッサ全体を停止状態にすることにより、大幅に電力削減できる。CPMD は、各ノード上で実行され QoS を保持しつつ協調してノードの状態を制御する。web サーバなどのサーバシステムを対象にその効果について検証した。SCASH-FT は共有メモリモデルで記述された並列プログラムを対象に並列システムの信頼性を向上させる技術として、冗長性を持った共有ページ管理を行うソフトウェア分散共有メモリシステムである。SCASH-FT について試作実装を行い、評価検討を行った。

さらに DEOS プロセスを実現する支援ツールの一つとして、各種の定量的なディペンダビリティ指標のシステムティックな計測を支援することを目的に、石川チームとの共同研究によりディペンダビリティ計測ツール **DS-Bench** およびシステムテストを迅速に行うテスト環境 **Test-Env** を開発した。ハードウェア異常、ソフトウェアバグ、過負荷、人的ミスといった様々な異常を系統立てて扱うことによって、大規模なシステムテストを実現し、多くのテストパターンを用いた複雑なテストを加速するこ

とが求められる。

Test-Env で用いる支援ツールの一つとして、本チームではハードウェア故障をシミュレーションし、システムの耐故障性検査を可能とするツール(フォルトインジェクタ)を開発した。ハードウェア故障をユーザ透過にOSの検証まで用いることができるフォルトインジェクタとして、仮想マシンを利用してフォルトインジェクタ**FaultVM-SpecC**を開発した。また、FaultVMにユーザが任意のデバイスを追加する機能を加えた。デバイスをシステム記述言語である SpecC 言語を用いて記述し、組み込むことができる。組み込みシステムではユーザが設計した様々なデバイスが利用されることが多く、この機能により、ユーザが独自のデバイスを加えた場合にも対処できる。さらに、これを拡張したテスト環境として、仮想マシンを柔軟に管理するクラウドを利用し、フォルトインジェクタ機能を持つ並列分散テスト環境 **D-Cloud** を設計・試作した。さらに DS-Bench との統合のため、Test-Env の一実装として D-Cloud と実マシンテスト環境を加えたソフトウェアテスト環境 Test-Env を構築した。これにより、性能が必要なベンチマークから様々なフォルトインジェクションテストまで幅広いベンチマークシナリオに対応できる。

各研究チームと共同で主にコアチームにてディペンダブル OS のフレームワークおよびディペンダブルシステムベンチマークについて検討を行った。当チームからはコアチームメンバとして埜敏博、三浦 信一が参加し、マルチレベルプラットフォーム支援の検討、当チームに関連する技術のドキュメント化と、領域共通のプラットフォームとして研究開発した P-Bus 上で動作する P-Component の初の実装として RI2N の P-Component 化を行った。RI2N は前田チームの研究であるモデル検査の対象としても提供され、モデル検査器の有用性を示す成果を挙げた。また、DEOS プロセスについての議論には埜 敏博が参加し、その中で、開発支援ツールとしてディペンダビリティ・テスト支援ツールである DS-Bench/Test-Env の開発に当たってきた。

(2) 顕著な成果

1. PCI Express を用いた高信頼高性能省電力通信機構 PEARL

概要:スーパーコンピューティングの著名な国際会議 SC10、組込み技術展 ET2010、半導体の著名な国際会議 ISSCC2011、CoolChips XIV にて通信デモを行った。CoolChips XIV のポスターセッションでは Best Feature Award を受賞した。PEARL の研究成果を元に、スーパーコンピュータにおける演算加速装置の通信機構への応用を進めている。また、研究所、大学、企業に貸し出し、評価中である。

2. PEARL のためのコミュニケータチップ PEACH

概要:PEACH チップの中心的な役割を担う PCI Express Gen2 の論理層・物理層 IP について、PCI-SIG の認証を取得している。論文が半導体の著名な国際会議 ISSCC2011 に採録され、IEEE MICRO での出版も決定している。通信アーキテクチャ PEARL の中心をなすチップであり、PEACH ボードに搭載され省電力機構のデモなども行っている。

3. プログラムテスト環境 D-Cloud、FaultVM、Test-Env

概要:仮想マシンを用いたテスト環境 D-Cloud について、組込み技術展 ET2009、2010、ディペンダブルコンピューティングの国際会議 PRDC2010 にてデモを行った。企業と実用化に向けた共同研究を行い、SpecC を用いた FaultVM の拡張フレームワークを実現した。東大石川チームで開発された DS-Bench と統合し、DEOS プロセス・アーキテクチャでのプログラムテスト環境 Test-Env として実用性の高いシステムを構築した。

§ 2. 研究構想

(1) 当初の研究構想

本研究では、ユビキタス情報社会における高度な情報処理の要請に対し、これからの高性能組込みシステムはマルチコア・マルチチップになることを想定し、ディペンダブルOSの一部として、省電力高信頼組込み並列プラットフォームを研究開発する。実時間制約下で並列処理により高性能化と省電力化を行うために、プロセッサ電力制御機構を設計実装し共有メモリ上にて並列プログラムを実行するプロセッサ数を実時間制約にしたがって調整することにより省電力化を行う。並列プログラムの高信頼性を保障する技術として、冗長性を持った共有ページ管理を行う高信頼ソフトウェア分散共有メモリ機構を研究開発し、任意のプロセッサの障害からの回復を可能とする。さらに、並列処理を効率的に行うための低電力高性能高信頼通信機構として、複数のネットワークリンクを適宜用いることにより、電力制御・性能制御・耐故障性を包括的に実現するためのハードウェア及び通信機構の開発を行う。これらの技術を統合し、実証プラットフォームを研究開発する。

(2) 新たに追加・修正など変更した研究構想

DEOS プロセス・アーキテクチャの担当部分として、フォルトインジェクション・ツール、テスト環境を担当することになり、この部分を追加した。この部分の基本的な構想として、仮想マシンを利用して障害(フォルト)を模擬できる Fault-VM を提案した。これを基に、組み込み機器での特別なデバイスを組み込みができるように SpecC で新たなデバイスを記述できる、FaultVM-SpecC を開発した。さらに、この仮想マシンの管理するための環境として並列システムソフトウェアテスト環境 D-Cloud を構築した。

この経緯から、DEOS プロセスを実現する支援ツールの一つとして、各種の定量的なディペンダビリティ指標のシステムティックな計測を支援することを目的に、ディペンダビリティ計測ツール DS-Bench およびシステムテストを迅速に行うテスト環境 Test-Env を担当した。D-Cloud を基に、DEOS プロセス・アーキテクチャの一部として、それに実マシンテスト環境を加えたソフトウェアテスト環境 Test-Env を構築した。これにより、性能が必要なベンチマークから様々なフォルトインジェクションテストまで幅広いベンチマークシナリオに対応できるようになる。

§ 3 研究実施体制

(1) 電力制御・高信頼並列システムグループ

① 研究参加者

氏名	所属	役職	参加時期
佐藤 三久	筑波大学・計算科学研究センター	教授	H18.10～H24.3
高橋大介	筑波大学・計算科学研究センター	准教授	H18.10～H24.3
堀田義彦	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H17.10～H20.3
木村 英明	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H18.10～H23.3
今田 貴之	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H18.10～H23.3
Lee JinPil	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H18.10～H24.3
神林 亮	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H19.4～H22.3
坂西隆之	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H21.4～H23.3
小泉仁志	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H21.4～H23.3

② 研究項目 並列組込み向け高信頼共有メモリ機構および省電力実時間並列実行制御機構

(2) 通信システムアーキテクチャ・グループ

① 研究参加者

氏名	所属	役職	参加時期
朴 泰祐	筑波大学・計算科学研究センター	教授	H18.10～H24.3
建部 修見	筑波大学・計算科学研究センター	准教授	H18.10～H24.3
埜 敏博	筑波大学・計算科学研究センター	准教授 (有期契約)	H19.4～H24.3
三浦 信一	筑波大学・計算科学研究センター	研究員	H18.10～H24.2
岡本 高幸	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H17.10～H19.3
米元 大我	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H21.4～H23.3
鈴木 良平	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H21.4～H23.3
金子 紘也	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H23.4～H24.3
小田嶋 哲哉	筑波大学・システム情報工学研究科・CS専攻	大学院学生	H23.4～H24.3

シルバ マリア	筑波大学・システム情報 工学研究科・CS専攻	大学院学生	H23.4～H23.12
---------	---------------------------	-------	--------------

②研究項目 並列システム内高信頼高性能通信機構

(3) 高速ネットワーク・グループ

① 研究参加者

氏名	所属	役職	参加時期
有本 和民	ルネサステクノロジ 設計開発本部 システムコア技術統括部	統括部長	H18. 10～ H24.3
朝比奈 克志	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発第一部	部長	H18. 10～ H24.3
平木 充	ルネサスエレクトロニクス(株) 技術開発本部 ミックスド シグナルコア開発統括部 高速 I/F-IP 開発部	部長	H22. 4～H23. 3
近藤 弘郁	ルネサスエレクトロニクス(株) 技術開発本部 システムコア 開発統括部 CPU 開発第二部	部長	H22. 4～H24. 3
深田 馨	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発第一部 周辺 IP 開発 G	グループマネージャ	H18. 10～ H23. 3
上村 稔	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発第一部 IP システム設計 G	グループマネージャ	H19. 4～H23. 3
三根 賢一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第一部 IP システム設計 G	技師	H19. 4～H23. 3
中田 有一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第一部 IP システム設計 G		H19. 4～H23. 3
溝口 大介	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第一部 IP システム設計 G		H19. 4～H23. 3
池谷 貴之	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第一部 IP システム設計 G		H19. 4～H23. 3
森下 玄	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第二部 イメージセンサ IP 開発 G	グループマネージャ	H21. 4～H23. 3
真金 光雄	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第二部 イメージセンサ IP 開発 G	主任技師	H19. 4～H23. 3
早川 康	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第二部 シリアル I/F - IP 開発 G	グループマネージャ	H18. 10～ H24. 3
能登 隆行	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第二部 シリアル I/F - IP 開発 G	主任技師	H21. 4～H23. 3
笠井 淳	ルネサステクノロジ 設計開発本部 システムコア技術統括部 IP 開発 第二部 シリアル I/F - IP 開発 G	主任技師	H21. 4～H23. 3

大熊 育雄	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H19. 4~H24. 3
齋藤 光司	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H21. 4~H23. 3
鈴木 成行	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H21. 4~H23. 3
鎌田 邦俊	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H21. 4~H23. 3
大下 毅	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	主任技師	H19. 4~H23. 3
石井 将	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H19. 4~H23. 3
廣田 尊則	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H19. 4~H23. 3
高橋 智明	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H21. 4~H23. 3
鈴木 正人	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H21. 4~H23. 3
岸本 悟	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H19. 4~H23. 3
上田 和宏	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G	技師	H21. 4~H23. 3
田中 智之	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 シリアル I F - I P 開発G		H21. 4~H23. 3
松井 重純	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発G	グループマ ネージャ	H21. 4~H23. 3
山崎 彰	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発G	主任技師	H21. 4~H23. 3
諸岡 毅一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発G	主任技師	H21. 4~H23. 3
木下 充矢	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発G	技師	H21. 4~H23. 3
今井 教継	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発G	技師	H21. 4~H23. 3
出口 光宏	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発G	技師	H21. 4~H23. 3
森嶋 哉圭	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発	技師	H21. 4~H23. 3

	第二部 パラレル I F - I P 開発 G		
矢口 剛	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発 G	技師	H21. 4~H23. 3
矢野 健司	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発 G	技師	H21. 4~H23. 3
飯島 正章	ルネサステクノロジ 設計開発本部 システムコア技術統括部 I P 開発 第二部 パラレル I F - I P 開発 G		H21. 4~H23. 3
奥村 直人	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	グループマ ネージャ	H21. 4~H23. 3
高田 由香里	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	主任技師	H21. 4~H23. 3
中野 哲	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	主任技師	H21. 4~H23. 3
那須 隆	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
米田 裕一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
峯松 勲	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
高田 浩和	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
樋口 崇	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
大谷 寿賀子	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H24. 3
石川 直	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
中島 雅美	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
上山 宏樹	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
望月 明	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G	技師	H21. 4~H23. 3
藤原 隼人	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G		H21. 4~H23. 3
石田 一哉	ルネサステクノロジ 設計開発本部 システムコア技術統括部 C P U 開 発第二部 MCU コア基本開発 G		H21. 4~H23. 3

石崎 雅勝	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア基本開発G		H21. 4～H23. 3
梶井 規雄	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア設計G	グループマ ネージャ	H21. 4～H23. 3
北尾 雅哉	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア設計G	技師	H21. 4～H23. 3
石見 幸一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア設計G	技師	H21. 4～H23. 3
金子 智	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア設計G	主任技師	H21. 4～H23. 3
伊藤 輝之	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア設計G	技師	H21. 4～H23. 3
佐藤 昌之	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア設計G	技師	H21. 4～H23. 3
福澤 史隆	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 MCU コア設計G	技師	H21. 4～H23. 3
東田 基樹	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	グループマ ネージャ	H21. 4～H23. 3
安藤 智子	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	主任技師	H21. 4～H23. 3
寺岡 栄一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	主任技師	H21. 4～H23. 3
米森 玄一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	技師	H21. 4～H23. 3
平木 俊行	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	技師	H21. 4～H23. 3
本田 信彦	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	技師	H21. 4～H23. 3
樋口 良平	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	技師	H21. 4～H23. 3
水本 勝也	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	技師	H21. 4～H23. 3
泉 佑治	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	技師	H21. 4～H23. 3
野々村 到	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第一部 CPU コア開発第一G	主任技師	H21. 4～H24. 3

芝原 真一	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG	技師	H21.4~H23.3
高橋 睦史	ルネサステクノロジ 設計開発本部 システムコア技術統括部 CPU開 発第二部 バスプラットフォームG		H21.4~H23.3

- ② 研究項目 低電力高速インターコネクと省電力高密度並列ハードウェアプラットフォームの
開発

§ 4 研究実施内容及び成果

4.1 電力制御・高信頼並列グループ(筑波大学)

(1) 研究実施内容及び成果

ディペンダブルOSの一部として、ディペンダブル並列システムを実現する、並列システムの高信頼化機構を研究開発してきた。主にサーバに注目し、QoS を考慮しつつ並列処理により高性能化と省電力化を行うためのプロセッサ電力制御機構 **CPMD(Cooperative Power Management Daemon)**を開発した。さらに、並列プログラムにおいて、耐故障機能を提供するソフトウェアとして、高信頼ソフトウェア分散共有メモリ機構を用いた並列システム **SCASH-FT** を開発し、共有メモリプログラムの高信頼化を可能にする仕組みを設計開発した。

また、DEOS プロセスに基づいた開発支援ツールの一つとして、ハードウェア故障をシミュレーション可能なFaultVM、これらを制御し処理の自動化を行う**D-Cloud**、さらにディペンダブルシステムのシステムティックなベンチマークを可能とするテスト環境としてこれらを発展させた **Test-Env** を開発した。

なお、電力制御機構と高信頼ソフトウェア分散共有メモリ機構の研究は、主に前期(中間評価まで)において実施した。後期においては、D-Cloud、Test-Env に注力した。

① QoS を考慮しつつ並列処理により高性能化と省電力化を行うためのプロセッサ電力制御機構 CPMD

ディペンダブル並列システムを実現する要素技術として、サーバを対象に QoS を考慮しつつ並列処理により高性能化と省電力化を行うためのプロセッサ電力制御機構 CPMD(Cooperative Power Management Daemon)を開発した。現在のマイクロプロセッサにおいては、各コアにおいて動的に周波数を制御することにより電力を削減できる。しかし、並列分散システムにおいては、個々のコアだけでなく、ノード単位でプロセッサ全体の停止状態にすることにより、大幅に電力削減が可能である。CPMD は各ノード上で実行され、QoS を保持しつつ協調してノードの状態を制御する。

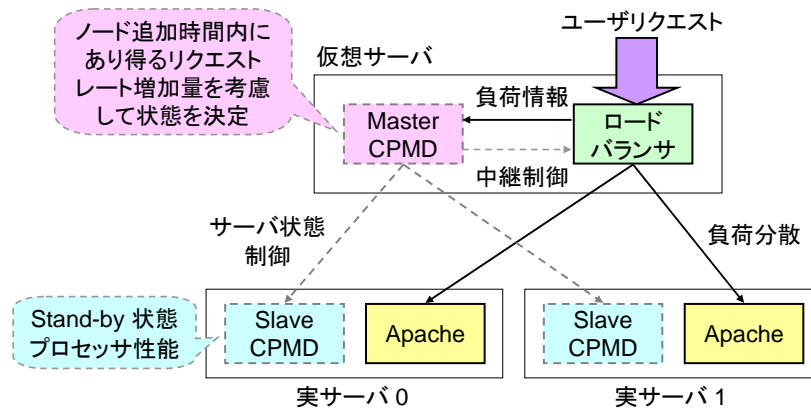


図 1 分散 web サーバでの CPMD の構成

Linux Virtual Server(LVS) による分散 web サーバシステムを取り上げ、CPMD により負荷状況の予測を行うことによるプロセッサの動的電源制御を行い、効果の検証を行った。図 1 にその構成を示す。CPMD は、ノードの追加時間にありえるリクエストレートを予測し、実サーバの電力状態の制御を行い、ノードの追加・削除を行う。CPMD による負荷予測方式として、単位時間(電源状態の制御時間)の予測変化量を固定にした static-CPMD と、過去の数ステップの変化量の自己回帰モデル(AR モデル)から求める dynamic-CPMD を実装している。プロセッサは、Intel Xeon 2.33GHz、ワークロードを与えるベンチマークは

SPECWeb95 を基にして人工的なリクエストを発生させた。図2に、その時のシステム消費電力の変化と、システム全体の QoS を満たしたパケットの割合と平均応答時間、総電力量を示す。QoS の定義は、SPECWeb95 において、「ワークロード中の総リクエストのうち、リクエストの応答時間が 80[msec] のリクエスト数である。なお、non-CPMD は、CPMD を用いずにすべてのノードにおいて最高周波数で動作させた場合である。dynamic-CPMD においては、DVFS(Dynamic Voltage-Frequency Scaling)による周波数制御だけでなく、stand-by 状態(Suspend-to-Ram)までノードの状態を制御することにより、QoS を維持しつつ 17% の電力削減が達成できた。さらに、実際のリクエストレートの時間変化を模倣したベンチマークソフトを作成し、複数の実環境想定下における CPMD の QoS 性能および省電力性能について評価を行ったところ、サーバノードの Stand-by 状態を積極的に利用することでリクエストレート変化の度合いによらず、高い QoS 性能の維持と効果的な消費エネルギーの削減を達成できることが分かった。

なお、従来の電力制御の研究では個別のプロセッサでの電圧・周波数制御に焦点を当てた研究がほとんどであるが、プロセッサの電圧が低下しつつある現在では電圧・周波数制御では省電力化に限界が見えている。並列システム全体に焦点をあて、実際にプロセッサを停止するまでの制御に焦点を当てる本研究はその有効性を実際のシステムで検証した。

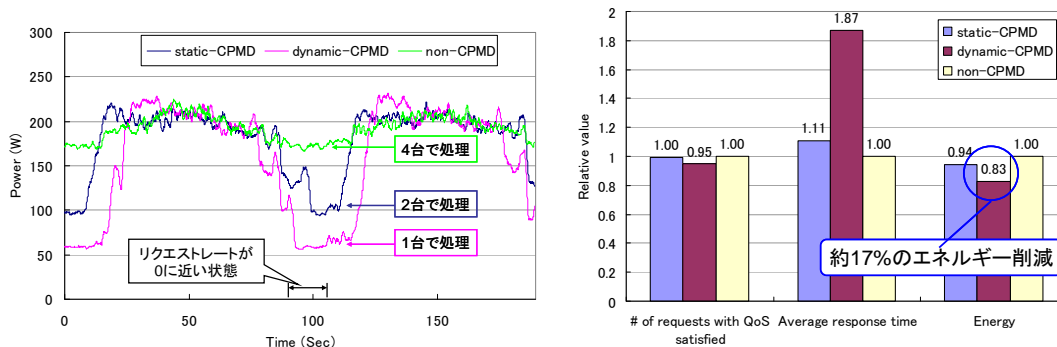
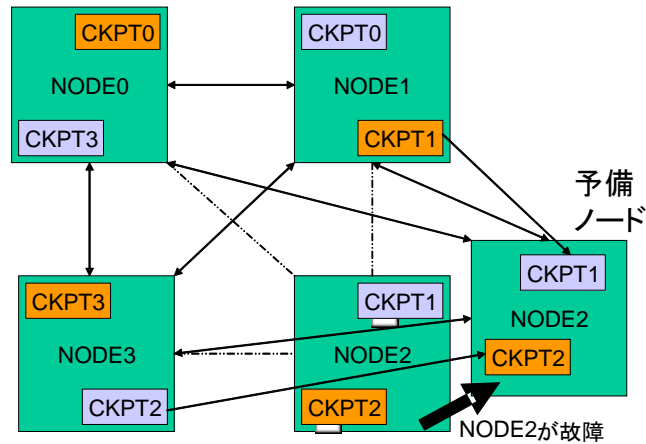


図2 システム消費電力の変化(左)、システム全体の QoS を満たしたパケットの割合と平均応答時間、総電力量 (右)

② 耐故障ソフトウェア分散共有メモリシステム SCASH-FT

高信頼ソフトウェア分散共有メモリを用いた並列システムでの耐故障性機能として、耐故障ソフトウェア分散共有メモリシステム SCASH-FT の設計と開発を行った。SCASH-FT は PC クラスタ向けに開発されたソフトウェア分散共有メモリ SCASH をベースに、ソフトウェア分散共有メモリプログラムのチェックポイント・リスタート機構を実現したものである。図3に示すように、SCASH-FT では、ユーザの指示によりシステム全体のスナップショットを隣接のプロセッサのメモリにチェックポイントする。故障が発生すると予備ノード(もしくは重複ノード)を用いて回復を行う。一連の処理は全てソフトウェア分散共有メモリシステムが行うため、アプリケーションでは少ないプログラミングコストでチェックポイントし、故障時にはリスタートさせることができる。ページの更新処理が、ソフトウェア分散共有メモリシステムで行われているために更新されたページだけを転送すればよく、書き換えが少ない場合には効率的なチェックポイントが期待できる。さらに、通信システム・アーキテクチャグループにより開発された XMC API を用いて SCASH/MC API を提案・実装した。これにより、我々が提案している PEARL 上で効率よく実現できることを示した。



■ チェックポイントデータ ■ バックアップ
 図 3 SCASH-FT の構成

③ フォルトインジェクタ機能を持つ仮想マシン FaultVM-SpecC

フォルトインジェクタについて、仮想マシン上で並列システムを構成しフォルトインジェクションを行い、観測および動作検証を行うためのプロトタイプ FaultVM を設計・試作を行った。

これを発展させて、利用を検討している企業とも議論を行い、汎用デバイスや組込み機器固有のデバイスの故障模擬について設計した。フォルトインジェクション機能を持つ仮想マシンとして、QEMU をベースにメモリ、ハードディスク、ネットワーク等のインジェクション機能を実装した。さらに、FaultVM に、ユーザが任意のデバイスを追加する機能を組込んだ。組込みシステムにおいては、その用途によって、ユーザが設計した様々なデバイスが用いられることが多いが、通常の仮想マシンにはサポートされていないため、そのままではこのようなケースに対処できない。このようなケースに対処するために、ユーザのデバイスをシステム記述言語である SpecC 言語を用いて記述し、組み込むことができる機能を加えた。具体的には、これまで用いてきた仮想マシン QEMU を拡張して、独自デバイスを持つ組込みシステム全体をシミュレーションし、フォルトインジェクション機能を組み込む方法について検討し、SpecC システム記述言語で記述されたデバイスモデルを利用してソフトウェアまで含めたシミュレーションを可能にする FaultVM-SpecC の開発を行った。

図 4 に FaultVM-SpecC の構成を示す。FaultVM-SpecC では、オープンソースの SpecC Reference Compiler (SCRC) を用いて、FaultVM をシミュレータ中の 1 スレッドとして扱い、割り込み、I/O ポート、メモリマップなどのインタフェースを追加することにより実現した。実際に FaultVM-SpecC を用いたシミュレータを試作した。図 5 に FaultVM-SpecC によるシミュレータの例を示す。入力にテンキー、出力に 7 セグメント LED をシリアルデバイスとして接続したシステムであり、SpecC によりシリアルデバイスのモデルを記述し、FaultVM 上の Linux のデバイスドライバによって制御する。この結果、テンキーによる入力が入り込みとなってデバイスドライバの処理が行われ LED に入力された数字が正しく出力されることを示した。

これまで、組み込みシステム開発向けに Windows のソフトウェアで SpecC デバイスを記述統合するソフトウェアがあったが、仮想マシンに統合するソフトウェアは本システムが初めてである。このように仮想マシンに統合することにより、テスト環境 D-Cloud、Test-Env で管理することができるようになる。

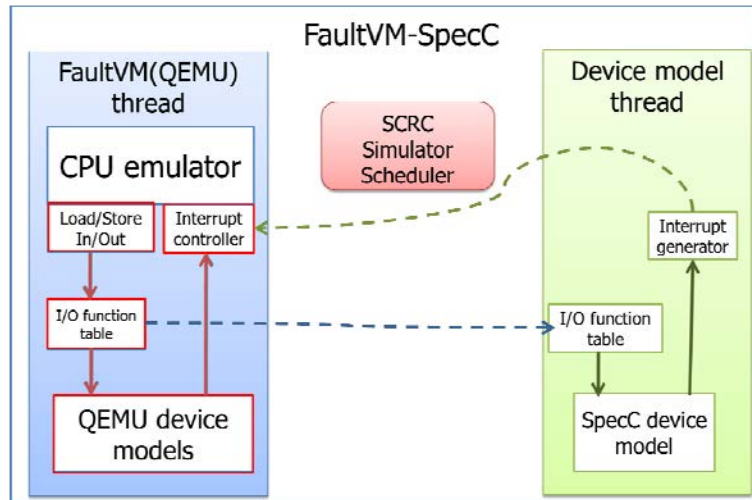


図 4 FaultVM-SpecC の構成

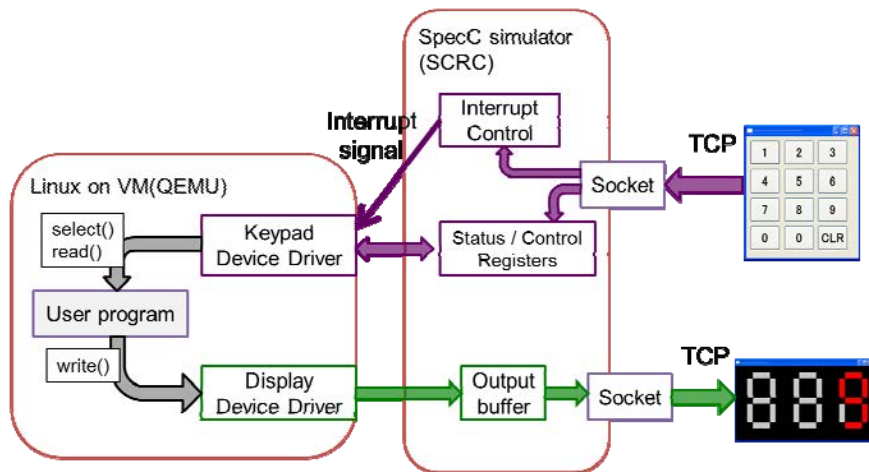


図 5 FaultVM-SpecC によるシミュレータ例

④ ディペンダブルソフトウェアテスト環境 D-Cloud と DS-Bench/Test-Env

動的にテスト環境の構築、並列プログラムテスト、デバイスに対する故障エミュレーションが可能な並列分散システムテスト環境を提供するテスト環境 D-Cloud を提案した。高い信頼性確保のためには異なる入力による網羅的なテスト実行やハードウェア故障に対する耐故障性のテストなど様々なテストが存在し、それらを実行するには非常に時間と手間がかかる。D-Cloud ではフォルトインジェクションが可能な仮想マシンを用いて、仮想デバイスレベルでの故障についてのテストが可能であるだけでなく、仮想マシンをクラウドとして管理することにより、多くの計算資源を柔軟に利用することができ、多くのケースについてのテスト作業を自動化することができる環境を提供する。システムの構成やフォルトインジェクションを含むテストのシナリオを XML で記述することができ、テスト実行の自動化を行うことができる

さらに、後期においては、ディペンダブルシステム全体を評価するためのベンチマークシステム DS-Bench において、D-Cloud を発展させ、実マシン環境と統合して扱うことにより、ベンチマーク実行のためのテスト環境 Test-Env について検討・設計実装を行った。図 6 に DS-Bench / Test-Env の構成を示す。Test-Env では、ベンチマークの実行環境として実機と仮想マシンの 2 種類を想定する。実機を用いるのは、性能測定が重要になるベンチ

マークを行う場合であり、ソフトウェアバグ、過負荷状態などのソフトウェアの振る舞い異常や電源断やネットワーク断など、計算機外部のハードウェア機器を制御することにより発生できる障害に対するシステムのテストが対象になる。一方、仮想マシンは、評価対象となる計算機数が多く、そのために多数の実機を準備することが出来ない場合、もしくは計算機内部のデバイスの障害(ディスク、メモリなど)を模擬する場合に用いる。Test-Env の主な役割はベンチマークやテストの実行環境となるハードウェア資源の管理と制御である。ベンチマーク実行環境に存在する計算機、ネットワークスイッチ、電源スイッチといった機器は Test-Env によって管理され、ベンチマーク実行時には DS-Bench の要求に応じて計算機資源が割り当てられる。また Test-Env はプライベートクラウドの形で仮想マシン群を管理しており、必要に応じて仮想マシンを生成し起動する。ハードウェアの異常を模擬する Anomaly Load は Test-Env によって注入される。Test-Env では、FaultVM により、その上で動作する仮想マシンに対して擬似的にハードウェア故障を注入することが可能である。Test-Env は、DS-Bench から指示されたシナリオに基づき、必要なタイミングで故障を発生させる。Test-Env では、クラウド管理ソフトウェアを Eucalyptus から業界標準の OpenStack に変更し、実用化を目指してより安定動作を指向した。DS-Bench および Test-Env については、組込み技術展 ET2011 においてデモを行った。

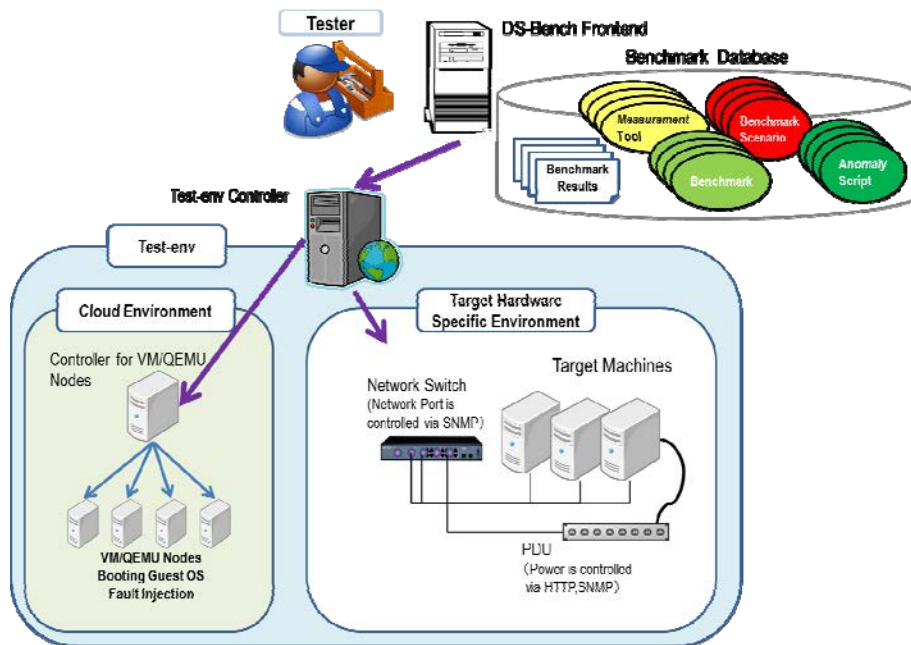


図 6 DS-Bench / Test-Env の構成

(2) 研究成果の今後期待される効果

具体的な研究成果として、フォルトインジェクタ FaultVM-SpecC と Test-Env の一つの実装としてのテスト環境 D-Cloud を提供する。

DEOSプロセスにおける開発支援ツールの開発の一環として、ディペンダブルシステムをシステマティックに評価するベンチマーク DS-Bench およびテスト環境 Test-Env を開発しているが、D-Cloud は Test-Env の一つの実装である。D-Cloud を拡張して、仮想マシンと実マシンを同じインタフェースで操作できるように Test-Env を開発した。Test-Env は、実マシンと仮想マシンが混在した環境を用いてユーザ透過な、OSレベルの検証が可能であり、フォルトインジェクション機能を持つだけでなく、これを含むテスト環境まで自動化できるシステムである。さらにクラウドによる大量の計算資源の柔軟な管理・利用が可能であり、様々なエビデンスを取得するための網羅的なテストも可能である。DS-Bench および Test-Env

は D-Case を用いてシステムに対するディペンダビリティを議論する上で重要なツールであり、産業界からも有益なベンチマーク・テスト環境として期待されている。

また、FaultVM-SpecC については単独で用いることができるソフトウェアパッケージを提供する。なお、耐故障ソフトウェア分散共有メモリシステム SCASH-FT は、通信アーキテクチャグループの通信ライブラリの一部として、提供する。

4. 2 通信システムアーキテクチャ・グループ(筑波大学)

(1)研究実施内容及び成果

通信システムアーキテクチャ・グループでは、次世代高性能組み込みシステムがマルチコア/マルチノード構成による高性能・高可用システムとなることを想定し、マルチノード間の接続リンクとして低電力・高性能・高信頼性を提供する新しいネットワークの物理的開発とその制御ソフトウェアの開発を行ってきた。新しいネットワーク・リンク **PEARL (PCI-Express Adaptive and Reliable Link)**は、組み込みシステムを想定した近距離通信において、従来は I/O 装置接続用であった PCI-Express Gen2 を、ノード間相互接続に利用し、さらにレーン数及び通信レートの制御により、要求通信性能に合わせて消費電力を最適化する機構、複数レーンの故障に対応する耐故障性を提供する。これらにより、次世代組み込み並列プラットフォーム上でディペンダビリティを実現するための通信プラットフォームを提供する。一方、汎用 PC サーバ間で標準的に用いられる Ethernet においても、高性能・高信頼性を実現する通信システムとして **RI2N (Redundant Interconnection with Inexpensive Network)**を提供し、無故障時の通信性能向上と、故障時の通信経路確保を両立させ、ディペンダブルな並列処理システムの基本的な通信機能を提供する。

① 高信頼・高性能ネットワーク・リンク PEARL(PCI-Express Adaptive and Reliable Link)

PEARL の研究開発においては、各ノードに装着される PEARL 構成用ルータチップとして PEACH (PCI-Express Adaptive Communication Hub)を新規開発し、SH-4 等の組み込み向けプロセッサや x86 ファミリーの標準 PC に PCI-Express 標準コネクタを介したネットワークインタフェースとして提供する。PEACH は単なるネットワークルータだけでなく、メインプロセッサの故障時にも自律的にルーティングを継続するインテリジェント・ルータとして実装した。PEACH は新たなチップとして開発されるため、共同研究者であるルネサステクノロジーが高速ネットワーク・グループとして物理チップの開発実装を担当し、本グループはそのインテリジェント・ルーティング機能を実現するためのファームウェア開発を担当した。まず、PEARL のアーキテクチャ、特に PEARL の中核となる、PCI Express Revision 2 (Gen2)を用いたインターコネクトチップ PEACH(PCI Express Adaptive Communication Hub)の構成及びその制御について検討した。チップ内では高速ネットワーク・リンクの制御、ルーティング、及びメイン CPU とのインタフェースのために、省電力組込みプロセッサ(ルネサス M32R)を内蔵し、DMA 制御装置を通じて各ブロック間的高速データ移動処理を行う。メイン CPU と PEACH チップとの間も同様に PCI Express を介して接続する(図 7 参照)。

同時に、高速ネットワーク・グループと共同で作成した、PEARL の中核要素を担う PEACH チップの PHY 部分の FPGA 実装装置と、汎用の M32R マイクロプロセッサを組み合わせた PEACH 開発プラットフォーム上で、実際に PEACH 内のパケットハンドリングとルーティングのための基本ファームウェアの開発を行った。PEACH 開発プラットフォームにより 3 ノード分を相互接続し、各 PEACH 開発プラットフォーム上の M32R プロセッサで生成したパケットの転送及びルーティングの機能検証を行った。

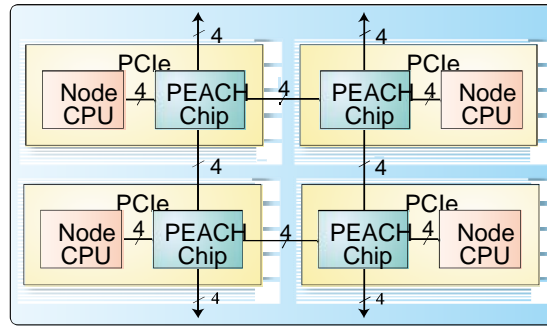


図 7 PEARL の構成

続いて、PEARLを実装するためのコミュニケーションハブであるPEACHチップのプロトタイプが高速ネットワークグループによって実装完了したことを受け、チップを各種汎用PCサーバに応用し様々な実験を行うためのPEACHテストベッドボードを開発した。さらにPEACHテストボード上でPEARLネットワークを機能させるためのファームウェア開発、ホストノード上のCPU上で動作するPEARLデバイスドライバを開発した。これらの上で、PEACHプロトタイプチップが設計通りの通信性能を持つこと、各種通信レート及びPCI-Expressレーン数に応じた通信性能と消費電力制御のトレードオフ制御が可能であることを確認した。図8に、PEACHテストベッドボードと性能評価の結果を示す。また、図9に、PEACHボードの省電力効果を示す。これにより、最高性能(Gen2 x4)から最低性能(Gen1 x1)に切り替えることにより、ポート当たり約0.8Wの省電力化が可能であることがわかる。これらの成果は国際会議SC10、ISSCC2011、Cool Chips XIV、国内展示会ET2010、ET2011においてデモ発表した。図10にISSCC2011におけるデモの様子を示す。

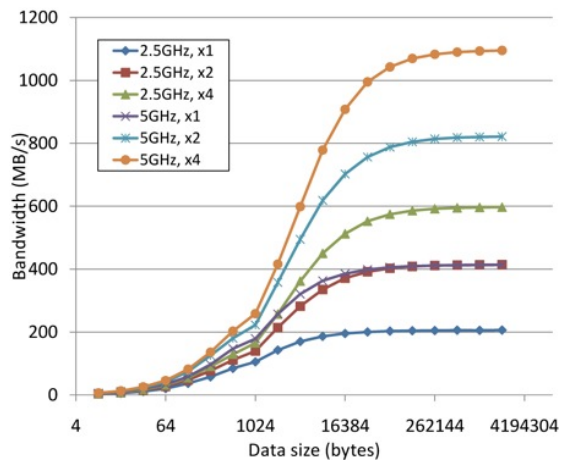


図 8 PEACH ボード (左) とレーン設定ごとの基本通信バンド幅性能 (右)

Gen1 ⇄ Gen2		レーン数変更		
レーン数	消費電力差 (W)	レーン数	消費電力差(W)	
			Gen 1	Gen 2
1	0.09	1 ⇄ 2	0.18	0.22
2	0.14	2 ⇄ 4	0.34	0.43
4	0.23			

レーン速度変更		時間(us)			
Gen 1 -> Gen 2	時間(us)	From	時間(us)		
		To	1	2	4
Gen 1 -> Gen 2	11.5	1	---	10.5	10.5
Gen 2 -> Gen 1	9.6	2	15.6	---	10.5
		4	14.9	15.5	---

図 9 レーン速度・レーン数変更による消費電力削減効果（上）と切り替え時間（下）

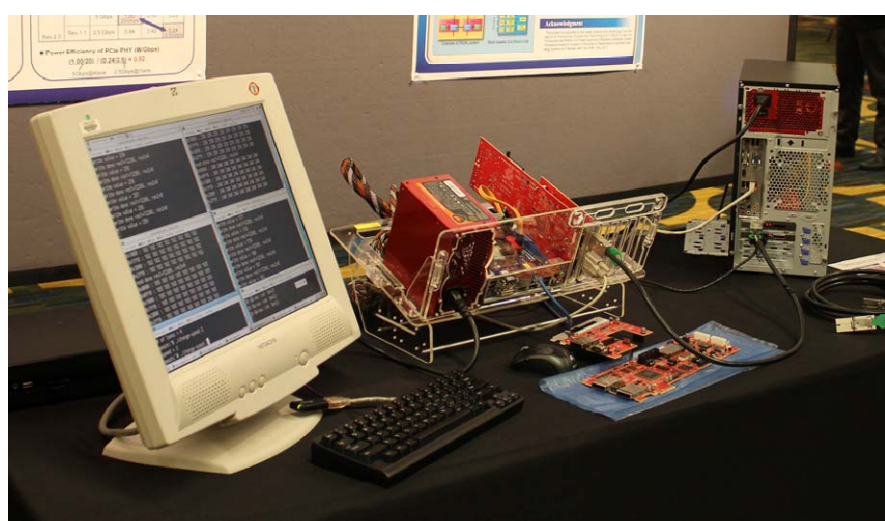


図 10 PEARL デモの様子

② 汎用高性能・高信頼通信システム RI2N

RI2N は、複数の汎用リンクを用いて高信頼・高性能通信を提供するソフトウェアであり、x86 プロセッサを用いた標準的な Linux PC 上に 2 本の Gigabit Ethernet が設置されている状況で、無故障時には 2 本の Ethernet を同時利用し、そのうち 1 本が故障した場合は他方で通信を継続する機能が、ユーザ透過的に一般の UNIX アプリケーションに適用可能である。

Linux カーネルにおける仮想ネットワークドライバとして、マルチリンク Gigabit Ethernet を、無故障時にはバンド幅増強に、故障時は fail-over 機能として活用する RI2N/DRV を実現し、評価を行った。この結果、概念的に本システムと同じ機能を標準 Linux で提供している Linux Channel Bonding 機構より高いバンド幅と低いレイテンシを実現し、標準 Linux 実装を上回る性能を達成した。同時に、いずれかのリンクが故障した場合にも残りのリンクを用いて通信を継続し、故障が取り除かれると正常時のバンド幅に回復することを確認した。

さらに、RI2N/DRV を既存の UNIX ネットワークサービスに応用し、ネットワークファイルシステム(NFS)に適用した場合に高い性能を示すことを確認した。これまで開発してきた Gigabit Ethernet マルチリンクによる汎用高信頼・高性能インターコネクションである RI2N の適用範囲を拡張し、より広範囲なシステム構成で最高性能を出すような抜本的なシステム改良を行った。従来の RI2N では、PC クラスタのような均一なマルチリンク構成、すなわち全

てのノードの NIC 数が等しく、均等にネットワークが構成されている場合のみを想定していた。しかし、実際の研究室や計算センターの環境では、例えば重要なサーバ系ネットワークは二重化して高信頼・高性能を実現しつつ、クライアント系マシンでは通常のシングルリンクのみで結合するような、コスト性能バランスを考慮した構成を取る事が予想される。従来の RI2N は、このような非対称ネットワークポロジにも原理的に対応するが、TCP/IP との連携を考えると、非対称リンク構成上のトラフィックを最適化できず、十分な性能が引き出せないことがわかった。そこで、動的なリンク構成変更に対応する RI2N+、さらにトラフィックパターン自体の動的変動にも追従する RI2N++ という2つの改良システムを実装した。各種非対称ポロジで評価した結果、RI2N⇒RI2N+⇒RI2N++ の順で、非対称性が強い場合の性能向上が顕著に見られた。さらに、トラフィック変化への追従をより高速にするため、各パケットにトラフィック情報を埋め込んだ RI2N# の開発を行った。これらの改良により、RI2N を一般のあらゆるマルチリンク構成に柔軟に適用可能となり、幅広い局面で利用することが可能になった。

(2) 研究成果の今後期待される効果

PEARL によるネットワークは、PCI Express 標準を用いていることから多くの既存システムへの導入が容易であり、直接 PCI Express パケットを転送するため幅広い用途への応用が考えられる。高い転送性能を活かして、スーパーコンピュータ向けに演算加速装置 (GPGPU など) を結合する用途への応用がいくつか進められている。ディペンダビリティについては、ノード故障の際に PCI Express デバイスの PEARL を介した fail over が可能であり、クラスタ環境における VM のマイグレーションなどにも応用が可能である。また、極めて短時間に on-the-fly でレーン制御が可能であり、細粒度の省電力制御にも応用できる。

RI2N は既存の Gigabit Ethernet システムに容易に導入が可能であり、従来使われてきた Linux channel bonding に比べて性能が高いだけでなく適用分野も広い。従って、今後広く公開を進めることで、多くのユーザに利用してもらえると考えている。

4.3 高速ネットワーク・グループ (ルネサス エレクトロニクス)

(1) 研究実施内容及び成果

高速ネットワーク・グループでは、ディペンダブルな並列組込みシステムに要求される高速・高信頼・省電力なネットワークを実現するため、これからの並列組込みシステムに欠くことのできない低電力高速インターコネクトとして、次世代の IO 規格である PCI Express Gen2 を先取りして開発し、これをチップ間のインターコネクトとして用いるための高速インターコネクトネットワークチップ (以下 PCI Express Adaptive Communication Hub: 略称 PEACH チップと称する) を開発した。このネットワークチップは PCI Express が複数レーンで構成される点を利用し、レーンごとの ON/OFF や通信速度の変更機構を自動化することにより、本研究の主旨である省電力・ディペンダブル機能に対応したハードウェアを構成が可能となる。

PEACH チップは、コントローラとして低消費電力のコアとして組込み向けに多く用いられている M32R CPU 8 個、DDR3 コントロールインターフェース、および最大 20 ギガビット/秒の転送レートを有する 4 レーンの PCI Express Gen2 を 4 ポート搭載したインターフェースを装備し、これに対応した高速内部データバスを中心に構成される。また 1 メガバイト規模の高速キャッシュメモリ等のオンチップ SRAM が搭載されている。PEACH チップに搭載されているインターコネクト技術は消費電力と伝送レート・距離に対応した可変プログラムリンクを可能とし、本研究の主旨である省電力・ディペンダブル機能に対応したハードウェアを可能とする構成である。

PEACH チップはホストと他の PEACH との中継をする一種のルータチップであり、PCI Express Gen2 コントローラが 4 ポート分配置され、それぞれが 4 レーン分の信号伝送を行ない、そのうち 1 ポートはノード CPU との接続のために使用され残り 3 ポートを用いて隣接ノードの PEACH と接続される。PCI Express Gen2 では、レーン当たり 5Gbps のデータ転

送が可能であるため、各接続先毎に最大 20Gbps の転送速度を持ち、8b10b 符号化のため理論ピークバンド幅は 2GB/s となる。

図 11 は PEACH のブロック図であり、主にコントロールブロックとトランスファーブロックから構成され、コントロールブロックは、電力制御機能をサポートしている CPU、周辺 IO、DDR3 インタフェース、512B L2 キャッシュから構成され、ネットワークルーティング機能とパケットヘッダ解析に係わるデータ処理・データフロー制御を実行し、トランスファーブロックは、PCI Express 4ポートとバッファ SRAM から構成され、これらはバスブリッジで接続される。ディペンダビリティ機能としては、ネットワークをモニタし、レーンに障害が発生した場合、自動的に修復する機能を有する。またレーンに発生したエラーが自動的に修復されない場合は、コントロールブロックにより、エラーが発生したリンクは切り離され、再構成される。またエラーログを収集して障害発生時の原因分析などを容易に実行できる機能をサポートしている。

PCI Express 2.0 PHY 層では、TX イコライザ回路の工夫により 22% の消費電力削減を可能としている。また高精度の発振器である LC-VCO の採用により、Phase Lock Loop (PLL) / Clock Data Recovery (CDR) 回路のジッタを 10psec に低減し、通信データのエラー発生率を大幅に向上した。1ポートあたりの最大消費電力は 20Gbps 転送時、0.8W の低消費電力で動作し、0.04W/Gbps のエネルギー効率の転送機能を実現した。これは、従来のインフィニバンドの 0.083W/Gbps の 2 倍の高エネルギーデータ転送効率を可能とした。図 12 に、5GT/s のデータ転送アイパターンを示している。

図 14 に示すように、PEACH の PCI Express Gen2 コントローラは、動的に転送レートとレーン数を切り替えることができる機能を備えており、動作中にコンフィグレーションレジスタの設定を変更することで、必要な転送速度に応じて最適な転送レートとレーン数に切り替えて、省電力を実現することができる。高いデータ転送レートが必要な場合は、各レーンは、最大転送レートの 5Gbps で動作し、要求データ転送レートが 2.5Gbps と低い場合は、1レーンのみ活性化し、PCI Express Gen1.1 でデータ転送する。また各レーンの転送レートにあわせて PHY 層も電力管理を行い、PCI Express Gen 2.0 モード時は PCI Express Gen.1.1 に比べて、データ転送時のエネルギー効率を 48% 改善することができる。

PEACH チップは、45nm の 8 層配線、マルチ Vth トランジスタ対応の Low power CMOS プロセスで試作されている。チップサイズは 11x11mm² で、1008 ピンの BGA パッケージに収納される。電源電圧は、コア部の 1.2V、DDR3 インターフェース部の 1.5V、周辺 IO 部の 3.3V の 3 電源を供給する。(図 13 にチップ図、表 1 に、チップ諸元を示す。)

(2) 研究成果の今後期待される効果

PEACH の低消費電力(高エネルギー効率)、高信頼性、低コストの特長は、組み込みシステムでは、クラウドとセンサーネットワークがリンクした Green かつスマートな次世代のホームサーバや自動車のネットワークアプリケーションに非常に適している。またインフラ系用途には、産業ネットワークアプリケーションが有効である。よって、PEACH チップおよびそれに搭載された IP をベースに、プラットフォーム化を進めることで、これらのアプリケーションに対するソリューションビジネスが今後大きなマーケットを形成することが期待される。

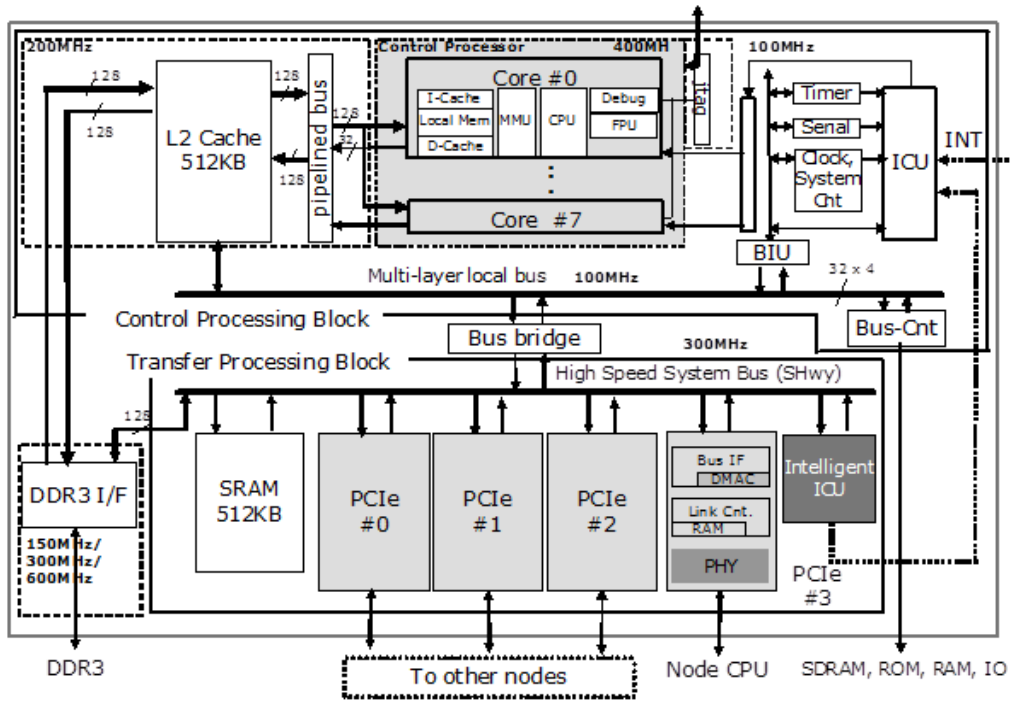
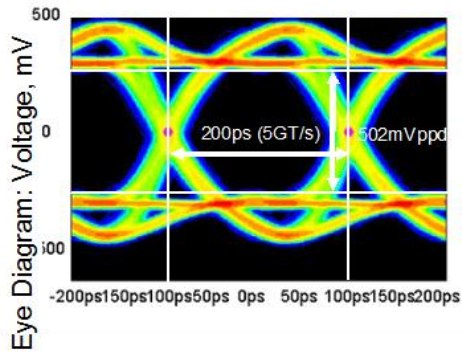


図 11 PEACH チップブロック図

■ Eye measurement



5.0 GT/s (-3.5dB) PRBS7
with 0.5m coaxial cables

図 12 5GT/s におけるデータ転送アイパターン

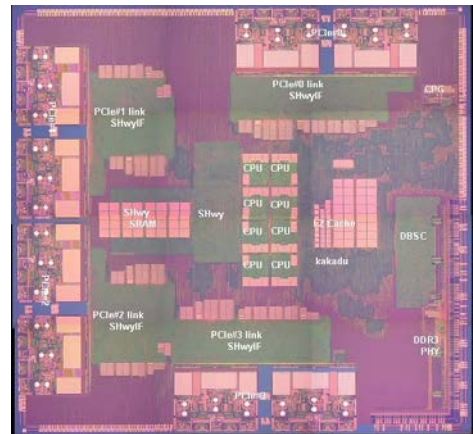


図 13 PEACH チップ写真

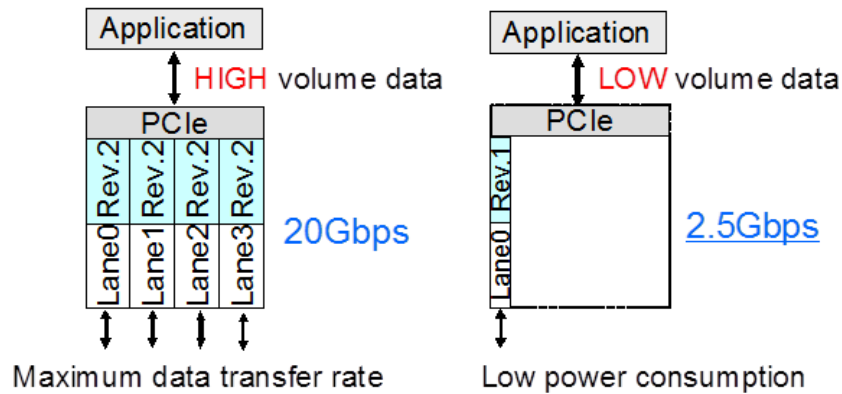


図 14 PCI Express レーン設定の選択

Technology	45nm Low power CMOS (8 layers, triple-Vth)
Chip Size	11.00 x 11.00mm ²
Clock frequency	Internal: 400MHz max. External bus: 100MHz
Power supply	Core:1.2V, I/O:3.3V, DDR3:3.3V/1.5V (Vref=0.75V) PCIe:1.2V, 2.5V
Power consumption	3.2W max @25°C
CPU	32-bit Processor (400MHz max.) x 8 SMP L1-cache:8kB(I)+8kB(D), LM:8kB, MMU, FPU
Memory	L2 cache: 512kB Internal SRAM: 32kB, 512kB
DRAM I/F	DDR3-600 I/F x 1 SDRAM I/F x 1
PCIe I/F	PCI Express standard Rev.2.0 Transfer speed: 5.0GT/s, 2.5GT/s per lane 4 lanes (20Gbps) x 4 ports Maximum payload size:1024bytes Upconfiguration function Automatic retransmission function Root port / Endpoint selectable
Interrupt Generator	Transfer address, size information register x 3 Automatic transfer mode
Bus	Packet router Multi-layer bus (4-layer) Pipelined bus

表 1 PEACH チップ諸元

§ 5 成果物等

(1)ソフトウェア/ハードウェア

- DS-Bench / Test-Env のソースコード、マニュアル等
- FaultVM-SpecC のソースコード、マニュアル等
- PEACH ボード(ハードウェア)、およびファームウェア、ドライバ、通信ライブラリ等

- 耐故障ソフトウェア分散共有メモリシステムのソースコード、マニュアル等

(2)規格

(3)知財出願

- ①国内出願 (0件)
- ②海外出願 (0件)
- ③その他の知的財産権

(4)原著論文発表 (国内(和文)誌 8 件、国際(欧文)誌 18 件)

- ① 並列組込み向け高信頼共有メモリ機構および省電力実時間並列実行制御機構(電力制御・高信頼並列グループ)

[省電力制御]

1. Takayuki Imada, Mitsuhisa Sato, Yoshihiko Hotta, Hideaki Kimura, Taisuke Boku, Daisuke Takahashi, Shin'ichi Miura and Hiroshi Nakashima, "Power-Performance Evaluation on Ultra-Low Power High-performance Cluster System : MegaProto/E", the Proc. of the 10th IEEE Symposium on Low-Power and High-speed Chips (CoolChips X), April 18, 2007
2. Takayuki Imada, Mitsuhisa Sato, Yoshihiko Hotta, and Hideaki Kimura, "Power Management of Distributed Web Servers by Controlling Server Power State and Traffic Prediction for QoS," 22th IEEE International Parallel and Distributed Processing Symposium (IPDPS) Workshop on High-Performance, Power-Aware Computing (HP-PAC), pp. 1-8, 2008
3. 今田 貴之, 佐藤 三久, 堀田 義彦, 木村 英明, 「分散型 Web サーバ上でのエネルギー削減と QoS 維持を両立させるサーバ電力状態制御手法」, 第 20 回 コンピュータシステム・シンポジウム (ComSys 2008)論文集, pp.107-116, 2008 年
4. 今田 貴之, 佐藤 三久, 木村 英明, 堀田 義彦, "分散型 web サーバでの負荷変動を考慮した省電力化のためのノード状態制御", 情報処理学会論文誌コンピューティングシステム, Vol.2 No.2 (ACS 26), 2009 年
5. Toshihiro Hanawa, Mitsuhisa Sato, Jinpil Lee, Takayuki Imada, Hideaki Kimura, Taisuke Boku, "Evaluation of Multicore Processor for Embedded Systems by Parallel Benchmark Program using OpenMP," Proc. of International Workshop on OpenMP (IWOMP 2009), pp. 15-27, 2009.
6. Jinpil Lee and Mitsuhisa Sato: Reliable Software Distributed Shared Memory using Page Migration, The Fifteenth International Conference on Parallel and Distributed Systems (ICPADS'09), 2009.
7. Toshihiro Hanawa, Takayuki Banzai, Hitoshi Koizumi, Ryo Kanbayashi, Takayuki Imada, and Mitsuhisa Sato, "Large-Scale Software Testing Environment Using Cloud Computing Technology for Dependable Parallel and Distributed Systems," the 2nd International Workshop on Software Testing in the Cloud (STITC2010), co-located with the 3rd IEEE International Conference on Software Testing, Verification, and Validation (ICST 2010), 2010.
8. Takayuki Banzai, Hitoshi Koizumi, Ryo Kanbayashi, Takayuki Imada, Toshihiro Hanawa, and Mitsuhisa Sato, "D-Cloud: Design of a Software Testing Environment for Reliable Distributed Systems Using Cloud Computing Technology", the 2nd International Symposium on Cloud Computing (Cloud 2010) in conjunction with the 10th IEEE/ACM International Conference on Cluster, Cloud and Grid Computing (CCGrid 2010), 2010.
9. Toshihiro Hanawa, Hitoshi Koizumi, Takayuki Banzai, Mitsuhisa Sato, and Shin'ichi Miura, "Customizing Virtual Machine with Fault Injector by Integrating with SpecC Device Model for a software testing environment D-Cloud," the 16th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC'10), 2010.

② 並列システム内高信頼高性能通信機構(通信システムアーキテクチャ・グループ)

10. T. Okamoto, S. Miura, T. Boku, M. Sato, D. Takahashi, "RI2N/UDP: High bandwidth and fault-tolerant network for a PC-cluster based on multi-link Ethernet", Proc. of CAC2007 (included in Proc. of IPDPS2007), pp. 287(1-8), 2007.
11. 岡本 高幸, 三浦 信一, 朴 泰祐, 佐藤 三久, 高橋 大介, "Ethernet マルチリンクによる PC クラスタ向け高バンド幅・耐故障ネットワーク RI2N/UDP", 情報処理学会論文誌コンピューティングシステム, Vol. 48, No. SIG 8(ACS 18), pp.153-164, 2007.
12. 三浦信一, 岡本高幸, 朴泰祐, 塙敏博, "マルチパスネットワークを持つ PC クラスタにおける動的経路制御システム", 情報処理学会論文誌(コンピューティングシステム), Vol.48, No. SIG18(ACS20), pp. 56-68, (2007)
13. Toshihiro Hanawa, Taisuke Boku, Shin'ichi Miura, Takayuki Okamoto, Mitsuhsa Sato, "Low-Power and High-Performance Communication Mechanism for Dependable Embedded Systems," 11th International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA'08), Jan. 21-23, 2008.
14. 岡本 高幸, 三浦 信一, 朴 泰祐, 塙 敏博, 佐藤 三久, "ユーザ透過に利用可能な高性能・耐故障マルチリンク Ethernet 結合システム", 2008 年ハイパフォーマンスコンピューティングと計算科学シンポジウム HPCS2008 論文集, 2008
15. 岡本高幸, 三浦信一, 朴泰祐, 塙敏博, 佐藤三久, "ユーザ透過に利用可能な高性能・耐故障マルチリンク Ethernet 結合システム", 情報処理学会論文誌(ACS), Vol.1, No.1, pp.12-27, 2008 年 6 月.
16. Y. Ishikawa, H. Fujita, T. Maeda, M. Matsuda, M. Sugaya, M. Sato, T. Hanawa, S. Miura, T. Boku, Y. Kinebuchi, L. Sun, T. Nakajima, J. Nakazawa, and H. Tokuda, "Towards an Open Dependable Operating System," Proc. of 12th IEEE International Symposium on Object / component / service-oriented Real-time distributed Computing (ISORC2009), 2009. (招待論文)
17. Shin'ichi Miura, Toshihiro Hanawa, Taiga Yonemoto, Taisuke Boku, Mitsuhsa Sato, "RI2N/DRV: Multi-link Ethernet for High-Bandwidth and Fault-Tolerant Network on PC Clusters," Proceedings of Workshop on Communication Architecture for Clusters (CAC2009) in IPDPS 2009, 2009.
18. 米元大我, 塙敏博, 三浦信一, 朴泰祐, 佐藤三久, "トラフィック量に対応する非対称マルチリンク Ethernet トランキング", 第21回コンピュータシステム・シンポジウム (Comsys2009)論文集, 2009.
19. T. Yonemoto, S. Miura, T. Hanawa, T. Boku, M. Sato, "Flexible Multi-link Ethernet Binding System for PC Clusters with Asymmetrical Topology", Proc. of Int. Conf. on Parallel and Distributed System 2009 (ICPADS2009), 2009.
20. 米元大我, 塙敏博, 三浦信一, 朴泰祐, 佐藤三久:トラフィック量に適応する非対称マルチリンク Ethernet トランキング, 情報処理学会論文誌コンピューティングシステム, Vol.3, No.1, pp.25-37, 2010.
21. Toshihiro Hanawa, Taisuke Boku, Shin'ichi Miura, Mitsuhsa Sato, and Kazutami Arimoto, "PEARL: Power-aware, Dependable, and High-Performance Communication Link Using PCI Express", IEEE/ACM International Conference on Green Computing and Communications (GreenCom2010), 2010.
22. Toshihiro Hanawa, Taisuke Boku, Shin'ichi Miura, Mitsuhsa Sato, and Kazutami Arimoto, "PEARL and PEACH: A Novel PCI Express Direct Link and Its Implementation," The Seventh Workshop on High-Performance, Power-Aware Computing (HPPAC 2011) in 25th International Parallel and Distributed Processing Symposium (IPDPS 2011), 2011.
23. Shin'ichi Miura, Toshihiro Hanawa, Taisuke Boku, Mitsuhsa Sato, "XMCAP: Inter-Core Communication Interface on Multi-chip Embedded Systems," International Symposium on Embedded and Pervasive Systems (EPS 2011) in 9th IEEE/IFIP International

Conference on Embedded and Ubiquitous Computing, 2011.

- ③ 低電力高速インターコネクと省電力高密度並列ハードウェアプラットフォーム(高速ネットワークグループ)
24. S. Otani, H. Kondo, I. Nonomura, A. Ikeya, M. Uemura, Y. Hayakawa, T. Oshita, S. Kaneko, K. Asahina, K. Arimoto, S. Miura, T. Hanawa, T. Boku, M. Sato, "An 80Gb/s Dependable Communication SoC with PCI Express I/F and 8 CPUs", International Solid-State Circuits Conference (ISSCC2011), 2011
 25. Sugako Otani, Hiroyuki Kondo, Itaru Nonomura, Atsuyuki Ikeya, Minoru Uemura, Katsushi Asahina, Kazutami Arimoto, Shin'ichi Miura, Toshihiro Hanawa, Taisuke Boku, Mitsuhsa Sato, "An 80Gb/s Dependable multicore Communication SoC with PCI Express I/F and Intelligent Interrupt Controller," IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV), 2011
 26. Sugako Otani, Hiroyuki Kondo, Itaru Nonomura, Toshihiro Hanawa, Shin'ichi Miura, Taisuke Boku, "PEACH : A Multicore Communication SoC with PCIe," IEEE Micro, 2011 (to be published).

(5)その他の著作物(総説、書籍など)

- ① 塙 敏博「省電力でディペンダブルな組込み並列システム向け計算プラットフォーム」, ソフトウェアデザイン2月号, 技術評論社, pp. 93-97, 2010年1月

(6)国際学会発表及び主要な国内学会発表

- ① 招待講演 (国内会議 0 件、国際会議 1 件)

1. *Mitsuhsa Sato, "Towards a high performance parallel platform for dependable embedded systems," 7th International Forum on Embedded MPSoC and Multicore, Awaji Island, Japan, 25-29 Jun. 2007.

- ② 口頭発表 (国内会議 21 件、国際会議 1 件)

1. 今田 貴之, 佐藤 三久, 堀田 義彦, 木村 英明:分散型 Web サーバにおけるノード状態制御による省電力化の検討, 情報処理学会研究報告, 2007-HPC-112, pp. 55--60, 3月 (2007)
2. 李 珍泌, 木村 英明, 佐藤 三久:メモリ効率を考慮した組み込み向け高信頼ソフトウェア分散共有メモリの検討, 情報処理学会研究報告, 2007-HPC-112, pp. 13--18, 3月 (2007)
3. 塙 敏博, 朴 泰祐, 三浦 信一, 岡本 高幸, 佐藤 三久, 有本 和民, ディペンダブルな組込みシステムに適した省電力高性能通信機構, 情報処理学会研究報告(ハイパフォーマンスコンピューティング)2007-HPC-113, pp. 31--36, Vol.2007 No.122, 2007年12月
4. 神林 亮, 佐藤三久, "仮想マシンを用いた分散システムの耐故障性評価環境の検討", 第70回 情報処理学会、全国大会、3P-1, 2008.
5. 木村 英明, 佐藤 三久, 今田 貴之, 堀田 義彦:自動プログラム領域分割を用いた実行時 DVFS 制御情報処理学会研究報告, 2008-ARC-169, 2008-HPC-114, pp. 91--96, 7月 (2008)
6. 塙 敏博, 李 珍泌, 今田 貴之, 木村 英明, 佐藤 三久, 朴 泰祐, 「OpenMP を用いた並列ベンチマークプログラムによる組込み向けマルチコア・プロセッサの評価」, 情報処理学会研究報告[計算機アーキテクチャ], 2008-ARC-179, pp.73-78, 2008.
7. 菅谷 みどり, 藤田 肇, 塙 敏博, 中澤 仁, 松田 元彦, 前田 俊行, 「ディペンダブルな組込み OS の提案」, 第10回組込みシステム技術に関するサマワークショップ(SWEST10) 予稿集, pp.35-38, 2008年9月.
8. 三浦 信一, 塙 敏博, 朴 泰祐, 佐藤 三久, 「高性能・耐故障マルチリンク Ethernet 結合システムの NFS への適用と評価」, 情報処理学会研究報告[ハイパフォーマンスコンピューティ

- ング], 2008-HPC-117, pp.1-6, 2008年10月.
9. 三浦信一, 米元大我, 埜敏博, 朴泰祐, 佐藤三久, “高性能・耐故障マルチリンク Ethernet 結合システムの性能評価”, 情報処理学会研究報告ハイパフォーマンスコンピューティング, 2009-HPC-120(オンライン), 東京, 2009年6月12日.
 10. 神林亮, 坂西隆之, 小泉仁志, 佐藤三久, “クラウド環境を用いた大規模テストファームの検討”, 第7回ディペンダブルシステムワークショップ(DSW'09summer), 函館, 2009年7月16日
 11. 加藤真平, 藤田肇, 中澤仁, 松田元彦, 前田俊行, 杵渕雄樹, 埜敏博, 三浦信一, 石綿陽一, 松野裕, 高村博紀, 山田浩史, 吉田哲也, 倉光君郎, 菅谷みどり, 石川裕: 「ディペンダブルシステム向けベンチマークフレームワークの提案」 第7回ディペンダブルシステムワークショップ DSW2009, 函館, 2009年7月16日
 12. 中澤仁, 松野裕, 菅谷みどり, 埜敏博, 前田俊行, 藤田肇, 石綿陽一, 杵渕雄樹, 高村博紀, 松田元彦, 三浦信一, 山田浩史: 「オペレーティングシステムおよび実システムにおけるディペンダビリティの評価と見積り」, 第7回ディペンダブルシステムワークショップ DSW'09summer, 2009年7月16日.
 13. T. Hanawa, M. Sato, R. Kanbayashi, T. Banzai, and H. Koizumi, “Large-scale Test Farm using Cloud-computing System,” Korea-Japan E-Science Joint Symposium, Sendai, 3 Aug. 2009.
 14. 三浦信一, 埜敏博, 朴泰祐, 佐藤三久, “組込み機器向け on-chip/off-chip core 間通信機構”, SWoPP2009, 2009-ARC-184, 仙台, 8月4日, 2009.
 15. 坂西隆之, 小泉仁志, 神林亮, 佐藤三久, “プログラムテスト環境を提供するクラウドコンピューティングシステムの検討”, SWoPP2009, 2009-OS-112, 仙台, 8月4日, 2009.
 16. 米元大我, 三浦信一, 埜敏博, 朴泰祐, 佐藤三久, “非対称な形状に適応する高バンド幅 multi-link Ethernet”, 情報処理学会研究報告システムソフトウェアとオペレーティングシステム, 2009-OS-112(オンライン), 仙台, 2009年8月6日.
 17. 坂西隆之, 小泉仁志, 神林亮, 佐藤三久: プログラムテスト環境を提供するクラウドコンピューティングシステムの検討 情報処理学会研究報告, 2009-OS-112(19), pp. 1-8, 2009
 18. 埜敏博, 朴泰祐, 三浦信一, 佐藤三久, 有本和民, 「PCI Express による省電力・高信頼・高性能通信リンクのためのコミュニケータチップ: PEACH」, 情報処理学会研究報告, 2010-ARC-187(12), pp. 1-6, 2010年1月
 19. 三浦信一, 鈴木良平, 埜敏博, 朴泰祐, 佐藤三久, 「組込み機器向け on-chip/off-chip コア間通信機構の実装と評価」, 情報処理学会研究報告, 2010-EMB-16(40), pp. 1-7, 2010年3月
 20. 小泉仁志, 坂西隆之, 埜敏博, 佐藤三久, 三浦信一, 石井忠俊, 高見澤秀久: 仮想マシンと SpecC デバイスモデルを統合したデバイス故障エミュレータの実現, 情報処理学会研究報告, 2010-OS-115(19), pp. 1-8, 2010
 21. 鈴木良平, 三浦信一, 李珍泌, 埜敏博, 朴泰祐, 佐藤三久, 「MCAPI を用いた組込み向け耐故障分散共有メモリの実装」, 情報処理学会組込みシステム研究会, 宮古島, 2011年7月3日
 22. 金子紘也, 埜敏博, 三浦信一, 朴泰祐, 佐藤三久, 「PCI Express を用いた通信リンク PEARL におけるネットワーク管理機構」, 情報処理学会研究報告, 2011-ARC-196(6), 鹿児島, 2011年7月27日

③ ポスター発表 (国内会議 5 件、国際会議 5 件)

1. 菅谷みどり, 藤田肇, 埜敏博, 中澤仁, 松田元彦, 前田俊行, 「ディペンダブルな組込み OS の提案」, 第10回組込みシステム技術に関するサマーワークショップ(SWEST10), 浜松市, 2008年9月4日.
2. Shin'ichi Miura, Takayuki Okamoto, Taisuke Boku, Toshihiro Hanawa, Mitsuhisa Sato, “RI2N: High-Bandwidth and Fault-Tolerant Network with Multi-link Ethernet for PC

- Clusters,” 2008 IEEE International Conference on Cluster Computing (Cluster 2008), Tsukuba, Japan, 30 Sep. 2008.
3. Hideaki Kimura, Mitsuhisa Sato, Takayuki Imada, and Yoshihiko Hotta, “Runtime DVFS Control with instrumented code in Power-scalable Cluster System,” Proc. 10th IEEE International Conference on Cluster Computing (CLUSTER 2008), Tsukuba, Japan, 30 Sep. 2008.
 4. 埜敏博, 朴泰祐, 三浦信一, 佐藤三久, 有本和民, “小規模システム向け省電力高性能ディペンダブル通信機構:PEARL”, 2009 先進的計算基盤システムシンポジウム (SACIS2009), 広島, 2009年5月28日.
 5. 米元大我, 三浦信一, 埜敏博, 朴泰祐, 佐藤三久, “ネットワークトポロジを考慮したマルチリンク Ethernet の性能最適化”, 2009 先進的計算基盤システムシンポジウム (SACIS2009), 広島, 2009年5月28日.
 6. Toshihiro Hanawa, Taisuke Boku, Shin'ichi Miura, Mitsuhisa Sato, and Kazutami Arimoto, “Power-aware, Dependable, and High-Performance Communication Link Using PCI Express: PEARL,” IEEE International Conference on Cluster Computing (Cluster 2010), Heraklion, Crete, 21 Sep. 2010
 7. 米元 大我, 三浦 信一, 埜 敏博, 朴 泰祐, 佐藤 三久, 「トラフィック変化に即時適応する Ethernet トランキング」, ハイパフォーマンスコンピューティングと計算科学シンポジウム (HPCS2011), つくば, 2011年1月18日.
 8. “An 80Gb/s Dependable Communication SoC with PCI Express I/F and 8 CPUs, ” ISSCC 2011 Industry Demonstration Session (IDS), 22 Feb. 2011.
 9. Toshihiro Hanawa, Taisuke Boku, Shin'ichi Miura, Mitsuhisa Sato, and Kazutami Arimoto, “PEACH: A Communication SoC for PCI Express Direct Link,” IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV), Yokohama, 21 Apr. 2011.
 10. 三浦 信一, 埜 敏博, 朴 泰祐, 佐藤 三久, 「XMCAP: 組込み機器向け on-chip/off-chip コア間通信機構」, 先進的計算基盤システムシンポジウム(SACIS 2011), 秋葉原, 2011年5月26日.

(7)受賞・報道等

①受賞

- 情報処理学会第70回全国大会優秀賞
神林 亮, 佐藤 三久, 「仮想マシンを用いた分散システムの耐故障性評価環境の検討」, 情報処理学会第70回全国大会, pp.1-181-182, 筑波大学, 2008年3月14日.
- * Cool Chips XIV Poster: Best Feature Award
Toshihiro Hanawa, Taisuke Boku, Shin'ichi Miura, Mitsuhisa Sato, and Kazutami Arimoto, “PEACH: A Communication SoC for PCI Express Direct Link,” IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIV), Yokohama, 21 Apr. 2011

②マスコミ

- 「ルネサスと筑波大、電力半減のパソコン間通信向け電子回路を開発」, 日刊工業新聞, 2011年2月24日
- 「ルネサスら、80Gbps 転送が可能なコミュニケータチップを開発」, マイコミジャーナル, 2011年2月24日
- 「ルネサスと筑波大、80Gビット/秒のデータ転送を可能にした、8コアの packets 処理 SoC を開発」, 日経 BP Tech-On!, 2011年2月28日
ISSCC2010 における PEACH チップについての発表を受けての報道発表

③その他

(8)成果展開事例

①実用化に向けての展開

- 筑波大では PEACH のアーキテクチャを基に GPU など PCI Express で接続される演算加速機構を直接結合するネットワークリンク(PEACH2)の開発を進めている。

② 社会還元的な展開活動

§ 6 研究期間中の主なワークショップ、シンポジウム、アウトリーチ等の活動

プロジェクト全体の Meeting と同じ

§ 7 結び

本チームの目標は、これからの省電力性と高性能性を持つシステムはマルチコア・マルチチップになることを想定し、ディペンダビリティ支援機構の実現例として、マルチコア・マルチチップからなる並列システムを活用する、ディペンダブル並列システムを構築する技術を開発することであった。その中心となる要素は、ネットワークリンクのチップの開発であった。これについては特に強調しておきたいのは最新のプロセスである 45nm で製作されたことであり、実用に近い省電力性・性能を持つものである。無事開発ができ、その成果がこの分野では高く評価されている ISSCC で発表できたのは大きな成果と考えている。ハードウェア開発だけでなく、XMC API などのネットワークを利用するためのミドルウェアやそれを使う SCASH-FT などのソフトウェアが統合され、一応、本チームの当初イメージしたシステムが構築でき、一定の目標が達成できたと考える。IO にも直結できる、比較的近距離のシステムエリアのネットワークは、組み込み機器はもちろん、これからクラウドなど拡大するサーバーシステムにも応用可能なネットワークであり、プロジェクト終了後も展開ができるように努力していきたい。

一方で、本領域では DEOS という一つのコンセプトを構築し、それを全チームで議論するという方針で運営されていたが、これは従来の CREST の研究とは多くの点で戸惑うことが多かったことも否めない。統一的な課題が設定できれば、例えば、同じ JST では ERATO の制度でやったほうがいい点は多々あったのではないかとおもう。ディペンダビリティは様々な側面を持ち、オペレーティングシステムなどのシステム・ソフトウェアだけでなく、アプリケーション、それを支えるハードウェア技術、さらにシステム開発プロセスまで、その課題は広範囲にわたる。統一的な課題・コンセプトの創出に取り組もうという領域全体の取り組みは野心的なものであった。そのなかで、テスト環境を担当し、FaultVM や Test-Env(D-Cloud)など、テスト環境ツールで微力ながら貢献できたとすれば幸いである。