

戦略的創造研究推進事業 CREST
研究領域「情報システムの超低消費電力化を
目指した技術革新と統合化技術」
研究課題「革新的電源制御による次世代超低電力
高性能システム LSI の研究」

研究終了報告書

研究期間 平成18年10月～平成24年3月

研究代表者：中村 宏
（東京大学大学院
情報理工学系研究科 教授）

§ 1 研究実施の概要

(1) 実施概要

本研究課題の目的は、快適な高度情報化社会を支える高性能システムLSIのさらなる高性能化と低消費電力化を、回路実装、アーキテクチャ、コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を行い実現することである。

本研究では、上記の目的を達成するために各グループがこの目的に沿った研究を行うと同時に、グループ間の協調を実現させるための共通プラットフォームとして、MIPS-CPU (R3000) 互換のプロセッサ Geyser および、電力効率アクセラレータとして大規模リコンフィギャラブルプロセッサ Cool Mega Array (CMA) (昨年度までのコードネームはSLD)の設計・試作を行った。また、Geyser 上で動作する Linux の研究開発、実行環境に応じて最適化コードを選択・実行する方式の開発などを行い、開発したプラットフォーム上でシステムソフトウェアとコンパイラが協調して低消費電力化を目指した。

MIPS-CPU (R3000) 互換のプロセッサ Geyser は、パワースイッチによる細粒度の電源制御で低消費電力化を目指す汎用プロセッサである。平成 21 年度に、世界初となるサイクル単位での超細粒度パワーゲーティングを実現したマイクロプロセッサ Geyser-1 の設計・開発に成功した。Geyser-1 は 65nm テクノロジーを採用しており、実チップを用いてアプリケーションプログラムを実行することでその低消費電力効果を実証した。さらに、平成 22 年度にはその後継となる Geyser-2 の設計・試作を行った。Geyser-2 は、cache と TLB を実装して OS が動作することを目指した点、および設計の最適化を進めて動作周波数の向上を目指した点が異なり、Geyser-2 は 120MHz で動作することに成功した。120MHz においても、パワースイッチによる電源制御をサイクルレベルという時間的に極めて細粒度に正しく動作させることを実証できた点は大きな成果である。また、Geyser-1 に比べてリーク電力の削減率の向上も達成できた。一方で、第 1 の目標に関しては、コプロセッサ CP0 における一部設計不具合のため、OS を稼働させることはできなかった。この点に関しては、Geyser-2 を FPGA に実装し、FPGA を用いた網羅的なテストを高速に実施することで問題の解決を図った。その結果、Geyser-2 が抱える不具合の洗い出しに成功し、その点を修正した Geyser を FPGA に実装し、さらにこの FPGA を用いた計算機システムの構築と、そのシステムへの Linux の移植に成功している。低消費電力化という観点においてパワーゲーティング方式が克服すべき課題の一つは、パワースイッチの切り替えに伴うエネルギー的なオーバーヘッドである。パワーをオフにした場合のリーク電力削減効果とパワーのオン/オフによる消費エネルギーオーバーヘッドが等しくなる時間（損益分岐時間）は温度に大きく依存し、最適なパワーオン/オフ制御は温度により異なることがわかっている。そのため、温度という実行時状況をシステムソフトウェアが把握し、システムソフトウェアからの指示を基にパワーオン/オフ用のコードを動的に切り替える手法の開発も行い、その有効性を確認した。この成果は、本研究が重要な戦略としているシステム階層間の協調による電源制御という観点からは、パワーゲーティングと言う電源制御においては、損益分岐時間という時間粒度が回路とアーキテクチャの重要な抽象概念として存在し、この粒度をインタフェースとして、パワーゲーティングされる回路と、パワーゲーティングするアーキテクチャ・コンパイラレイヤの協調することが最適である、という知見を得たことになる。

もう 1 種類のチップとして開発したのは、電力効率アクセラレータとしての CMA である。これは、大規模な組み合わせ回路から成るアレイを用いたリコンフィギャラブルプロセッサであり、平成 22 年度に 65nm テクノロジーで CMA-1 の設計・試作を行った。CMA-1 は 64PE からなる 24 ビットアーキテクチャの PE アレイを搭載し、2.72GOPS/11.2mWGOPSの実働電力効率を達成することに成功した。また、平成 23 年度には、ルネサス 45nm プロセスを利用した CMA-2 を開発した。CMA-2 は、PE アレイのサイズを 80 に拡張し、命令メモリも倍に拡張してプログラム上の制約を緩和した。CMA-2 は、アプリケーションによっては CMA-1 の 1.2 倍～1.3 倍の電力効率を実現した。我々の知る限り、同じアプリケーションに対して、200MOPS/mW という電力効率は、研究開始時点の他のアーキテクチャよりも 100 倍程度優れている。

(2) 顕著な成果

1. D.Ikebuchi, N.Seki, Y.Kojima, M.Kamata, L.Zhao, H.Amano, T.Shirai, S.Koyama, T.Hashida, Y.Umahashi, H.Masuda, K.Usami, S.Takeda, H.Nakamura, M.Namiki, M.Kondo, “Geysers-1: A MIPS R3000 CPU core with Fine Grain Runtime Power Gating”, Proc. of ASSCC, Nov. 2009.

概要: 本研究課題を担当する分担者の各グループの成果を結集し、世界初となるサイクル単位での超細粒度パワーゲーティングを実現したマイクロプロセッサ Geysers-1 の設計・開発に成功した。実チップを用いて実アプリケーションを実行することでその低消費電力効果を実証した。

2. Hiroki Matsutani, Michihiro Koibuchi, Daisuke Ikebuchi, Kimiyoshi Usami, Hiroshi Nakamura, Hideharu Amano, “Performance, Area, and Power Evaluations of Ultra Fine-Grained Run-Time Power-Gating Routers for CMPs,” IEEE Trans. CAD (TCAD), Vol.30, No.4, pp.520-533. Apr. 2011.

概要: オンチップネットワークのルータ内部を非常に細粒度なパワードメインに分割し、真に利用される部分とタイミングでのみ電力を供給する手法を提案し、性能低下をわずか 0.7% に抑えながら、リーク電力の大幅な低減に成功した。

3. 高橋 昭宏, 小林 弘明, 坂本 龍一, 並木 美太郎, 佐藤 未来子, 中村 宏, 天野 英晴, 宇佐美 公良, 近藤 正章, 佐々木 広, FPGA による省電力計算機の開発評価環境の試作, 情報処理学会 SACSIS2011 ポスター発表ならびに展示, 2011.05.26.

概要: 本研究で開発している細粒度パワーゲーティングを搭載する Geysers において、OS による PowerGating による省電力制御方式の評価を目指した開発環境の発表と展示を行った。CPU, OS, アプリまでをすべて作り上げた点が高く評価され、優秀ポスター賞(受賞はこの 1 件のみなので、最優秀ポスター賞に相当する)を受賞した。本研究課題の基本方針である設計階層間の協調が顕著に表れている展示である。

§ 2. 研究構想

(1) 当初の研究構想

本研究では、回路実装、アーキテクチャ・コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を実現することで、ハイエンド向けシステム LSI の消費電力を現在の mW のレベルに抑えたまま、研究終了時点で消費電力あたりの処理能力を 100 倍に向上させることを目指していた。この目標を達成するためには、従来の処理スループット重視の下でいかに効果的にトランジスタ資源を投入するかという最適化ではなく、VLSI 内部で動作すべき真に必要なトランジスタ資源だけを活性化できることこそが、VLSI アーキテクチャの最適化として重要となる。そこで、データに対する処理を時間軸と空間軸上で閉じ込めたデータレジデント(data resident)という概念を導入し、この統一された概念の下で、回路実装、アーキテクチャ・コンパイラ、システムソフトウェアが階層を越えて真に協調し、VLSI 内部の活性度を最小限にすべく、革新的な電源制御を行うことを目指した。すなわち、素子レベルで考えれば、低消費電力化の唯一の手段は不要不急のスイッチングをする素子の電源制御であるが、この電源制御を可能にすべく、回路実装、アーキテクチャ・コンパイラ、システムソフトウェアが協調して、不要不急のスイッチングを顕在化させると共に、極めて効果的な電源制御手法の実現を目指した。

(2) 新たに追加・修正など変更した研究構想

研究開始時の「回路実装、アーキテクチャ・コンパイラ、システムソフトウェアが階層を超えて真に協調する」という戦略は全く変えずに研究を遂行した。研究を遂行する上で、階層間の協調プラットフォームとして、MIPS 互換の汎用マイクロプロセッサ Geyser と、電力効率アクセラレータ CMA の開発を行うことを決定し、チップの試作・開発、ならびにその上でのソフトウェア開発を行った。研究の過程では、ハードウェアが提供する粒度をソフトウェアからどのように制御するのが最適なのか、を検討することが低電力化を目指す上で重要であり、まさにこの点に、当初からの方針である階層間の協調が果たすべき意義があることが分かったので、実行環境に応じて最適化コードを選択・実行する方式の開発など、ソフトウェア開発と評価環境の実施項目を増やした。また、当初計画では、エミュレーションにより Geyser と CMA の 2 つの成果を統合した場合の評価を目指していたが、2 つのプラットフォームの開発に成功したことにより、さらにその計画を押し進め、この 2 つをハードウェア的に統合する新しいプラットフォームの開発に着手することにした。

§ 3 研究実施体制

(1)「回路技術」グループ(芝浦工業大学)

① 研究参加者

氏名	所属	役職	参加時期
宇佐美 公良	芝浦工業大学工学部	教授	H18.10～
石崎 智尋	芝浦工業大学大学院 工学研究科	M2	H22.4～
太田 雄也	芝浦工業大学大学院 工学研究科	M2	H22.4～
早川 勇輝	芝浦工業大学大学院 工学研究科	M2	H22.4～
工藤 優	芝浦工業大学大学院 工学研究科	M1	H23.4～
小西 奈緒	芝浦工業大学大学院 工学研究科	M1	H23.4～
安西 祥生	芝浦工業大学大学院 工学研究科	M1	H23.4～
鶴井 敬大	芝浦工業大学大学院 工学研究科	M1	H23.4～
三橋 遼	芝浦工業大学大学院 工学研究科	M1	H23.4～
網代 慎也	芝浦工業大学大学院 工学研究科	M1	H23.4～
松永 健作	芝浦工業大学大学院 工学研究科	M1	H23.4～
宮内 誠	芝浦工業大学大学院 *工学研究科	M1	H23.4～
藤 恵輔	芝浦工業大学大学院 工学研究科	M1	H23.4～
大久保 直昭	芝浦工業大学大学院 工学研究科	M2	H18.10～H.19.3
香嶋 俊裕	芝浦工業大学大学院 工学研究科	M2	H18.10～H.20.3
武田 清大	芝浦工業大学大学院 工学研究科	M2	H18.10～H.20.3
白井 利明	芝浦工業大学大学院 工学研究科	M2	H.19.4～H.21.3
中田 光貴	芝浦工業大学大学院 工学研究科	M2	H.19.4～H.21.3
馬橋 雄祐	芝浦工業大学大学院 工学研究科	M2	H.20.4～H.22.3
小山 慧	芝浦工業大学大学院 工学研究科	M2	H.20.4～H.22.3

増田 大樹	芝浦工業大学大学院 工学研究科	M2	H.20.4～H.22.3
橋田達徳	芝浦工業大学大学院 工学研究科	M2	H.21.4～H.22.3
武藤 徹也	芝浦工業大学大学院 工学研究科	M2	H.21.4～H.23.3
山本 辰也	芝浦工業大学大学院 工学研究科	M2	H.21.4～H.23.3
村上由美		非常勤	H.22.4～

② 研究項目:アーキテクチャ協調型超低電力回路技術

(2)「アーキテクチャ」グループ(東京大学)

① 研究参加者

氏名	所属	役職	参加時期
中村 宏	東京大学 大学院情報理工学系研究科	教授	H18.10～
今井 雅	東京大学 駒場オープンラボラトリー	特任准教授	H18.10～H20.9
近藤 正章	東京大学 先端科学技術研究センター	特任准教授	H18.10～H20.3
神山 和人	東京大学 先端科学技術研究センター	助教	H18.10～H21.3
佐々木 広	東京大学 先端科学技術研究センター	特任助教	H18.10～H23.8
渡辺 亮	工学系研究科 先端学際工学専攻	D2	H.18.10～H.20.3
椎名 公康	情報理工学系研究科 システム情報学専攻	M2	H.18.10～H.20.3
金 均東	工学系研究科 先端学際工学専攻	D3	H.18.10～
段原 尚輝	情報理工学系研究科 システム情報学専攻	M2	H.18.10～H.20.3
大谷 貴胤	情報理工学系研究科 システム情報学専攻	M1	H.19.4～H.21.3
高田 幸永	情報理工学系研究科 システム情報学専攻	M1	H.19.9～H.21.3
池田 佳路	情報理工学系研究科 システム情報学専攻	M2	H.18.10～H.19.3
武田 清大	工学系研究科 先端学際工学専攻	D3	H.20.4～
高木 紀子	情報理工学系研究科 システム情報学専攻	M2	H.20.4～H.22.3
薦田 登志矢	情報理工学系研究科 システム情報学専攻	M2	H.20.4～
長井 智英	情報理工学系研究科 システム情報学専攻	M2	H.20.4～H.22.3

船橋 一訓	情報理工学系研究科 システム情報学専攻	M1	H.21.4～H.23.3
北野 祐平	情報理工学系研究科 システム情報学専攻	M1	H.21.4～H.23.3
和 远	工学系研究科 先端学際工学専攻	D1	H.21.4～
松谷 宏紀	情報理工学系研究科 システム情報学専攻	PD	H.21.4～H.23.3
谷本 輝夫	情報理工学系研究科 システム情報学専攻	M2	H.22.4～
角崎 宏一	情報理工学系研究科 システム情報学専攻	M2	H.22.4～
有間 英志	情報理工学系研究科 システム情報学専攻	M1	H.23.4～
岩澤 直弘	情報理工学系研究科 システム情報学専攻	M1	H.23.4～
岡本 和也	情報理工学系研究科 システム情報学専攻	M1	H.23.4～
三輪忍	情報理工学系研究科 システム情報学専攻	助教	H.23.4～
熊岡由美子	情報理工学系研究科	非常勤	H.23.7～

② 研究項目: 超低電力データレジデントアーキテクチャ

(3) 「動的リコンフィギャラブル」グループ(慶應義塾大学)

① 研究参加者

氏名	所属	役職	参加時期
天野 英晴	慶應義塾大学理工学部	教授	H18.10～
松谷 宏紀	理工学部情報工学科	講師	H.23.4～
長谷川 揚平	理工学部 開放環境科学専攻	D3	H.18.20～H.20.3
堤 聡	理工学部 開放環境科学専攻	D3	H.18.20～H.20.3
Vasutan Tanbunhen	理工学部 開放環境科学専攻	D3	H.18.10～H.21.3
Vu Mah n Tuan	理工学部 開放環境科学専攻	D3	H.18.10～H.21.3
松谷 宏紀	理工学部 開放環境科学専攻	PD	H.18.10～H.21.3
Wang DaiHan	理工学部 開放環境科学専攻	D1	H.18.10～H.20.3
中村 拓郎	理工学部 開放環境科学専攻	M2	H.18.10～H.20.3
西村 隆	理工学部 開放環境科学専攻	M2	H.18.10～H.20.3
Adepu Parimala	理工学部 開放環境科学専攻	M2	H.19.4～H.20.3

Mao Kai Gi	理工学部 開放環境科学専攻	M2	H.18.10～H.20.3
平井 啓一郎	理工学部 開放環境科学専攻	M2	H.19.4～H.21.3
関 直臣	理工学部開放環境科学 専攻	M2	H.19.4～H.21.3
加東 勝	理工学部 開放環境科学専攻	M2	H.19.4～H.21.3
佐野 徹	理工学部 開放環境科学専攻	M2	H.19.4～H.21.3
斎藤 正太郎	理工学部 開放環境科学専攻	M2	H.19.4～H.21.3
Lei Zhao	理工学部 開放環境科学専攻	D2	H.19.5～H.23.3
徐 慧	理工学部 開放環境科学専攻	M2	H.19.5～H.20.9
小島 悠	理工学部 開放環境科学専攻	M1	H.20.4～H.22.3
池淵 大輔	理工学部 開放環境科学専攻	M1	H.20.4～H.22.3
斉藤 貴樹	理工学部 開放環境科学専攻	M1	H.20.4～H.22.3
釜田 雅大	理工学部 開放環境科学専攻	M1	H.20.10～H.22.3
安田 好宏	理工学部 開放環境科学専攻	M1	H.21.4～H.23.3
木村優之	理工学部 開放環境科学専攻	M2	H.21.6～H.23.3
石井義史	理工学部 開放環境科学専攻	M1	H.22.4～
佐々木瑛一	理工学部 開放環境科学専攻	M1	H.22.4～
尾崎信明	理工学部 開放環境科学専攻	M1	H.22.4～
王帥	理工学部 開放環境科学専攻	M2	H.22.11～H.23.3
錢寅	理工学部 開放環境科学専攻	研究員	H.22.4～H.22.11
弘中和衛	理工学部 開放環境科学専攻	M1	H.22.4～
佐々木大輔	理工学部 開放環境科学専攻	M1	H.23.4～
伊澤麻衣	理工学部 開放環境科学専攻	M1	H.23.4～
Wang Ikan	理工学部 開放環境科学専攻	M1	H.23.4～
二野井恵理子		非常勤	H.19.4～H.23.6
藤田和子		非常勤	H.23.6～

②研究項目:超低電力動的リコンフィギャラブルアーキテクチャ

(4)「システムソフトウェア」グループ(東京農工大学)

①研究参加者

氏名	所属	役職	参加時期
並木美太郎	東京農工大学 大学院共生科学技術研究院	教授	H18.10～
金井 遵	東京農工大学 工学府情報工学専攻		H.18.10～H.21.3
佐々木 悠	東京農工大学 工学府情報工学専攻		H.19.4～H.20.3
野尻 祐亮	東京農工大学 工学府情報工学専攻		H.19.4～H.21.3
松尾 和弥	東京農工大学 工学府情報工学専攻		H.19.4～H.20.3
松崎 泰裕	東京農工大学 工学府情報工学専攻		H.19.4～H.21.3
浅野一成	東京農工大学 工学府情報工学専攻		H.20.4～H.21.3
太田 篤志	東京農工大学 工学府情報工学専攻		H.20.4～H.22.3
磯部 泰徳	東京農工大学 工学府情報工学専攻		H.20.4～H.22.3
砂田 徹也	東京農工大学 工学府情報工学専攻		H.20.4～H.22.3
竹川 知孝	東京農工大学 工学府情報工学専攻	D2	H.20.4～
林 和宏	東京農工大学 工学府情報工学専攻		H.20.4～
川口直也	東京農工大学 工学府情報工学専攻		H.20.4～
北原悠	東京農工大学 工学府情報工学専攻		H.21.4～
木村一樹	東京農工大学 工学府情報工学専攻		H.21.4～H.23.3
高島和幸	東京農工大学 工学府情報工学専攻		H.21.4～H.23.3
盛合智紀	東京農工大学 工学府情報工学専攻		H.21.4～H.23.3
仁科圭介	東京農工大学 工学府情報工学専攻	M2	H.22.4～
吉原陽香	東京農工大学 工学府情報工学専攻	M2	H.22.4～
望月秋人	東京農工大学 工学府情報工学専攻	M2	H.23.4～
坂本龍一	東京農工大学 工学府情報工学専攻	M2	H.23.4～
小林弘明	東京農工大学 工学府情報工学専攻	M1	H.23.4～

高橋昭宏	東京農工大学 工学府情報工学専攻	M1	H.23.4～
三浦恵太	東京農工大学工学府情報 工学専攻	M1	H.23.4～
須崎有康	産業技術総合研究所	主任研究員	H.19.4～H.22.3
八木豊志樹	産業技術総合研究所	契約職員	H.19.4～H.22.3
笹田 耕一	東京大学大学院 情報理工学系研究科 創造情報学専攻	講師	H.18.10～
佐藤 未来子		特任助教	H.18.10～
菊池和美		非常勤	H.19.10～

②研究項目:超低電力を実現するアーキテクチャ協調型システムソフトウェア

(5)「コンパイラ」グループ(電気通信大学)

①研究参加者

氏名	所属	役職	参加時期
近藤正章	電気通信大学 大学院情報システム学研究科	准教授	H20.4～
久米 正人	電気通信大学 大学院情報システム学研究科	M2	H20.4～H.22.3
中尾 信高	電気通信大学 大学院情報システム学研究科	M2	H21.4～H.23.3
山藤 友紀	電気通信大学 大学院情報システム学研究科	M2	H21.4～H.23.3
井上 功一	電気通信大学 大学院情報システム学研究科	M2	H22.4～
坂田 英	電気通信大学 大学院情報システム学研究科	M2	H22.4～
中野 雄太	電気通信大学 大学院情報システム学研究科	M2	H22.4～
齋藤 翔太	電気通信大学 大学院情報システム学研究科	M1	H23.4～
橋本 崇浩	電気通信大学 大学院情報システム学研究科	M1	H23.4～

②研究項目:超低電力を実現するデータレジデントコンパイラ

(6)「3次元ワイヤレス実装」グループ(慶応義塾大学)

① 研究参加者

氏名	所属	役職	参加時期
黒田 忠広	慶應義塾大学理工学部	教授	H23.4～
石黒 仁輝	理工学部電子工学科	准教授	H.23.4～
三浦 典之	理工学部	CREST 研究員	H.23.4～
研究員 A	理工学部	研究員	H.23.4～
Zhu Xiaolei	理工学研究科	D3	H.23.4～
竹谷 勉	理工学研究科	D2	H.23.4～

Andrzej Radecki	理工学研究科	D2	H.23.4～
齋藤 美都子	理工学研究科	D1	H.23.4～
相川 伊織	理工学研究科	M2	H.23.4～
浅野 雄一	理工学研究科	M2	H.23.4～
阿部 敬之	理工学研究科	M2	H.23.4～
竹 康宏	理工学研究科	M2	H.23.4～
中野 慎也	理工学研究科	M2	H.23.4～
小野 友己	理工学研究科	M1	H.23.4～
塩谷 充	理工学研究科	M1	H.23.4～
杉原 大介	理工学研究科	M1	H.23.4～
張 碧琳	理工学研究科	M1	H.23.4～
西山 幸徳	理工学研究科	M1	H.23.4～
水原 渉	理工学研究科	M1	H.23.4～

②研究項目

- ・3次元システムLSIのための3次元ネットワークオンチップの研究

§ 4 研究実施内容及び成果

4.1 アーキテクチャ協調型超低電力回路技術(芝浦工業大学 宇佐美グループ)

(1)研究実施内容及び成果

低消費電力化を実現するための革新的な電源制御技術として、大きく3つの回路技術の開発を行った。1つ目が、細粒度パワーゲーティングを実現する回路・実装技術、2つ目が、細粒度パワーゲーティングを効果的に制御するためのオンチップ・リークモニタ回路技術、3つ目が、細粒度のダイナミック電力制御を実現する回路技術である。

(A)細粒度パワーゲーティングを実現する回路・実装技術の研究

この研究では、従来の粗粒度パワーゲーティングには存在しなかった新たな課題に取り組んだ。その一つが、高速復帰動作の実現である。プログラムの走行中にスリープと復帰を細粒度で行う場合、復帰に要する時間が長いと、全体の性能低下につながるためである。もう一つの課題が、消費エネルギー削減を達成するための最小スリープ時間(Break-even time, BET)の特性に関する研究と、その特性に基づいた最適なパワーゲーティング制御方式の考案である。

これらの課題に対し、次のような順序で研究を実施した。まず、H18年度は、細粒度パワーゲーティングの実装に対する Feasibility Study を行うため、32bit×32bit 乗算器回路へ適用し、チップ試作と評価を行った。実際のアプリケーション・プログラムを分析すると、32bit データ同士の乗算のみならず 16bit データ同士の乗算が数多く含まれる。上位ビットのゼロが検出されたら直ちに上位 16bit の計算回路部分を自動でスリープする乗算回路を設計し、VDEC が提供する 90nm テクノロジーを用いてチップを試作した。チップを実測した結果、上記スリープによって室温、高温(85°C)ともに消費電力を約 17%低減できることが分かった。一方、課題として、パワースイッチとパワースイッチを駆動するバッファのエネルギー・オーバーヘッド低減が必要であることが認識された。この研究結果は、同年度の電子情報通信学会の研究会で発表した。

この実施結果を踏まえ、H19年度は、細粒度パワーゲーティングをCPUに適用する技術の研究を行った。CPU内の演算器を細粒度で電源遮断制御する方式に着目し、上で述べた課題(復帰動作に起因する性能低下)を解決する技術の開発を行った。具体的には、回路技術とパイプライン制御の密接な連携により、スリープ状態からの復帰時に生ずる遅延を隠ぺいし、CPU全体として高性能が維持できる方式を検討した。検討の結果、パワースイッチを細粒度に分割し、パワースイッチのサイズを最適化した上で、それぞれのオン/オフのタイミングを細かく制御する回路技術により、演算器を200MHz動作時に1サイクル以内で復帰できることが分かった。この利点をさらに活かすべく、命令フェッチと同時にプリデコードを行うことによって、復帰させる演算器を優先的に検出する方式を考案した。この方式では、演算実行する2サイクル前に先行検出を行うので、演算実行する直前の1サイクルの期間を回路の復帰動作に充てることができ、復帰動作で生ずる性能低下を実効的にゼロにできる。本方式の有効性を検証するために、90nmテクノロジーを用いたMIPS R3000ベースの32ビットCPU(開発コード名: Geysers-0)に本方式を適用してチップ実装を行った。最終レイアウトから抽出した物理パラメータを用いてシミュレーション評価した結果、200MHzで復帰遅延による性能ペナルティを隠蔽できただけでなく、クイックソートおよびJPEGエンコードのプログラムに対し、演算器全体の消費電力を25°Cで15%、100°Cで62%低減できることが分かった。これらの研究結果を、国際学会 ICCD'08、および、電子情報通信学会の研究会で発表した。

H20年度は、細粒度パワーゲーティングで高速復帰動作を図る際に問題となる、グラウンドバウンス・ノイズを低減する回路技術の研究を行った。Geysers-0を題材に、スリープ状態から動作状態への復帰時に発生する突入電流(ラッシュカレント)と、それに伴うグラウンドバウンスを解析するとともに、突入電流を抑制する回路方式として、パワーゲーティングの対象となる演算器の内部を細粒度なパワードメインに分割し、各ドメインをオンにするタイミングを細かくずらす方式を考案した。本方式を適用した結果、非適用時に比べ、突入電流を47%に抑制でき、グラウンドバウンスを53mV(電源電圧1V時)に抑えられることがわかった。しかも、スリープからの復帰が3.3nsでできることがわかり、

動作時に細粒度でパワースイッチをオン／オフ制御する方式に充分適用可能であることがわかった。研究結果を、国際学会 VLSI Design'09 で発表した。

H21 年度は、Geysers-0 で判明した問題点を解決し、65nm テクノロジーを採用したプロセッサ Geysers-1 の設計・試作を行い、正常動作させることに成功した。パワースイッチによる電源制御をサイクルレベルという時間的に極めて細粒度に正しく動作させることを実証できた点は大きな成果である。また実チップを用いてアプリケーションプログラムを実行した結果、細粒度パワーゲーティングにより消費電力が 25°C で 3% 程度低減し、80°C で 25% 程度低減することがわかった。研究結果を、国際学会 ASSCC'09 で発表した。これと並行して、BET の特性に関する研究、とくに BET の温度依存性に関する研究と、その特性に基づいた最適なパワーゲーティング制御方式の開発を行った。まず、BET の温度依存性に関する解析モデルの構築に取り組み、解析式を導出した。その結果、(1)BET は温度上昇とともに指数関数的に短くなる、(2)BET の短縮率は回路構造によらず同じ値を取る、という結論が解析式から導かれた。Geysers-1 の実験結果と比べ、上記(1),(2)が成り立っていることを確認した。さらに、BET の温度依存性を、細粒度パワーゲーティングの効果向上に活用する方式について、過去のスリープイベントの履歴に基づいて次のアイドルサイクルが BET を超えるか否かを予測する方式(History-based policy)を新たに考案し、有効性を確認した。これらの研究結果を、国際学会 ISQED'10 で発表した。

H22 年度は、OS の動作を視界に入れ、cache と TLB を実装したプロセッサ Geysers-2 を、65nm テクノロジーを用いて設計、試作した。Geysers-2 は、Geysers-1 の後継チップであるが、cache と TLB の追加に加え、設計の最適化を進めて動作周波数の向上を目指した点が異なる。その結果、Geysers-2 は 120MHz で動作することに成功した。120MHz においても、パワースイッチによる電源制御をサイクルレベルという時間的に極めて細粒度に正しく動作させることを実証できた点は大きな成果である。また、Geysers-1 に比べてリーク電力の削減率の向上も達成できた。この研究結果を、IEEE COOL CHIPS XIII および ASP-DAC'11 で発表した。

(B) オンチップ・リークモニタ回路技術の研究

この研究では、オンチップ・リークモニタの回路技術を研究するとともに、細粒度パワーゲーティング制御への効果的な活用方式について検討した。オンチップ・リークモニタの回路自身は、従来から種々の研究機関で研究されてきているが、プロセスばらつきに対するリークを測定する目的で作られているために、温度変化に対するリーク変動の検出感度が低いといった欠点がある。一方、細粒度パワーゲーティングにおける BET は、リークの多寡によって変化するため、温度およびプロセスばらつきによって大きく変動する。したがって、リークモニタの結果に基づいてパワーゲーティングを適応的に制御する方式を実現するためには、温度変動とプロセスばらつきの両方に対し、高感度でリークの多寡を検出できるリークモニタ回路の開発が必要である。この目的に対し、MTCMOS 回路をリーク検出回路として応用する新しい方式を考案し、H19 年度より検討を実施した。90nm テクノロジーを用いて、回路設計とレイアウト設計を行い、シミュレーション評価を行った結果、リークモニタは、室温、typical 条件では、165ns の検出時間で、検出誤差 6% で動作することがわかった。リークモニタ自体の消費電力は $29 \mu\text{W}$ であることもわかった。研究結果を、国際学会 ITC-CSCC08、および、電子情報通信学会の研究会で発表した。H20 年度には、65nm テクノロジーを用いて、テストチップ(開発コード名:ALFEE)を設計し、試作した。H21 年度に行ったチップ評価の結果、回路の基本動作がチップで確認できたが、一方、プロセスばらつき(素子のランダムばらつき)に対する回路動作のロバスト性が課題であることが分かった。この結果を踏まえ、ばらつきの影響を最も受ける回路部分を特定し、改良方法を考案した。これと並行して、H22 年度より、ばらつきに対するモニタリング精度を上げるための新しいリークモニタ回路の方式について、検討を始めた。これまでのリークモニタ回路は、リークをサンプリングするための簡単な回路(モデル回路)を用意し、モデル回路のリークをモニターして、チップのリークの代表値として使う方式であった。ところが、種々のばらつきを考慮すると、モデル回路を使うよりも、パワーゲーティングの対象となる演算器のリークをダイレクトにモニターする方式のほうが、精度を高められる。この方式を開発し、乗算器回路のリークを直接モニターするチップ(ALFEE-2)を設計し、試作した。

(C)細粒度ダイナミック電力制御を実現する回路技術の研究

この研究では、パワースイッチを用いて複数の電源電圧を動的に切替える Vdd 選択方式に着目し、回路技術の視点から有効性と問題点を明らかにすることを目的に研究を行った。H19 年度、リコンフィギャラブルプロセッサ (MuCCRA-D) を題材に、プロセッシングエレメント (PE) 単位で複数の電源電圧を動的に切替える方式を考案し、シミュレーション評価した。各コンテキストに対する回路構成情報から、クリティカルパス上にある PE には高電圧を与えて高速動作させ、それ以外の PE には低電圧を与えてダイナミック電力を低減する。コンテキスト毎にクリティカルパスが変化するため、高電圧と低電圧の割り当ても動的に変化する。90nm テクノロジーを用いた MuCCRA-D の設計データを元に、本手法を適用した結果、DCT やアルファブレンディングを実行する場合、高電圧 (1V) と低電圧 (0.6V) の組み合わせで消費電力を 20% 低減できることがわかった。研究結果を、電子情報通信学会総合大会、および、国際学会 ITC-CSCC'08 で発表した。H21 年度には、リコンフィギャラブルプロセッサ MuCCRA-3 をベースに、この 2 電源切り替え方式を適用したチップ (開発コード名: MuCCRA-DVDD) を、65nm テクノロジーを用いて設計し、試作した。さらに、H22 年度には、このチップに対し、動的リコンフィギャラブルグループで開発されたマッピングアルゴリズム PFCM による最適化とあわせて、消費エネルギーを解析した結果、3 種類の画像処理プログラムを実行した場合の消費エネルギーが 12% 減ることが分かった。研究結果を、国際学会 ARC'11、および、電子情報通信学会の研究会で発表した。

複数の電源電圧をチップ内で使用する場合に不可欠な回路が、レベルシフタである。レベルシフタは信号の電圧振幅を変換する回路であり、とくに、低電圧動作の回路の出力信号を高電圧動作の回路の入力に接続する場合、レベルシフタの挿入が必要である。従来からレベルシフタの回路は多数提案されてきているが、低い電源電圧として、トランジスタの閾値電圧よりも低い電圧 (Sub-Threshold 電圧) または閾値電圧近傍 (Near-Threshold 電圧) まで下げて、超低消費電力動作を実現する場合、これに対応できるレベルシフタ回路が必要となる。こういった超低電圧から高電圧まで電圧を引き上げるレベルシフタの研究は、まだ例が少ない。H21 年度に、カレントミラー・センスアンプを改良した新たなレベルシフタの回路構造を考案し、検討した。シミュレーションで評価した結果、従来提案されている回路構造に比べ、遅延時間、消費エネルギーの点で優位性を示す結果を得た。研究結果を、国際学会 ITC-CSCC'10、および、電子情報通信学会の研究会で発表した。

超低電圧で動作するプロセッサでは、内部の演算器に対して、超低電圧下で動作速度や消費エネルギーが最適になるような回路構造が求められる。H22 年度、加算器に対して 6 種類のアーキテクチャを検討し、65nm プロセスで 24bit 加算器を想定して回路設計および P&R によるレイアウト設計を行った。レイアウト結果に対するシミュレーションで比較・評価した結果、高速アーキテクチャとして知られている Kogge-Stone アダーは、動作電圧がサブスレシヨルド領域に入った 0.3V で消費エネルギーが最小になるが、この消費エネルギーはリップルキャリアアダーを 0.8V で動作させれば達成可能であることが分かった。また、Kogge-Stone アダーを 0.3V で動作させたときの遅延時間は、リップルキャリアアダーを 0.4V (Near-threshold 電圧) で動作させたときの遅延時間とほぼ同じであり、その状態ではリップルキャリアアダーのほうが Kogge-Stone アダーに比べ約 1/2 の消費エネルギーで済むことも分かった。今回の評価結果から、超低電圧向けの加算器のアーキテクチャとしては、Kogge-Stone アダーに代表される並列プレフィックス加算器やキャリアルックアヘッド加算器よりも、リップルキャリアアダーが適しているという知見を得た。研究結果を、電子情報通信学会の研究会で発表した。

これらの技術をチップで検証するため、H22 年度、超低電圧向けの演算器回路、および、超低電圧と通常電圧をインターフェースするレベルシフタ回路の技術検討を行い、動的リコンフィギャラブルグループが開発した SLD のプロセッシングエレメントに適用して、チップ (“ColdSMAP”) を設計・試作した。

(2)研究成果の今後期待される効果

細粒度パワーゲーティングの実現方法を考案し、その有効性が明らかになった。今後、半導体素子の微細化が進む中で、サブスレシヨルド・リーク電流は減少しないため、その重要性はますます

大きくなると考えられる。また、パワースイッチを用いて複数の電源電圧を動的に切替えるダイナミック電力制御では、超低電圧と通常電圧を動的に切り替えることにより、超低消費エネルギーを達成する技術の重要性が高まると思われる。医療用埋め込みデバイスや、インテリジェントセンサー等への応用が期待される。

4.2 超低電力データレジデントアーキテクチャ（東京大学 中村グループ）

(1) 研究実施内容及び成果

(A) パワーゲーティング回路の高精度な遅延時間解析法

パワーゲーティング回路はスタンバイ時の低リーク電力を達成可能な技術であるが、スリープトランジスタの挿入によってアクティブ時における回路遅延が劣化する。スリープトランジスタのサイズを大きくする、またはスリープトランジスタの数を増やすと、遅延劣化は押さえられるが回路規模が大きくなる、というトレードオフがあるため、スリープトランジスタの大きさと遅延劣化の関係を正確に評価することが重要となる。従来の遅延評価法は、回路が正しく動作することを目的としているため、悲観的な遅延劣化予測を行う。その結果、遅延に関する設計制約を満たすために、設計時に過剰なスリープトランジスタの挿入が行われることになり、回路規模が必要以上に大きくなるという問題があった。そこで、論理ゲートおよびスリープトランジスタの電流モデルの非線形化、および、入力信号を考慮した動的シミュレーションによる各論理ゲートの放電時刻予測によって高精度にパワーゲーティング回路の遅延時間を高速にしかも正確に解析する手法を考案した。従来手法と比較して、計算量を大きく増加させることなく、遅延の予測精度を大幅に向上することが確認できた。この手法は、回路グループが検討中の超低電圧回路にも適用可能であり、超低電圧回路とパワーゲーティング手法を組み合わせる場合にも有効である。

(B) 統計情報に基づく動的電圧制御方式

マイクロアーキテクチャレベルの動作を実行時に観測することにより、実効性能と周波数の関係を統計的に前もって学習し、実際の実行時には動的にアーキテクチャレベルの特徴を抽出し、学習された関係に基づいて周波数を設定し、消費電力を削減する方式を検討した。実効性能と周波数の関係は、マイクロアーキテクチャと実行プログラムの特徴に強く依存し、その特徴を利用することで高性能低消費電力化が達成できることをあらかじめ知っているが、さらに、これらの特徴を実行時の状況を観測するだけでモデリングできることを明らかにした点がこの方式の特徴である。これにより、ハードウェアプラットフォームに依存しないで、所望の性能を達成する周波数を選択するアルゴリズムの確立が可能となった。この成果により、システムソフトウェアグループと連携して、低消費電力プロセススケジューラを実現することが可能となった。

また、低消費電力化の重要性が指摘されている大規模なウェブサーバシステムを対象として、その消費電力を抑えた運用管理を実現する基本アルゴリズムの検討を行った。一般に、サーバクラスタは負荷のピーク時に備え全てのノードが常時稼働している。しかし、実際には負荷がピークに達する状況は極めて少なく、性能に余裕を残した状態で稼働している時間が多い。つまり、ピークの負荷に供えるために、過剰な電力を消費してしまっていると言える。そこで、処理性能と消費電力のモデルを構築した。サーバシステムにおいては、処理性能はCPUがボトルネックになる場合とストレージがボトルネックになる場合がある。一方で、消費電力に関してはCPUの消費電力とストレージの消費電力の両方がボトルネックになる。この点を一つのモデルとして電力モデリングを行い、そのモデルに基づいて、性能制約を満たしつつ負荷状況に応じて最も消費電力の低い構成（ノード数と動作周波数）を選択する手法を提案した。ホモジニアスなクラスタを対象とした手法をまず提案し、その手法を拡張することで実際の稼働環境により近いヘテロジニアスなクラスタに対しても最適な構成を導出することが可能となった。

(C) データレジデントを指向するチップマルチプロセッサ向けメモリアクセス最適化手法の検討

汎用のプロセッサにおいて主流となっている、複数のプロセッサコアを1チップに搭載するチップマルチプロセッサにおいては、L2キャッシュやメモリバスなどの共有リソース上で複数のプロセス間の

競合が発生するが、各プロセスの実行スピードを調整することで競合による影響を柔軟に制御できる。この点に着目し、各プロセスの競合が性能へ与える影響を統計学習により予測することで、各プロセスの実行スピードを適切に制御できプロセス間の処理速度の公平さと、チップマルチプロセッサ全体での処理スループットを向上できることを示した。各プロセスの実行スピードは電源電圧と周波数で制御できるため、この結果から性能／電力比を向上できることがわかった。

この手法を推し進め、リアルタイム制約(ソフトリアルタイム)を持つプログラムを対象とし、電源電圧で／周波数だけでなくメモリアクセスの最適化も行う手法を検討した。リアルタイム制約のあるプログラムにおいてはデッドラインにちょうど間に合うように電源電圧と周波数を制御することで、性能制約を満たしつつ消費電力を最小化できることがよく知られている。しかし、前述のように L2 キャッシュやメモリアクセスなどで競合が発生すると、選択した周波数ではデッドラインに間に合わなくなってしまうという状況が起こり得る。そこで、プログラムの特徴と競合の状況をモデル化し、L2 キャッシュのパーティショニング手法とメモリアクセスのリオーダリング手法を用いた上でそれぞれのコアの周波数を近づけることによって、それぞれのプログラムの性能制約を満たしつつ消費電力を最小化できることがわかった。

その後、キャッシュプリフェッチの積極度を実行時に変更することでメモリアクセスを制御する手法と、キャッシュパーティショニングとを協調させる手法も検討した。これは、各プログラムが必要とするデータの時間的・空間的状況、つまりデータレジデントを把握し、チップマルチプロセッサ上で複数のプログラムが実行される状況において、各プログラムのデータレジデント間の干渉を低減する手法と言える。検討を通して、提案する手法の有効性を確認した。

(D) 低消費電力化を指向する動的命令スケジューリング方式

パワーゲーティングを行う回路技術との協調を目指し、アーキテクチャレベルにおいて、できるだけパワースイッチの稼動頻度を少なく、しかもパワーオフ期間を長くできる動的命令スケジューリング方式の検討を行った。パワースイッチの切り替えに要するエネルギーとパワーオフによる削減エネルギーが等しくなる、損益分岐点としてのパワーオフ時間(以降、BET: Break Even Time と呼ぶ)は、回路技術から決定される。そこで、キャッシュミスが複数重なった場合に全てが解消するまで命令実行を止める新しい命令制御方式を考案しその効果を検討した。本手法の特徴は、パワーオフするか否かを何個のキャッシュミスが重なった時に判断するかを変えることによって、パワーオフする時間を調整できる点であり、この損益分岐点に応じて、パワーオフ期間を実行時に最適化できる。これは、BET が与えられた時、パワーオフをしても性能低下しないような命令実行のスケジューリングを試み、そのスケジューリングが成功した場合にのみパワーオフするものであり、動作アクティビティの時間的局所化、すなわちデータレジデント最適化による低電力化の実現を目指したものである。その結果、実行時間が殆ど伸びることなく、非稼動時のサイクル数を大きくでき低電力化に寄与できることが分かったが、一方でキャッシュミスが発生しなくても演算器が使われない場合も多く存在することもわかり、コンパイラとの協調によるパワーゲーティング戦略の開発を実施する重要性も明らかになった。この知見を得て次項の研究を実施した。

(E) コンパイラとアーキテクチャの協調による低消費電力化手法の検討:

Geysler において、コンパイラによるスリープ制御のための命令コードを生成する手法と、キャッシュミスにおけるストールという実行時に判明する状況に応じてスリープ制御を行う手法とを、ハイブリッドに組み合わせる手法について検討を行った。パワーゲーティングにおいては BET を考慮したスリープ制御が必要であるため、BET の長さに応じてコンパイラによる制御と、L1 および L2 キャッシュミス時のそれぞれにおいてスリープを行う制御を切り替える必要がある。この手法の大きな特徴は、コンパイラでプログラムの特徴から静的に定まる演算器の未使用時間を抽出し、またキャッシュミスや分岐ミスなどの動的に決定される未使用時間に関してはアーキテクチャ的にサポートすることによって、スリープ時間を最大化するという点である。評価の結果、多くのアプリケーションにおいて BET が小さい(～数 10 サイクル程度)状況においてはコンパイラによる制御によって主にスリープ状態になり、BET がそれ以上の値の際には L2 キャッシュミスをトリガーとしたスリープを行う制御

がスリープ時間の大半に寄与することが分かった。また、このハイブリッド手法によって理想的なスリープ制御に非常に近づくことが明らかになった。また、本研究課題が重要な戦略としているシステム階層間の協調による電源制御という観点からは、パワーゲーティングと言う電源制御においては、BET という時間粒度が回路とアーキテクチャの重要な抽象概念として存在し、この粒度をインタフェースとして、パワーゲーティングされる回路と、パワーゲーティングするアーキテクチャ・コンパイラレイヤの協調することが最適である、という知見を得ることができ、本研究課題のアプローチが妥当であるという結論を得ることができた。

(2)研究成果の今後期待される効果

本研究課題は、回路実装、アーキテクチャ、コンパイラ、システムソフトウェアの各階層が真に連携・協調することで革新的な電源制御を行うことを重要な戦略としている。アーキテクチャはこの階層の真ん中に位置しその協調においても重要な役割を担う。主たる研究成果は、電源制御としてパワーゲーティングを取り上げたときに、階層間の協調における重要な抽象化概念が、BET(損益分岐点)という時間的粒度であること、この時間粒度の大きさによって、アーキテクチャレイヤのみで制御できる範囲、コンパイラとの協調が必要となる範囲、システムソフトウェアとの協調が必要となる範囲が存在し、階層間の協調を必要とする低電力化を実現できた点で意義が大きい。今後パワーゲーティング以外の電源制御方式も提案され、またデバイス自身の革新により BET の値は変わるであろうが、この「階層間の協調において時間粒が重要な抽象概念であること、この粒度をインタフェースとして階層間の協調を実現することが低電力化の鍵となる」と言う知見は普遍的なものとして、さらに展開されると期待される。

4.3 超低電力動的リコンフィギャラブルアーキテクチャ (慶応義塾大学 天野グループ)

(1) 研究実施内容及び成果

(A) 動的リコンフィギャラブルプロセッサ MuCCRA の低電力化

動的リコンフィギャラブルプロセッサは、アプリケーションのデータパスをそのまま PE アレイ上に実装して、実行することが可能である。このため、プロジェクト開始当初主流であったアクセラレータである DSP(Digital Signal Processor)の 2 倍程度のエネルギー効率を実現することができた。本プロジェクトでは、動的リコンフィギャラブルプロセッサのエネルギー効率をさらに高めるために、H18 年度よりさまざまな研究を行った。成果をまとめると以下の通りである。

(A-1) 実チップ設計に基づき、動的リコンフィギャラブルプロセッサの電力を分析した。この結果、コンテキストの切り替えに 20%程度、クロックツリーと漏れ電流を含めたスタンバイ電力に15%程度、ネットワークに 10%程度、残りは PE アレイで消費していることを明らかにした。

(A-2) 上記の評価結果に基づき、利用していないコンテキストメモリからデータを読み出すことを止める(コンテキストフェッチストップ)、PE の出力変化がなるべく伝搬しないようにオペランドアイソレーションを行う方法を提案し、後者がかなり有効であることを明らかにした。

(A-3) PEアレイのデータパスを変化させることが電力消費の一因であり、これを削減するためのコンフィギュレーション手法を提案した。さらに、コンフィギュレーションデータ自体の転送に要する電力の削減のためコンフィギュレーションメモリを分割してフィールド毎にデータをマルチキャストする細粒度 RoMultiC 手法を提案した。

(A-4) リーク電力を削減するため、PE 単位および PE 内の演算器単位でパワーゲーティングを行う手法を提案した。また、スレッシュホールドレベルの異なるライブラリを利用する Dual-Vth 手法を提案した。この結果、ほとんど動作速度を落とさずに、リーク電力を 15%程度削減することに成功した。

(A-5) ハードウェア、アーキテクチャからだけでなく、マッピングツールを工夫することにより消費電力を削減することができる。演算を行うPEをできる限り再構成しないようにマッピングすると、同じアーキテクチャでも電力を節約できることがわかった。そこで、なるべく電力消費を抑えるようにマッピング手法を開発した。これにより、全くハードウェアに手を加えず 20%程度の電力を削減することができた。

以上の一連の研究の成果は、6 編のジャーナルペーパー、15 編を越える国際学会発表などで、公開され、動的リコンフィギャラブルプロセッサの低消費電力化技術の確立に貢献した。

また、以上の研究の成果の一部を取り入れると共に、研究を行う基本データを収集するためのチップ MuCCRA-3 を e-shuttle 65nm プロセスを用いて実装した。MuCCRA-3 は 16 ビットの 16PE で 32 コンテキストを搭載しており、50MHz で動作した。プロジェクト開始当初に開発した MuCCRA-1 の 3 倍程度の電力効率を実現した。MuCCRA-3 は実際にアプリケーションが動作し、CREST の報告会、ICFPT などの国際学会でデモンストレーションを行った。

(B) 超低電力アクセラレータ CMA (Cool Mega Array) の提案

前項(A)の動的リコンフィギャラブルプロセッサの低電力化の研究より、以下の点が明らかになった。

- PE アレイ上にマップされたデータパスの変更にはどうしても一定の電力を要し、これを根本的になくすためには、データパスを固定する他はない。
- PE アレイ内のレジスタやコンテキストメモリ、およびこれにクロックを供給するクロックツリーがかなりの電力を消費している。

最近、プロセス技術の発達による性能の向上、電力の低減には限界が見えてきたが、搭載可能なトランジスタ数のみは依然として増加を続けている。そこで、大規模な PE アレイを完全に組み合わせ回路のみで構成し、そこでスタティックに問題のデータパスを搭載させる方式を考案した。この方式では確かに(1)(2)の電力は削減できるが、データパスが固定されるために、搭載可能な問題が制限される。そこで、プログラマブルなマイクロコントローラを設けて、メモリから PE アレイの入力に与えるデータの並び、出力から収集するデータのメモリへの書き込みを自由に制御できるようにした。メモリから PE アレイの入力へのデータの配置、PE アレイでの演算、PE アレイの出力のメモリへの書き込みの 3 つの処理は、パイプラインで実行することができる。ここで、問題のデータパスの遅延が短く、PE アレイでの遅延時間が短い場合は PE アレイの電圧を下げることで、性能を落とさずに電力を節約することができる。PE アレイは完全に組み合わせ回路で作られているため、クロックツリーでのスキューの増加等を気にせず、電圧を下げるができる。逆に PE アレイでの遅延時間が長い場合、Wave-Pipeline 方式により、電力の増加を抑えつつ性能を維持することが可能である。このアーキテクチャを CMA (Cool Mega Array: 当初は SLD) と呼ぶ。

(B-1) CMA-1 の実装と評価

H22年度に MuCCRA-3 と同じ e-shuttle 65nm プロセスを用いて CMA-1 の実装を行った。CMA-1 は、64PE からなる 24 ビットアーキテクチャの PE アレイと、210MHz で動作するマイクロコントローラを装備していた。画像処理のコアなど多数のアプリケーションによる実チップ評価の結果、多くの場合は、PE アレイの遅延時間の方が短くなり、アレイ部の電圧を 0.8V-0.95V にすることで最大の電力効率を実現できることがわかった。マッピング方式に改良を加えた結果、2.72GOPS / 11.2mW の実働電力効率を達成した。同じプロセスを用いた動的リコンフィギャラブルプロセッサ MuCCRA-3 の電力効率 0.357GOPS / 13.4mW と比較すると 10 倍近く改善することができた。また、PE アレイの電圧をさらに下げて、電力を極端に節約した状態では、Wave-Pipelining で電力効率を改善可能なことが明らかになった。CMA-1 のエネルギー効率は ISSCC に発表された他の低電力アクセラレータと比較しても小さく、実際のアプリケーションを動作させた結果としては世界でもっとも高い。CMA-1 も CREST 報告会にてデモンストレーションを行い、本年度の ICFPT などの国際学会でもデモンストレーションを行う予定である。

(B-2) CMA-2 の実装と評価

CMA-1 は高い電力効率を達成したが、PE アレイサイズが小さく、命令メモリ容量にも制限があった。また、入出力用クロックが内部クロックと分離されておらず、実用チップとしては問題点があった。そこで、最新のルネサス 45nm プロセスを利用した CMA-2 を開発した。CMA-2 は、PE アレイのサイズを 80 に拡張し、命令メモリも倍に拡張してプログラム上の制約を緩和した。これに伴い、マイクロコントローラ自体をパイプライン化して、性能向上を図った。さらに、PLL を導入して、I/O クロックとシステムクロックを分離した。CMA-2 は、レイアウト上の PE アレイとコントローラの位置関係が適切でなかったため、ワイヤの遅延時間の増大によりマイクロコントローラの動作周波数が 150 MHz にとどまった。このため、期待通りの性能は実現できなかったが、アプリケーションによっては CMA-1 の 1.2 倍-1.3 倍の電力効率を実現した。

CMA-1、CMA-2 については、実チップによる評価がまとまった段階である。現在、国際学会である ICFPT や ASP-DAC など採録が決まっており、今後発表活動を活発に行っていく予定である。CoolChips2011 で行ったポスター発表は優秀ポスター賞を受賞した。

(C) 低電力インターコネクト技術の開発

プロジェクトの最終的な目標は、低電力CPUであるGeyslerと低電力アクセラレータであるCMA/MuCCRAを接続して総合的に考えて低電力システムを実現することにある。このためには、チップ内の接続ネットワークであるNoC(Network-on-Chip)の低電力化についての研究が重要である。

(C-1) パワーゲーティングを用いたネットワークルータの研究

NoCは、低遅延転送を行わないとアプリケーションの性能に影響を及ぼすことが知られている一方で、ルータ各部の利用率が必ずしも高いとは言えない。このため、利用していない部分をGeysler同様のパワーゲーティングを用いて電源を切断することで、低リーク電力化を図ることが可能である。しかし、パワーダウンから回復時に時間を掛けては性能に影響することになる。このため、先行して回復の必要性を判定する方法を提案し、実際の設計に基づき評価を行った。結果として性能には影響を与えず、1%以下のコストの増加で、リーク電力を50%以上削減できることがわかった。この研究は国際学会NoCSで発表され、IEEE Transaction on CADで採録された。

(C-2) 可変パイプラインルータの研究

ルータ自体のパイプライン化を行う場合、そのステージ数と動作周波数にはトレードオフがあり、トラフィックにより、電力効率が最も良い構成が決まる。そこで、ルータのステージ数を動的に変更可能なハードウェアを用意して状況に応じて構成を変える方法を提案した。この方式にDVFSを組み合わせることで、消費電力を50%以上削減することが可能となった。

(C-3) 低遅延予測ルータの研究

パケット進路を予測することにより、低遅延を実現するルータを提案した。このルータは、遅延時間を節約することにより、全体の消費エネルギー量を減らすことができる。実際の設計に基づきさまざまな予測アルゴリズムを用いた場合のエネルギーを評価した。この研究は高く評価され、国際学会HPCSに採録され、IEEE Trans.on Computerに採録された。

(C-4) チップ間ワイヤレス接続に適したネットワークの開発

本研究グループでは、NoCとして、チップ内ネットワークだけではなく、インダクタを用いたチップ間ワイヤレス接続に注目している。このワイヤレス接続の自由度を生かすためには、ワイヤレスネットワークに適したネットワークプロトコルを確立することが重要である。そこで、バブルフロー制御を用いる方法を提案した。この方法では、チップ内のネットワークがどのようなものであっても自由に接続可能である。さらに、最初のプロトタイプとして、リング状のネットワークをテストするCube-0チップを開発し、この方式の問題点を明らかにした。

(C-5) エラー検出、訂正機構をルータに設けることで、電源電圧を積極的に下げて電力効率を改善するルータを提案した。様々なエラー回復機構を装備したルータを設計して、電源電圧を下げた場合の転送効率について検討した。この研究はSACSIS若手研究賞を受賞し、国内ジャーナルに採録されたが、まだ未検討の領域が多く、継続して研究を行う予定である。

(2)研究成果の今後期待される効果

CMA-1/CMA-2の電力効率は、ISSCCなどで発表される低電力アクセラレータと比較しても優れている。大規模な組み合わせ回路で構成されるPEアレイと高速単純なコントローラから構成されるアーキテクチャは今までに類を見ない新しいアクセラレータとして広く利用される可能性がある。

動的リコンフィギャラブルプロセッサは、すでに商用化が進み、コンシューマ製品に利用されている。この分野は日本が世界をリードしており、我々の提案した方法は間接的に影響を与えている。今後も低消費電力化に活用されると期待される。また、マッピングツールは今まで数多く提案されているが、電力削減に注目したものは初めてあり、波及効果が大きい。

ワイヤレスインターコネクトを利用し、チップ間に入れ替え可能なアドホックネットワークを構成するという考え方は、いままでなかった新しいものであり、ビルディングブロック型SiPへの道を拓くものであ

る。この考え方が普及すれば、さまざまな構成要素からなるマルチコア型のアーキテクチャを実現することが容易になる。さらにはチップの再利用への道も開け、波及効果が大きい。

4.4 超低電力を実現するアーキテクチャ協調型ソフトウェア(東京農工大学 並木グループ)

(1)研究実施内容及び成果

システムソフトウェアグループは、超低電力アーキテクチャにおける、主記憶、キャッシュ、プロセッサの各演算コアなどの電力および性能監視系の情報を基にしたプロセス管理とプロセススケジューラなど、電力消費を抑える OS の資源管理方式の研究を行い、超低電力アーキテクチャ向けのシステムソフトウェアアーキテクチャを検討することを目的としている。

また、他グループが提供するハードウェアに対して、実行性能と省電力効果を維持した上で、ソフトウェアシステムを構築し、OS を含むソフトウェアシステムを提供するとともに、提案方式を計算機システム全体から評価できるようにする。本研究で提案され実装されたプロセッサの基本的なプログラミング環境を提供するとともに、本プロジェクトで提案された方式を評価するための OS スケジューラを研究した。

(A)プロセッサの命令流、メモリアクセスの高速なプロファイリング環境の構築

各プロセスやタスクが使用する資源、例えば、主記憶、キャッシュメモリ、プロセッサ内部の各機能ユニットの利用度を計測する環境は、ソフトウェアシステムの研究では不可欠であるが、単なるベンチマークプログラムだけではなく、OS までを含めた挙動解析とデータ収集が必要不可欠である。しかし、OS までを含むシミュレーションは、一般に実行時間が数日以上の長きにわたることが多い。

そこで、高速なプロセッサと OS のプロファイリング環境を整備した。プロセッサシミュレータ、また実機での実行時プロファイリングを行い、資源利用が競合するマルチプロセス・タスクの環境下での資源利用状況を定量的に測定した。具体的には、バイナリ変換を用いた QEMU を改造し、高速で OS からユーザプロセスを含む命令実行およびアドレステレースを取得する環境を構築した。QEMUを用いたプロファイリング環境で、Linux カーネルおよびLinux 上で稼動するユーザプロセスの資源利用状況を計測した。

本環境を用いて、細粒度パワーゲーティングを行う Geysler の TLB サイズ、キャッシュサイズなどの設計パラメータを決定した。また、後に述べる、FPGA ないしは実チップによる Geysler のシステムモデリングに利用した。また、後述する細粒度パワーゲーティングのプロセッサである Geysler 上に本グループが開発した小型軽量の OS カーネルを移植し、システムソフトウェアを含む省電力効果の基礎評価を行った。OS によりマルチタスク実行環境下で、各演算器に加え CP0(システム管理のユニット)の利用頻度解析を行い、コア全体のリーク電力を 40%近く削減できることがわかった。また、温度やユニット利用頻度の情報を基に OS のスケジューラでポリシー制御を行い、省電力効果を得られることも明らかにできた。

(B) 性能予測モデルによる DVFS を用いた OS のプロセススケジューラの研究

アーキテクチャグループが提案している「統計情報に基づく DVFS 制御方式」を OS のプロセススケジューラに適合するための各種方式を検討した。ユーザランドではなく、OS のプロセススケジューラに適用・実装し、カーネルレベルでの有効性を確認した。

性能予測モデルについては、カーネル内部でデータを収集・処理するし、プロセスディスパッチ時に OS のスケジューラで DVFS を制御する。二つの OS アーキテクチャの評価で有効性を確認できたほか、マルチコア、ノードへの拡張を試み、一定の成果を得ることができた。

(B-1) Linux カーネルでの DVFS スケジューラの研究

基本的な方式はアーキテクチャグループの性能予測を用いたが、本グループの独自のアイデアとして、OS ならではの利点であるプロセスの実行時情報に着目するように拡張した。統計情報から推定されたスケジューリングだけでなく、実行時に予測値からのずれを補正する機能をプロセススケジューラに導入した。

本方式を DVFS 可能なユニコアのプロセッサと Linux のスケジューラに適用し、数十%の電力削減を行えることを明らかにした。CPU ネットのプロセスだけでなく、I/O の多いプロセスに対しても良

好な電力削減を行えることがわかった。

(B-2) L4 マイクロカーネルでの DVFS スケジューラの研究

Linux のようなモノリシックカーネルだけでなく、マイクロカーネルの OS アーキテクを採用した L4 のスケジューラに統計情報の取得とフィードバック制御を実装し、評価を行った。 μ カーネルの OS アーキテクチャでは、ユーザプロセスだけではなく OS サーバも DVFS 制御の対象となり、実際に L4 マイクロカーネル上で Linux での評価プログラムと同様の応用プログラムを実行したところ、入出力管理のプロセスなどにおいて省電力効果が得られることが明らかになった。

(B-3) マルチコアプロセッサにおける省電力 Linux プロセススケジューラの評価

コアごとに DVFS 制御を行えるマルチコアプロセッサ向けに、統計情報に基づく Linux プロセススケジューラを拡張し、評価を行った。統計情報および実行時フィードバックによりコアごとの電圧・周波数制御をプロセススケジューラで行い、15%程度の省電力効果があることがわかった。ユニコアと比べて共有資源の利用についての振る舞いが複雑なため、予測の精度向上は今後も継続的に研究する必要がある。特に共有キャッシュの挙動が与える影響が大きい。

(B-4) 計算機システム全体、特に分散システムを考慮した省電力方式の研究

(B-1)~(B-3)で実施したプロセッサに対する省電力方式の研究で得られた知見をより広い範囲へ適用し、その有用性を検証するため、フィードバックによる省電力スケジューラを分散システムに拡張した。このスケジューラは、システム一律でプロセッサの周波数や稼働ノード数を制御するのではなく、各ノードに対して目標性能を与えるものであり、この目標性能はクラスタへの負荷に応じてフィードバックを用いて最適化される。その目標性能を満たすように、各ノードにおいて、タスクスケジューラが性能予測に基づいてプロセス単位、処理単位で周波数を制御し、省電力化を行うものである。Web サーバクラスタにおいて、最大で 40%程度の消費エネルギー削減を達成した。

(C) リアルタイム制御を考慮した省電力リアルタイムカーネルの研究

OS の資源管理の管理目標としてリアルタイム性の確保はスループットの向上に並ぶ重要な課題である。本研究では、性能制約の厳しいリアルタイムシステムにおける省電力制御として、ユニコア CPU における EDF スケジューリングを対象とした DVFS 制御方式を提案した。本方式では、コンテキストスイッチ時にカレントタスクに与えられる最大実行可能時間を近似的に見積もることで、デッドラインミスが発生させずに少ない計算量で効果的な DVFS 制御を実現した。

(D) 細粒度パワーゲーティングのプロセッサ Geyser のシステム化とその OS の研究

本研究では、細粒度パワーゲーティングに基づくプロセッサである Geyser に関する OS の研究である。パワーゲーティングには、電源遮断に伴うオーバーヘッドが存在することから、電源遮断をするか否かの判断は重要である。Geyser には、ハードウェアで自動的に電源遮断を行うように設計されているが、プロセッサに常に通電するモード、ハードウェアで自動的にパワーゲーティング制御を行うモードをソフトウェアから制御できるように設計されており、この制御レジスタは OS からのみ制御可能になっている。

本研究では、OS からパワーゲーティングのモードを制御し、プロセッサの持つパワーゲーティングの機能を十二分に引き出す OS の研究を行った。主として、外界の環境を計測し、その結果に基づいて OS のスケジューラでプロセスとパワーゲーティングのモードを制御し、適切なパワーゲーティングが可能となった。なお、本スケジューラの実装は、独自の組み込み OS で行われ、一部 Linux 上で稼働している。

(D-1) Geyser での OS 実行のための機能追加

Geyser の本質は細粒度パワーゲーティングを行うことにあり、基本設計はその方式をユーザプログラムとして十分に実行できる機能を有した上で方式の有効性を確認できた。その上で、各種 OS を実行できるように、本チームで CP0(例外処理)の全面改訂、TLB 処理の見直し、実チップ化に伴う内蔵パフォーマンスカウンタ、性能計測用の周辺装置の SoC 化などの作業を行った。年度内の最終版となる Geyser-3 の実装に際し、RTL に対して Linux が稼働する水準の機能追加と修正を行うと同時に、チップ内の状態を計測する機能をチップ内に実装した。

(D-2) FPGA による OS 開発環境と評価基盤の構築

細粒度パワーゲーティングはシミュレーションで方式評価を行うことが多い。しかし、Linux など各種 OS をたとえば、RTL シミュレーションするのは長期の実行時間を必要とし、研究の効率が悪く、プロセッサ本体のデバッグも問題となる。a)の実チップ化もテストとデバッグは、常に大きな課題であった。

そこで、実チップの開発とともに FPGA に Geysler を移植し、FPGA 上で Geysler のテストとデバッグ、OS 研究開発、評価を行える環境を構築した。SRAM、DRAM、フラッシュ ROM などの主記憶、シリアル I/O、2 次記憶装置となる Compact Flash などの入出力回路を付加し、Linux をはじめとする実 OS が動作する環境を構築した。同時に、パワーゲーティングのスリープ回数、TLB やキャッシュのヒットとミスなどの内部制御情報を採取するパフォーマンスカウンタを付加し、より詳細な統計情報を高速に採取できる環境を構築した。また、ブートローダも作成し、各種 OS をブートし、実行できる基盤を確立した。

(D-3) Geysler への組込み OS と Linux の移植

FPGA 版の Geysler 上に、本チームが過去に研究開発を行ってきた独自の組込み OS と Linux を移植した。それぞれの OS で、Geysler の PG 機能を利用し、スケジューラで各種制御を行う研究環境を提供している。Linux については、Linux 用デバイスドライバ、パフォーマンスカウンタへのアクセス関数群、Linux カーネルを Geysler 仕様に適合するように修正し、FPGA 版の Geysler で稼働する Linux を構築した。

(D-4) パワー制御ミスを指標とする OS スケジューラの研究

パワーゲーティングでは、適切な活性化と電源遮断の制御が必要であるが、Geysler ではユニットのスリープ期間はハードウェアで制御している。このスリープ期間をミスすると電力的には不利となるが、適切なスリープ期間の設定はプログラムの挙動に依存するため、一般に完全予測は困難である。そこで、スリープの間隔と回数を実行時に計測し、設計時のパラメータと比較することで、無駄な電源断と投入を削減するプロセススケジューリング方式を提案し、FPGA 版の Geysler により評価を行った。OS のスケジューラは、ある一定のタイムクォンタム内で無駄な電源遮断が多い場合は、常に通電するようにパワーゲーティングのレジスタを設定する。

本スケジューラを独自組込み OS と Linux 用に導入した。その結果、OS で制御しない場合に比べて、Linux において平均 8%、最大 23%のリーク電力を削減できた。

(D-5) 温度を反映するパワーゲーティング向け OS スケジューラの研究

パワーゲーティングの活性化と電源遮断の判断においては、詳細な電源制御を行うための閾値が存在する。ある一定の閾値以上であれば、電源制御は有利になるが、閾値以下では電源遮断をせずに活性化したままの方が有利となる。この閾値は同一チップにおいても、温度によって変動する。したがって、温度を読みとり、その値に基づいてパワーゲーティングを行うか否かを判断した方で省電力効果を期待できる。

そこで、OS で現在の温度を読みとり、温度に応じてスケジューラでパワーゲーティングのポリシーを選択する方式を提案し、独自の組込み OS に実装した。評価の結果、結果、平均 12%、最大 38%のリーク電力を削減することができた。

(E) 温度に適応する細粒度パワーゲーティング用最適化コンパイラのコードの実行環境の研究

本プロジェクトのコンパイラチームでは、プログラムの静的解析により、適切なパワーゲーティングを行う命令語を生成するコンパイラを研究している。このコンパイラは、特定の温度を想定して電力最適化のオブジェクトコードを生成するが、プログラムの実行時、温度は動的に変化していることから、現時点での温度を計測し、最適なオブジェクトコードを選択する必要がある。

本研究では、OS が現時点での温度を読みとり、ページングを用いて温度に適切な機械語列を仮想アドレス空間に配置する方式を提案し、本コンパイラが生成したコードを実行する OS を構築した。独自の組込み OS の仮想記憶管理に、温度を考慮して適切なコードを選択する機構を導入した結果、10%程度リーク電力を削減することができた。

(F) 省電力計算アクセラレータ向けの資源管理の基礎的検討

本研究テーマで検討しているアクセラレータ向けの資源管理について基本検討を行った。アクセ

ラレータの実チップはこれからだが、既存のマルチコア/メニーコア向けに、OS の資源管理と仮想化を行いながら、CPU とアクセラレータを連携する方式を提案し、他のプロセッサで、たとえば、Cell や再構成可能プロセッサで方式の有効性を確認した。これらの成果を基にアクセラレータの処理制御と同時に電力制御を行う OS の方式を考察した。

以上の研究を通じて、細粒度パワーゲーティングに基づくプロセッサアーキテクチャの性能を活かすための OS の方式を明らかにすることができた。また、本研究で明らかになった OS の資源管理方式を、独自の組込み OS、さらには Linux に組込むことで、実環境に近い状況で方式の有効性を示すことができた。

(2)研究成果の今後期待される効果

FPGA 上では独自組込み OS と Linux により細粒度パワーゲーティングに基づく Geysler の有効性を確認した。後は、実チップによる実アプリでの評価を通じて、本方式の有効性を実環境で確認することであるが、近年、組込みシステムで広く利用できるようになった Linux が動いていることから、実用システムにおいても有用であると考えられる。

また、CPU とアクセラレータの両アーキテクチャを適材適所で利用し、高い電力性能比の達成は有望であるが、CPU 上で稼働する Linux からアクセラレータを利用する方式は、研究としても、実用的側面からも有望である。

4.5 超低電力を実現するデータレジデントコンパイラ(電気通信大学 近藤グループ)

(1)研究実施内容及び成果

(A)パワーゲーティング方式と親和性の高い命令コード生成技術

従来、コンパイラはハードウェアで実行すべき機能とそのタイミングを制御する役割を担ってきた。しかし、半導体微細化により、演算そのものに比べ、データの移動に要する電力や回路が動作しない場合にも消費されてしまうリーク消費電力が相対的に増大してきている。そのため、データ移動に伴う電力を削減しつつ、真に必要な演算処理の電力が LSI 全体の大部分を占めるように命令実行や演算器への電源供給を制御することが今後の LSI における低電力化の鍵となる。そこで、機能とタイミングの制御に加え、コンパイラにより個々の機能ユニットへの命令アロケーションや電源供給までも制御し、データレジデントを考慮した命令実行最適化を行って消費電力の削減を狙う。具体的には、アーキテクチャで抽出されたデータレジデントに対し、できる限りデータの移動や不必要な電力状態遷移を抑えつつ演算処理が行えるような命令実行スケジューリング手法、および、アーキテクチャ側で効率的に電力制御が行えるように、近い将来の演算処理やデータ移動の発生をハードウェアに通知する機能を持つ命令コード生成技術に関する技術開発を行うことが本研究の目的である。以下本研究の成果について述べる。

(A-1)細粒度パワーゲーティング手法向けコンパイルアルゴリズムの開発

回路技術グループおよびアーキテクチャグループが開発した、命令単位、また演算器単位という、時間的にも空間的にも非常に細かい粒度でプロセッサの電源電圧供給制御を行う「細粒度パワーゲーティング」手法に対し、コンパイラが近い将来の命令実行を考慮してパワーオン/オフを制御するための命令コード生成方式の検討を行った。各命令に対し、近い将来に当該演算器が使用される可能性がある場合にはパワーオフを抑制し、パワーオフ可能な期間が十分に長い時のみにパワーオフを行うよう制御するためのヒント情報をコンパイラが付加するための基本アルゴリズムを構築した。これは、データフロー解析と手続き間解析を応用したものである。本アルゴリズムについて、パワーをオフにした場合のリーク電力削減効果とパワーのオン/オフによる消費エネルギーオーバーヘッドが等しくなる時間(損益分岐時間)を数十サイクルと仮定してシミュレーションによる基礎評価を行った結果、無駄なパワースイッチの切り替えによるエネルギーオーバーヘッドを大きく低減できることがわかった。本プロジェクトで開発した Geysler プロセッサは、演算終了後に使用した演算器のパワーをオフにするというパワーゲーティング戦略を採用しているが、そ

の基本パワーゲーティング戦略のみを用いる場合に比べ、本コンパイラを利用することで、大幅にパワースイッチの切り替えのダイナミック電力を削減でき、効率的にリーク電力を削減できることが明らかになった。

(A-2) 細粒度パワーゲーティング手法向けコンパイラの実装

Geysler プロセッサに実装されている演算器毎に細粒度のパワーゲーティングを行う方式に対し、近い将来の命令実行を考慮してパワーオン/オフを制御するヒント情報が追加されたコードを生成するアルゴリズムをコンパイラに実装した。本コンパイラは以下のステップにより最終的な実行バイナリを生成するものである。

1) 既存のコンパイラを利用したアセンブラコード生成

gcc を用いて Geysler プロセッサが採用している MIPS ISA 用のコード生成を行う。バイナリコードと1対1で対応するアセンブラコードを得るため、通常バイナリコードを生成した後、逆アセンブラツールを利用してアセンブラコードを得ることとした。

2) コード解析による各演算器のスリープサイクルの推定・予測

アセンブラコードに対し、先に述べたコード解析アルゴリズムを適用することで、命令毎に使用した演算器がその後何サイクルアイドル状態であるかを予測する。

3) 予測スリープサイクルに基づくバイナリ生成

命令毎に得られた使用演算器の予測スリープサイクル数と、仮定された損益分岐時間を基に、バイナリコードに当該演算器のパワー制御を行うためのヒント情報を埋め込む。Geysler では、MIPS 令オペランドの空き部分を利用してパワー制御を行うためのヒント情報をハードウェアに通知する仕様であるため、バイナリコードの変換後もアドレスの付け替えなどは必要ない。本手法は、多様な ISA のプロセッサにも利用できるという利点がある。

(A-3) 細粒度パワーゲーティング手法向けコンパイラの評価

開発したコンパイラを用いていくつかのベンチマークプログラムをコンパイルし、本プロジェクトで開発した Geysler-1 プロセッサの実チップ上、および FPGA 版の Geysler 評価環境を用いて評価した。Geysler-1 の実チップを用いた評価では、パワー制御を行った際に、オペランドアイソレーション効果による動的電力削減の効果ともあいまって、損益分岐時間が非常に短く、基本パワーゲーティング戦略でもパワーオン/オフのオーバーヘッドが問題とならず、開発したコンパイラによるパワー制御の効果があまり見られなかった。ただし、もともとオペランドアイソレーションが十分に施されているプロセッサでは、損益分岐時間がより長くなると予想されることから、本コンパイラの有用性は高まると考えられる。さらに、FPGA 版の Geysler 評価環境を用いた評価では、損益分岐時間を数十サイクルと仮定すると、損益分岐時間以下のパワーオフをほぼ削減できることがわかった。そのため、パワースイッチ切り換えのオーバーヘッドを削減でき、オン/オフを命令により制御しない基本戦略の場合と比較して、大きく消費エネルギーを削減できることがわかった。

本評価を通じて種々の損益分岐時間とコンパイラに与えるパラメータを変化させ評価したところ、実際損益分岐時間とコンパイラが仮定する損益分岐時間のパラメータの違いに依存して効果が大きく左右されることが判明した。損益分岐時間は温度に大きく依存するため、最適なパワーオン/オフ制御のためには、動的な温度の変化も考慮に入れた制御手法が必要になると考えられる。

(A-4) ウェークアップ時間を考慮した細粒度パワーゲーティング向けコンパイラ

Geysler プロセッサでは、演算器をパワーオンしてからそれらが実際に使用可能となるまでの遅延時間(ウェークアップ時間)は1サイクル以内であり、フェッチステージにおけるプレウェークアップ技術を用いることで、ウェークアップ遅延は隠蔽可能であり、性能上のオーバーヘッドはない。しかし、パワーゲーティング手法をより周波数の高いプロセッサに適用する際には、1サイクル(あるいは数サイクル)以内にウェークアップが完了せず、その遅延時間が性能に与える影響が課題となる。そこで、細粒度パワーゲーティングをより多くのプロセッサへ適用することを目的に、ウェークアップ時間を考慮した命令コード生成手法の開発を行った。

本研究で開発した命令毎に演算器のスリープサイクルを予測する技術を応用し、何命令後に各演算器を使用する可能性があるかを予測する。そして、ウェークアップ時間分だけ前に実行される

と想定される命令に対して、各演算器のウェークアップ制御の情報を命令に付加することを考える。ここで、ウェークアップに関してはプロセッサ内に複数ある演算器を、それぞれ個別に制御しなければならず、複数ビットの情報が必要となる。そのため、通常の 32 ビット命令長のプロセッサではビットフィールドが不足するため、命令コードにそのまま情報を埋め込むことができない。この問題への対処として、命令コードとは別にウェークアップ情報をメモリ内に配置し、命令フェッチの際には当該メモリ領域から情報を取得する手法を考案した。一度フェッチした命令は命令キャッシュに保持されるため、メモリアクセスのコストは小さい。また、複数命令間で情報を圧縮して保存することで、ウェークアップ情報の保持に必要なキャッシュ領域も大幅に削減できる。本手法を用いた場合の性能低下率、および相対的なリーク消費エネルギーを評価した。その結果、非利用時には常にパワーゲーティングを行う基本パワーゲーティング戦略の場合や、既存技術である動的に決定される閾値以上のサイクル数だけアイドル状態が続いた場合にパワーオフする手法では大きく性能が低下してしまうのに対し、提案手法ではほとんど性能低下がないことがわかる。また、消費エネルギーも基本パワーゲーティング戦略に比べてより削減できている。このことから、ウェークアップ時間を考慮した細粒度パワーゲーティング向けコンパイラ手法が非常に有効であることがわかった。

(A-5) システムソフトウェアとの連携手法の検討

先に述べたように、損益分岐時間は温度に大きく依存するため、より有効なパワーゲーティング制御のためには、動的な温度の変化までも考慮に入れた制御手法が必要になる。そこで、システムソフトウェアからの指示を基にパワーオン/オフ用のコードを損益分岐時間に応じて動的に切り替える手法の開発を、システムソフトウェアグループと共同で行い、その有効性を示した。

(B) 超低電圧動作に適したアーキテクチャ向けコード生成技術

リコンフィギャラブルアーキテクチャグループで開発した、多数のプロセッシングエレメントを並列に配置し、それらを低電圧で動作させることで従来の LSI に比べダイナミック電力の削減を目指した CMA アーキテクチャにおいて、各プロセッシングエレメントを有効活用し、かつデータの移動を抑えることでダイナミック電力の削減効果を最大化できるコード生成手法の検討、およびアーキテクチャ改良の検討を行った。検討に際し、CMA の PE アレイにいくつかのアプリケーションをマッピングし、その性能と電力を評価したところ、アーキテクチャ上の制限によりいくつかのアプリケーションでは効率良くマッピングできず、多くのレジスタアクセスやデータ移動が必要となり、性能や電力効率に改善の余地があることがわかった。そこで、変数レジスタやスイッチングエレメントなどのアーキテクチャを拡張し、それに応じたコード生成を行った。その結果、例えば行列積ではプロセッシングエレメントの利用効率を最大 4 倍程度改善でき、その分のプログラム実行高速化とマイクロコントローラの消費電力削減を達成できることがわかった。

(2)研究成果の今後期待される効果

今後、トランジスタの微細化の影響により、リーク電流による消費電力はさらに増大すると言われており、計算処理に必要な電力に対するリーク消費電力の割合がますます増加してしまうと考えられる。そのため、いかにリーク電力を抑えるかが LSI の低消費電力の鍵である。細粒度パワーゲーティング手法はこの解決を狙うものであるが、パワースイッチのオン/オフのオーバーヘッドエネルギーを抑えつつ、いかにパワーオフの機会を増大させるかが細粒度パワーゲーティングにおいて最も重要なポイントの1つである。本研究は、それを電力的にもハードウェア面積的にもコストのかからないソフトウェアから制御するための枠組みであり、基本アルゴリズムの検討やコンパイラの実装、効果の検証は将来的にも波及効果が大きいものと考えられる。

CMA は既存の低電力アクセラレータと比較しても電力効率に優れるアーキテクチャであり、大規模な組み合わせ回路で構成される PE アレイを低電圧で動作させ、低電力かつ高性能を達成できる。そのため、今後新しいアクセラレータとして広く利用される可能性がある。その CMA アーキテクチャにおいて、プロセッシングエレメントや変数レジスタの効率的な利用という観点からアプリケーションのマッピングを考え、アーキテクチャの改善とコード生成を検討・評価した点は、今後の低

電力アクセラレータ開発に与える影響は大きいと考えられる。

4.6 3次元システムLSIのための3次元ネットワークオンチップの研究(慶應義塾大学 黒田グループ)

(1)研究実施内容及び成果

本研究プロジェクトの最終的な目標は、低電力CPUである Geyser と低電力アクセラレータである CMA/MuCCRA を接続して総合的に考えて低電力システムを実現することにある。このためには、2次元平面チップ内の接続ネットワークは4.3に報告をした通りの研究を遂行してきた。これらのチップを積層し、3次元方向にも通信を行うことで本プロジェクトの目指すシステムが実現される。この3次元のチップ間通信を実現するのが黒田チームが集中的に研究を行う磁気結合を用いたインタフェースである。磁気結合インタフェースは既に基礎研究を重ね、数多くの論文発表等の対外的な発表を行ってきた。チップ間の通信を行うための送受信器をはじめとする回路は既に報告を行っているが、本研究プロジェクトで重要とされる低電力動作をより追及するために以下の3つの研究テーマ(1.電源制御機能の追加/2.一定エネルギー効率下通信速度可変機能の追加/3.高精度クロック分配機能の追加)に重点的に取り組み、以下の成果を得た。

(A)電源制御機能の追加

細粒度パワーゲーティングと連携・協調するために、磁気結合インタフェースに電源制御回路を追加し、パワースイッチ付きインタフェース回路の最適化を行い、パワーオンとパワーオフのモード間遷移を高速に行うことで、通信速度を劣化させることなく、エネルギー効率を向上することを目的に研究を遂行した。三次元 NoC ルータの試作チップにおいて、磁気結合インタフェースに対し、通信の有無をやり取りするデジタル信号が入力されることを前提に回路の開発を行った。従来報告を行った磁気結合インタフェースにおいて、磁気結合によって得られたパルスデジタルデータに復元する受信機はテール電流源を有する。磁気結合インタフェースでの通信が不要の際は、このテール電流源のゲートを接地することで理論的に流れる電流をシャットダウン可能である。本研究チームで行ったバブルフロー制御を用いたリングネットワークによる三次元 NoC ルータの試作においては、実際にルータコアから磁気結合インタフェースに対する通信のパワーオンとパワーオフのモード遷移信号を用い、磁気結合の電源制御を実現した。送信回路においても受信回路と同様に H-bridge 送信機のテール電流源のゲート電圧を制御すれば電源制御が可能である。しかし、パワーオフからパワーオンの遷移において、微小パルスが発生するため、受信側でこのパルスを復元し、データエラー発生要因となり得る。この点については引き続き研究が必要である。

(B)一定エネルギー効率下通信速度可変機能の追加

3次元ネットワークオンチップでは、ネットワークの通信速度が動的に変化するため、磁気結合インタフェースに、エネルギー効率を一定に保ちながら通信速度を可変にする機能が必要である。そこで、磁気結合インタフェース回路での定常電流消費を抑え、通信速度に比例して消費電力がスケーラブルなインタフェース回路を開発することを目的に研究を遂行してきた。従来の H-bridge 型の送信機においてはネットワークの通信速度に寄らず、常に DC の静的電力消費が発生し、これが送受信機の全体の消費電力に占める割合は大きかった。本研究においては、従来の差動信号によって駆動される H-bridge 型送信機から信号遅延を用いたパルスデータ送信機を提案した。静的な電力消費はなく、データレートに対してスケーラブルな消費電力を可能とする。H-bridge からパルス送信機に変更することにより、受信コイルに印加される電圧波形は変化する。しかし、初期状態のリセットにより従来の受信機で用いていたヒステリシスコンパレータを用いた非同期受信が可能である。これは TSMC の 0.18 μ m プロセスによってチップを試作し、実測による評価を行った。従来の H-bridge 型の送信機に比べ、提案方式のパルスデータ送信機は 1.5Gb/s の通信データレート下において 1/4 に、100Mb/s の通信データレート下において 1/60 にまで削減された。この成果は International Conference on Solid-State Devices and Materials (SSDM) で採

択され、発表を行った。

(2)研究成果の今後期待される効果

4. 3でも記したように、ワイヤレスインタコネクトを利用したチップの入替に柔軟に対応したアドホックネットワークを構成するという考え方は、システムアーキテクチャの観点からも新しい。アーキテクチャ分野においてインパクトの大きい研究テーマであるだけでなく、アナログやデジタルの回路分野においても大変大きなインパクトを期待できる。3次元ワイヤレス実装の方式は磁界結合の他にも容量結合方式や有線方式においては TSV(貫通ビア)方式が挙げられる。しかし、多段かつ製造後に柔軟にチップを入れ替えることを可能とするのは磁界結合方式である。今後、より一層三次元システム LSI に注目されると共に、磁界結合の有用性を改めて発信できるであろう。

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 26 件、国際(欧文)誌 59 件)

- 黒瀧 俊輔、鈴木 紀章、中臺 一博、奥乃 博、天野 英晴、動的リコンフィギュラブルデバイス DRP を用いたロボット聴覚のための音源分離フィルタ、電子情報通信学会論文誌、pp.897--907、Vol.J90-D,No.3, March, 2007.
- Vasutan Tunbunheng , Masayasu Suzuki , Hideharu Amano, "Data Multicasting Procedure for Increasing Configuration Speed of Coarse Grain Reconfigurable Devices", IEICE Trans. on Inf.& Syst.,pp.473--481,Vol.E90-D,No.2, Feb., 2007.
- Akiya Jouraku , Michihiro Koibuchi , Hideharu Amano, "An Efficient Deadlock-Free Routing Algorithms Based on 2D Turn Model for Irregular Networks", IEEE Trans. on Parallel and Distributed Systemms, pp.320--333", Vol.18, No.3, March, 2007.
- Michihiro Koibuchi , enichiro Anjo , Yutaka Yamada , Akiya Jouraku , Hideharu Amano, "A Simple Data Transfer Technique Using Local Address for Networks-on-Chips, IEEE Trans. on Parallel and Distributed Systems, Vol.17, No.12, pp.1425--1437, Dec., 2006.
- Hideharu Amano, "A Survey on Dynamically Reconfigurable Processors", IEICE Trans. on Comm.", Vol.E89-B, No.12, pp.3179--3187, Dec., 2006.
- H. Sasaki, M. Kondo, and H. Nakamura, "Energy-Efficient Dynamic Instruction Scheduling Logic through Instruction Grouping" ISLPED-06, pp.43-48, Oct. 2006
- Kimiyoshi Usami and Naoaki Ohkubo, "A Design Approach for Fine-grained Run-Time Power Gating using Locally Extracted Sleep Signals," *Proc. IEEE International Conference on Computer Design (ICCD'06)*, pp.155-161, Oct. 2006.
- Hiroki Matsutani , Michihiro Koibuchi , Hideharu Amano, "Enforcing Dimension-Order Routing in On-Chip Torus Networks without Virtual Channels", Proc. of the 2006 International Symposium on Parallel and Distributed Processing and Applications (ISPA'06), pp. 207--218, Dec. 2006.
- 石川 健一郎 , 安達 義則 , 天野 英晴, "同期 Speculative Completion の提案と評価", 電子情報通信学会論文誌, Vol.J89-D, No.11, pp.2296--2403, Nov., 2006"
- 金井 遵, 須崎 有康, 八木 豊志樹, 並木 美太郎: HTTP-FUSE-KNOPPIX-BOX によるモバイルシンクライアントシステムの実現, 電子情報通信学会論文誌「ユビキタス時代の情報基盤技術」特集号(採録決定)
- 佐々木 広, 浅井 雅司, 池田 佳路, 近藤 正章, 中村 宏, "統計処理に基づく動的電源電圧制御手法", 情報処理学会論文誌, Vol.47, No.SIG18 (ACS 16), pp.80-91, 2006 年 11 月.
- K.Watanabe, M.Imai, M.Kondo, H.Nakamura, T.Nanya, "A Design Method of High Performance and Low Power Functional Units Considering Delay Variations", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E-89-A, No.12, pp. 3519-3528, 2006
- 近藤正章, 中村宏, "CMP 向け動的電源電圧・周波数制御手法", 情報処理学会論文誌

Vol.48, No.SIG13(ACS19), pp.260-269, 2007

- 堤 聡、天野 英晴、長谷川 揚平、石川 健一郎、阿部 昌平、黒瀧 俊輔、中村 拓郎、西村 隆、“動的リコンフィギャラブルプロセッサ用コンテキスト依存型クロック制御機構”, 電子情報通信学会論文誌, Vol.J90-D, pp.2704-2712, Oct. 2007.
- 松谷 宏紀、鯉渕 道紘、天野 英晴、“Network-on-Chip における Fat H-Tree トポロジに関する研究”, 情報処理学会論文誌コンピューティングシステム, Vol.48, SIG 13, pp.178-191, Aug. 2007.
- Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, “Performance, Cost, and Energy Evaluation of Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network”, Proc. of the IEEE International Parallel and Distributed Processing Symposium (IPDPS’07), pp.80, March, 2007.
- Jun Kanai, Mitaro Mamiki, Kuniyasu Suzak and Toshiki Yagi: Mobile Thin-Client System with Fault Tolerance and Scalability by “HTTP-FUSE-KNOPPIX-BOX”, The 2007 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’07)
- Hiroshi Sasaki, Yoshimichi Ikeda, Masaaki Kondo, Hiroshi Nakamura, “An Intra-Task DVFS Technique based on Statistical Analysis of Hardware Events”, Proc. of Computing Frontiers 2007, pp. 123-130, May, 2007
- Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, “Performance, Cost, and Energy Evaluation of Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network”, Proc. of the 21st IEEE International Parallel and Distributed Processing Symposium (IPDPS’07), CD-ROM, Mar 2007.
- H.Matsutani, M.Koibuchi, H.Amano, “Tightly-Coupled Multi-Layer Topologies for 3-D NoCs”, The 36th International Conference on Parallel Processing (ICPP’07), Sept.2007.
- H.Amano, Y.Hasegawa, S.Tsutsumi, T.Nakamura, T.Nisimura, V.Tunbunheng, A.Parimala, T.Sano, M.Kato, “MuCCRA Chips: Configurable Dynamically Reconfigurable Processors,” ASSCC 2007, pp.384-387, Nov. 2007.
- H.Matsutani, M.Koibuchi, D.Wang and H.Amano, “Run-Time Power Gating of On-Chip Routers Using Look-Ahead Routing”, The 13th Asia and South Pacific Design Automation Conference (ASP-DAC’08), pp.55-60, Jan.2008.
- 金井 遵, 佐々木 広, 近藤 正章, 中村 宏, 天野 英晴, 宇佐美 公良, 並木 美太郎: 性能予測モデルの学習と実行時性能最適化機構を有する省電力化スケジューラ, 情報処理学会論文誌, Vol.49, No.SIG2(ACS21), pp.20-36, 2008.
- 松谷 宏紀, 鯉渕 道紘, 王 代涵, 天野 英晴, ツリー型オンチップネットワークにおける適応的アクティベーション制御, 情報処理学会論文誌コンピューティングシステム, Vol.1, No.2, pp.70-82, Aug 2008.
- 大谷貴胤, 佐々木広, 近藤正章, 中村宏, モデリングに基づく Web サーバ用計算機クラスタの低消費電力化, 情報処理学会論文誌 コンピューティングシステム(ACS), Vol.1, No.1, pp.120-132, 2008年6月.
- Naomi Seki, Lei Zhao, Jo Kei, Daisuke Ikebuchi, Yu Kojima, Yohei Hasegawa, Hideharu Amano, Toshihiro Kashima, Seidai Takeda, Toshiaki Shirai, Mitustaka Nakata, Kimivoshi Usami, Tetsuya Sunata, Jun Kanai, Mitaro Namiki, Masaaki Kondo and Hiroshi Nakamura A Fine Grain Dynamic Sleep Control Scheme in MIPS R3000, Proc. of the 26 IEEE International Conference on Computer Design (ICCD ’08), CD-ROM, Oct 2008.
- Hiroki Matsutani, Michihiro Koibuchi, Daihan Wang, Hideharu Amano, Adding Slow-Silent Virtual Channels for Low-Power On-Chip Networks, Proc. of the 2nd ACM/IEEE International Symposium on Networks-on-Chip (NOCS ’08), pp.23-32, Apr 2008.
- Hiroki Matsutani, Michihiro Koibuchi, D. Frank Hsu, Hideharu Amano, Three-Dimensional Layout of On-Chip Tree-Based Networks, Proc. of the 9th International Symposium on Parallel Architectures, Algorithms, and Networks (I-SPAN ’08), pp.281-288, May 2008.

- Masaru Kato, Yohei Hasegawa, Hideharu Amano, Evaluation of MuCCRA-D: A Dynamically Reconfigurable Processor with Directly Interconnected PEs, Proc. of The 2008 International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA '08), pp.215-221, July 2008.
- Toru Sano, Masaru Kato, Satoshi Tsutsumi, Yohei Hasegawa and Hideharu Amano, Instruction Buffer Mode for Multi-Context Dynamically Reconfigurable Processors Proc. of the 18th IEEE International Conference on Field-Programmable Logic and Applications (FPL 2008) pp. 215-220, Heidelberg, Germany, September 2008.
- T. Nishimura, K. Hirai, Y. Saito, T. Nakamura, Y. Hasegawa, S. Tsutsumi, V. Tunbunheng, and H. Amano, Power Reduction Techniques for Dynamically Reconfigurable Processor Arrays, Proc. of the 18th IEEE International Conference on Field-Programmable Logic and Applications (FPL 2008) pp. 305-310, Heidelberg, Germany, September 2008.
- T. Nakamura, T. Sano, Y. Hasegawa, S. Tsutsumi, V. Tunbunheng, H. Amano, Exploring the optimal size for multicasting configuration data of Dynamically Reconfigurable Processors, Proc. of IEEE International Conference on Field Programmable Technologies, CD-ROM, Taipei, December 2008.
- S. Koyama, S. Takeda, K. Usami, "Design and Analysis of On-chip Leakage Monitor using an MTCMOS circuit," The 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC '08), pp. 205-208, Jul. 2008.
- Y. Umahashi, Y. Kambayashi, M. Kato, Y. Hasegawa, H. Amano, K. Usami, "Power Reduction Technique for Dynamic Reconfigurable Processors with Dynamic Assignment of Dual Supply Voltages," The 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'08), pp. 213-216, Jul. 2008.
- K. Usami, T. Shirai, T. Hashida, H. Masuda, S. Takeda, M. Nakata, N. Seki, H. Amano, M. Namiki, M. Imai, M. Kondo and H. Nakamura, "Design and Implementation of Fine-grain Power Gating with Ground Bounce Suppression," The 22nd IEEE International Conference on VLSI Design, pp.381-386, Jan. 2009.
- 近藤正章, 佐々木広, 中村宏, トラクションコントロール実行: CMP 向けプロセス実行制御方式の提案, 情報処理学会論文誌 コンピューティングシステム(ACS), Vol.1, No.2, pp.111-123, 2008年8月.
- 林和宏, 金井遵, 丸山勝巳, 並木美太郎, L4 マイクロカーネルにおける省電力スケジューラの開発, 情報処理学会論文誌, コンピューティングシステム(ACS), Vol.2, No.1, pp.96-109, 2009年3月.
- Vasutan Tunbunheng, Hideharu Amano, A Retargetable Compiler Based on Graph Representation for Dynamically Reconfigurable Processor Arrays, Vol.E91-D No.11 pp.2655-2665, Nov. 2008.
- Vu Manh Tuan, Hideharu Amano, A Mapping Method for Multi-Process Execution on Dynamically Reconfigurable Processors, Vol.E91-D No.9 pp.2312-2322, Sept. 2008
- Vu Manh Tuan, Hideharu Amano, A Preemption Algorithm for a Multitasking Environment on Dynamically Reconfigurable Processors, Vol.E91-D No.12 pp.2793-2803, Dec. 2008.
- Hiroki Matsutani, Michihiro Koibuchi, Yutaka Yamada, D. Frank Hsu, Hideharu Amano, "Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network", IEEE Transactions on Parallel and Distributed Systems (accepted for publication)
- Daihan Wang, Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, "A Link Removal Methodology for Application-Specific Network-on-Chip on FPGA," IEICE Trans. Information and Systems, Vol.E92-D, No.4, 2009.
- H. Sasaki, M. Kondo, and H. Nakamura, "Energy-Efficient Dynamic Instruction Scheduling Logic through Instruction Grouping", IEEE Transactions on Very Large Scale Integration Systems, Page(s): 848-852, Vol.17, Issue 6, 2009

- Hiroaki Matsutani, Michihiro Koibuchi, Yutaka Yamada, D. Frank Hsu, Hideharu Amano, "Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network", IEEE Transactions on Parallel and Distributed Systems, Vol.20, No.8, pp.1126-1141, Aug.2009.
- T.Sano, Y.Saito, H.Amano, "Configuration with Self-Configured Datapath:A high speed configuration method for dynamically reconfigurable processors," Proc. of International Conference of Engineering of Reconfigurable Systems and Algorithms(ERSA09), pp.112-118, July, 2009.
- Y.Saito, T.Sano, M.Kato, V.Tunbunheng, Y.Yasuda, H.Amano, "A Real Chip Evaluation of MuCCRA-3 : A Low Power Dynamically Reconfigurable Processor Array," Proc. of International Conference of Engineering of Reconfigurable Systems and Algorithms(ERSA09), pp.283-286, July, 2009.
- S.Saito, Y.Kohama, Y.Sugimori, Y.Hasegawa, H.Matsutani, T.Sano, K.Kasuga, Y.Yoshida, K.Niitsu, N.Miura, T.Kuroda, H.Amano, "MuCCRA-Cube:A 3D Dynamically Reconfigurable Processor with Inductive Coupling link," Proc. of 19th International Conference on Field Programmable Logic And Applications (FPL09) pp.6-11, Sept. 2009.
- N.Takagi, H.Sasaki, M.Kondo, and H.Nakamura, "Cooperative Shared Resource Access Control for Low Power Chip Multiprocessors", ISLPED-09, August, 2009.
- D.Ikebuchi, N.Seki, Y.Kojima, M.Kamata, L.Zhao, H.Amano, T.Shirai, S.Koyama, T.Hashida, Y.Umahashi, H.Masuda, K.Usami, S.Takeda, H.Nakamura, M.Namiki, M.Kondo, "Geysers-1: A MIPS R3000 CPU core with Fine Grain Runtime Power Gating", Proc. of ASSCC, Nov. 2009.
- K.Hirai, M.Kato, Y.Saito, H.Amano, "Leakage Power Reduction For Coarse-Grained Dynamically Reconfigurable Processor Arrays Using Dual Vt Cells," Proc. of ICFPT, Dec. 2009.
- T. Muto, K. Usami, "Effectiveness of Power Gating for a Superscalar processor," The 24th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2009), Jeju, Korea, July 2009.
- K. Usami, M. Nakata, T. Shirai, S. Takeda, N. Seki, H. Amano and H. Nakamura, "Implementation and Evaluation of Fine-grain Run-time Power Gating for a Multiplier," IEEE 2009 International Conference on Integrated Circuit Design and Technology (ICICDT'09), pp. 7-10, May 2009.
- 牧田優人、松谷宏紀、鯉淵道敏、天野英晴、"パイプラインステージ統合による省電力・可変パイプラインルータに関する研究、情報処理学会論文誌 ACS-28、Aug. 2009.
- 近藤正章、高木紀子、中村宏、Pipeline Blocking: 走行時パワーゲーティングのための命令実行制御手法、情報処理学会論文誌 コンピューティングシステム (ACS), Vol.2, No.3, pp.83-95, 2009年9月.
- 西村隆、平井啓一郎、斎藤貴樹、中村拓郎、堤 聡、長谷川揚平、天野英晴、"動的リコンフィギュラブルデバイスにおける電力分析と低電力化手法の検討、"電子情報通信学会論文誌 D 分冊、Vol.J92-D No.10, pp.1763-1771.
- 中村拓郎、佐野徹、堤 聡、長谷川揚平、バスタン タンブンヘン、天野英晴、"動的リコンフィギュラブルデバイスにおける構成情報配送のためのマルチキャスト手法の検討、"電子情報通信学会論文誌 D 分冊 Vol.J92-D No.12 pp.2185-2194.
- 平井啓一郎、佐野徹、加東勝、斎藤貴樹、天野英晴、"Dual-Vth セルの利用による動的リコンフィギュラブルプロセッサの漏れ電力削減、" 電子情報通信学会論文誌 Vol.J94-D No.1, pp.301-311, 2011.
- 佐野徹、加東勝、斎藤貴樹、天野英晴、"動的リコンフィギュラブルデバイスにおけるデータパスコンフィギュレーションを用いた構成情報時間削減手法の提案、" 電子情報通信学会論文誌 Vol.J93-D No.12, pp.2579-2586.2010.
- 関直臣、レイジャオ、小島悠、池淵 大輔、長谷川 揚平、大久保 直昭、武田 晴大、香嶋

俊裕, 白井 利明, 宇佐美 公良, 砂田 徹也, 金井 遵, 並木 美太郎, 近藤 正章, 中村 宏, 天野 英晴, “MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価,” 電子情報通信学会論文誌 Vol.J93-D, No.6, pp.920-930.2010.

- 西川由理, 鯉淵道紘, 松谷宏紀, 天野英晴, “単フリット, 単サイクルルータを用いた NoC 向け非最短完全適応型ルーティング,” 情報処理学会論文誌: コンピューティングシステム, Vol.3, No.3, pp.88-99, Sep.2010.
- 松谷宏紀, 鯉淵道紘, 池淵大輔, 宇佐美公良, 中村宏, 天野英晴, “CMP におけるオンチップルータの細粒度パワーゲーティングの評価,” 情報処理学会論文誌: コンピューティングシステム, Vol.3, No.3, pp.100-112, Sep.2010.
- K. Usami, T. Hashida, S. Koyama, T. Yamamoto, D. Ikebuchi, H. Amano, M. Namiki, M. Kondo, H. Nakamura, “Adaptive Power Gating for Function Units in a Microprocessor” ,in IEEE International Symposium on Quality Electronic Design (ISQED), Session 1B, March 2010.
- Hiroki Matsutani, Michihiro Koibuchi, Daisuke Ikebuchi, Kimiyoshi Usami, Hiroshi Nakamura and Hideharu Amano, “Ultra Fine-Grained Run-Time Power Gating of On-Chip Routers for CMPs,” IEEE NoCS 2010, Grenoble, France, May 3-6.
- Tomohiro Ishizaki and Kimiyoshi Usami “Circuit Structure of Level Shifter for Sub-threshold Operation,” The 25th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC’10), pp. 653-656, Pattaya, Thailand, July 4-7.
- Tatsuya Yamamoto (Shibaura Inst. Tech.), Kazuei Hironaka, Yuki Hayakawa, Masayuki Kimura, Hideharu Amano and Kimiyoshi Usami, “Dynamic VDD Switching Technique and Mapping Optimization in Dynamically Reconfigurable Processor for Efficient Energy Reduction,” The 7th International Symposium on Applied Reconfigurable Computing (ARC2011), pp. 230-241, Belfast, United Kingdom, March 23-25, 2011.
- K. Usami (Shibaura Inst. Tech.), Y. Goto, K. Matsunaga, S. Koyama, D. Ikebuchi, H. Amano, H. Nakamura, “On-chip Detection Methodology for Break-Even Time of Power Gated Function Units,” IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED 2011), pp.241-246, Fukuoka, Japan, August 2, 2011.
- H.Matsutani(Keio Univ.), Yasuhiro Take, Daisuke Sasaki, Masayuki Kimura, Yuki Ono, Yukinori, Nishiyama, Michihiro Koibuchi, Takdahiro Kuroda, Hideharu Amano “A Vertical Bubble Flow Network using Inductive-Coupling for 3-D CMPs,” International Symposium on Network on Chips, Pittsburgh, USA, May, 1-4, 2011.
- N.Ozaki(Keio Univ.), Y. Yoshihiro, Y.Saito, D.Ikebuchi, M.Kimura, H.Amano, H.nakamura, K. Usami, M.Namiki, M.Kondo “Cool Mega Array: a highly energy efficient reconfigurable accelerator,” International Conference on Field Programmable Technologies, Deli, India, Dec. 12-14, 2011 (Accepted)
- M.Kimura(Keio Univ.), Kazuei Hironaka, Hideharu Amano, “Reducing power for Dynamically Processor Array by reducing Number of Reconfiguration,” International Conference on Field Programmable Technologies, Deli, India, Dec. 12-14, 2011
- K.Hironaka (Keio Univ.), Kazuei Hironaka, Hideharu Amano “Power centric application mapping for Dynamically Reconfigurable Processor Array with DualVdd and DualVth,” International Conference Reconfigurable Computing and FPGAs, Cancun, Mexico, Nov.30-Dec.2, 2011
- Zhao Lei, Hui Xu, Daisuke Ikebuchi, Tetsuya Sunata, Mitaro Namiki, Hideharu Amano, “A Leakage Efficient Data TLB design for Embedded Processors,” IEICE Trans., Inf. & Syst., Vol.E94-D, No.1 pp.51-59., 2011.
- Hiroki Matsutani, Michihiro Koibuchi, Daisuke Ikebuchi, Kimiyoshi Usami, Hiroshi Nakamura, Hideharu Amano, “Performance, Area, and Power Evaluations of Ultra Fine-Grained Run-Time Power-Gating Routers for CMPs,” IEEE Trans. CAD (TCAD), Vol.30, No.4,

pp.520-533. Apr. 2011.

- 佐々木広, 高木紀子, 近藤正章, 中村宏, “共有資源の競合を考慮したチップマルチプロセッサ向け低消費電力化手法”, 情報処理学会論文誌 コンピューティングシステム(ACS), Vol.4, No.2. pp.40-58, Mar. 2011.
- H.Matsutani, M.Koibuchi, H.Amano, T.Yoshinaga, “Prediction Router: Low-Latency On-Chip Router Architecture with Multiple Predictor,” IEEE Trans. on Computers, Vol.60, No.6, pp.783-799,2011.
- K.Arda, S.Iver, H.Amano, “Design and Implementation of Echo Instructions for an Embedded Processors,” IPSJ Trans. on System LSI Design Methodology, Vol.4, No.0, pp.222-231, 2011.
- Z.Lei, D.Ikebuchi, K.Usami, M.Namiki, M.Kondo, H.Nakamura, H.Amano, “Design and Implementation of Fine-grained Power Gating on Processor Functional Units” IPSJ Trans. on System LSI Design Methodology, Vol.4, No.0, pp.182-192, 2011.
- Z.Lei, H.Xu, D.Ikebuchi, K.Usami, T.Sunata, M.Namiki, H.Amano, “A Leakage Efficient Instruction TLB Design for Embedded Processors,” IEICE Trans. on Information and Systems, Vol.E94-D, No.8, 1565-1574, 2011.
- Seidai TAKEDA, Kyundong KIM, Hiroshi NAKAMURA, Kimiyoshi USAMI, “Sleep Transistor Sizing Method using Accurate Delay Estimation considering Input Vector Pattern and Non-Linear Current Model”, IEICE Transaction Fundamentals of Electronics, Communications and Computer Sciences Vol.E94-A, No.12, Dec. 2011 (accepted for publication)
- 木村優之、弘中和衛、天野英晴、 “再構成回数削減による動的リコンフィギュラブルプロセッサの消費電力削減”、情報処理学会論文誌 コンピューティングシステム (ACS) , Vol. 4, No. 4. pp. 12-23, Oct. 2011.
- 小島悠、松谷宏紀、鯉渕道紘、天野英晴、 ” エラー訂正、検出符号を用いた Network-on-Chip の低消費電力化”、情報処理学会論文誌 コンピューティングシステム (ACS) , Vol. 4, No. 4. pp. 24-35, Oct. 2011.
- 薦田登志矢, 佐々木 広, 近藤正章, 中村宏, 細粒度な空き時間を利用したコンパイラによるリーク電力削減手法, 情報処理学会論文誌 コンピューティングシステム (ACS) , Vol. 4, No. 4. pp. 36-50, Oct. 2011.
- N. Ozaki, Y. Yasuda, M. Izawa, Y. Saito, D. Ikebuchi, H. Amano, H. Nakamura, K. Usami, M. Namiki, M. Kondo, “Cool Mega-arrays: Ultra Low Power Reconfigurable Accelerator Chips” IEEE Micro Magazine Nov/Dec, 2011 pp.6-18
- Hiroki Matsutani, Yuto Hirata, Michihiro Koibuchi, Kimiyoshi Usami, Hiroshi Nakamura, Hideharu Amano, “A Multi-Vdd Dynamic Variable-Pipeline On-Chip Router for CMPs”, Proc. of the 17th Asia and South Pacific Design Automation Conference (ASP-DAC’12), pp.xx-xx, Jan2012. (to appear)
- H.Zhang, H.Matsutani, Y.Take, T.Kuroda,H.Amano, “Vertical Link On/Off Control Methods for Wireless 3-D NoCs”, 25th International Conference on Architecture of Computing Systems, Feb. 2012.pp.212-224.
- S. Takeda, S. Miwa, K. Usami, and H. Nakamura, “Efficient Leakage Power Saving by Sleep Depth Controlling for Multi-mode Power Gating”, Proc. of ISQED’12, March 2012

(2) その他の著作物(総説、書籍など)

- 金井 遵, “研究会推薦博士論文速報:性能予測とフィードバックに基づくシステムソフトウェアによる計算機システムの省電力化の研究”, 情報処理, Vol.51, No.9, p.1201 (2010.09)
- 林 和宏, “情報処理学会推薦修士論文速報:DVFSを用いた EDF スケジューリングアルゴリズム向け省電力化手法”, 情報処理, Vol.52, No.2, p.204 (2011.01)
- 磯部 泰徳, “情報処理学会推薦修士論文速報:マルチコアCPUにおけるOSの資源管理方式の研究”, 情報処理, Vol.52, No.2, p.209 (2011.01)

- Hiroki Matsutani, Michihiro Koibuchi, Hiroshi Nakamura, Hideharu Amano, "Chapter 2: Run-Time Power-Gating Techniques for Low-Power On-Chip Networks", In book "Low Power Networks-on-Chip" edited by Cristina Silvano, Marcello Lajolo, Gianluca Palermo, pp.21-44, Springer, 2010 年 10 月.

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 22件、国際会議 10件)

- 中村宏(東京大学)、“アーキテクチャレベルの低消費電力化技術”, 電子情報通信学会 2007 年総合大会, 2007 年 3 月
- 宇佐美公良(芝浦工大)、“回路と物理設計レベルの低消費電力化技術”, 電子情報通信学会 2007 年総合大会, 2007 年 3 月
- Kimiyoshi Usami (Shibaura Inst. of Tech), “Power Gating for Ultra-low Leakage: Physics, Design and Analysis”, Design, Automation and Test in Europe (DATE’08), Mar. 2008.
- 天野英晴(慶應大学)、“動的リコンフィギュラブルプロセッサの最近の動向”システム LSI ワークショップ招待講演、Nov. 2007.
- 中村宏(東京大学)、“高性能低消費電力プロセッサの実現技術 –回路技術とアーキテクチャの協調–”, 情報処理学会第 70 回全国大会、特別セッション(4):地球にやさしい情報システム –持続可能な IT 社会を目指して–、Mar. 2008
- H. Amano (Keio Univ.), “Dynamically Reconfigurable Processors - flexible off-loading engines for Embedded Applications-, International Conference on Consumer Electronics, Luncheon Keynote Speech, Jan. 2009.
- H. Amano(Keio Univ.), “Recent trends on reconfigurable computing,” International Conference on Field Programmable Technologies, Invited talk on special session, Dec. 2008.
- H.Amano(Keio Univ.), “Low power techniques on reconfigurable devices,” Cool Chips XII, Tutorial, April 2009.
- H.Amano(Keio Univ.), “Future trend on reconfigurable computing,” Speech on Panel Session, Cool Chips XII, April 2009.
- Hiroshi Nakamura, “Power Wall Problem: How to Make a Breakthrough? - Challenges and Opportunities for Architecture and Circuit-Level Co-Design”, ISVLSI (IEEE Computer Society Annual Symposium on VLSI) 2009, May, 2009
- 宇佐美公良(芝浦工大)、“パワーゲーティング設計の技術動向と課題”, VDEC デザイナーズ・フォーラム特別講演, 2009 年 6 月
- H.Amano(Keio Univ.), “Japanese Dynamically Reconfigurable Processors,” Invited Speech, International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA2009), July 2009.
- 宇佐美公良(芝浦工大)、“エマージングメモリデバイスと CMOS の機能融合による新しいコンピュータアーキテクチャの基礎:CMOS 集積回路の低消費電力化技術”, 第 70 回 応用物理学会学術講演会, 2009 年 9 月
- 天野英晴(慶應大学)、“動的リコンフィギュラブルプロセッサプロセッサ MuCCRA“、デザインガイア 2009 招待講演, 2009 年 12 月
- 天野英晴(慶應大学)、“最近のリコンフィギュラブルデバイスの動向、”、FPGA/PLD Conference and Exhibit. 基調講演、2009 年 1 月
- 天野英晴(慶應大学)、“動的リコンフィギュラブルプロセッサ MuCCRA の研究成果、” FIT2009 特別講演、2009 年 3 月
- 中村宏(東京大学)、“Power Wall 問題へのブレークスルーを目指して~リーク電力削減への試み~”, 情報処理学会創立 50 周年記念、2010 年 3 月
- 天野英晴(慶應大学)、「動的リコンフィギュラブルシステムの低電力化」 電子情報通信学会信号処理研究会、Ceatec 共催イベント、10 月 6 日、幕張メッセ

- 天野英晴(慶應大学)、「FPGAによるバイオインフォマティクスのアクセラレーション」並列生物情報処理イニシアティブ IPAB シンポジウム、12月3日、東京工業大学百年記念会館
- 宇佐美公良(芝浦工大)、「LSIの低消費電力化技術ーゲーティング技術の最新動向ー」、電子情報通信学会 総合大会、東京都市大学、3月14日
- Hideharu Amano (Keio Univ.), "Recent Trends of Dynamically Reconfigurable Processors," 2010Asia-Pacific Radio Science Conference, Toyama, Sept.26.
- 宇佐美公良(芝浦工大)、「ゲーティング技術の最新動向」,電子情報通信学会 VLD 研究会, VLD2011-4, 信学技報 vol.111 No.40, pp.19-24, 北九州国際会議場, 5月18日.
- 中村宏(東京大学)、「将来のスーパーコンピューティングへの挑戦(パネリスト)」、「これからのスーパーコンピューティング技術の展開を考える」シンポジウム(文部科学省主催)、東京大学、2011年6月28日
- H.Amano,(Keio Univ.) Executing Applications on multi-FPGA platforms, DATE2011 Workshop W2, Grenoble, France, March, 18, 2011.
- 並木美太郎(東京農工大学), OSとアーキテクチャの連携〜OSから見たアーキテクチャ, アーキテクチャから見たOS〜, 情報処理学会第117回「システムソフトウェアとオペレーティング・システム」研究会, 情報処理学会第187回「計算機アーキテクチャ」研究会, 沖縄県立博物館, 2011.04.13.
- 黒田忠広,(慶應大学) "近接ワイヤレス接続が創る3次元集積計算システム ", "情報処理学会 先進的計算基盤システムシンポジウム SACSIS 2011, May 2011.
- 黒田忠広,(慶應大学.) "近接場ワイヤレス通信が拓く3次元LSIと実装(招待講演) ", "第19回LSI・アプリケーション産学連携会議 ", May 2011.
- 黒田忠広,(慶應大学.) "近接場ワイヤレス通信が拓く3次元LSI ", 第75回半導体・集積回路技術シンポジウム, July 2011.
- 黒田忠広,(慶應大学.) "近接場ワイヤレス通信が拓く3次元LSI ", "ANSYS 近距離無線システム設計セミナー, July 2011.
- 黒田忠広,(慶應大学.) "誘導結合を用いた近接無線通信技術 ", "電子情報通信学会 2011年ソサイエティ大会 C-12-30, Sep. 2011.
- T.Kuroda,(Keio Univ.) "Thru-Chip Interface (TCI) for 3D Networks on Chip," 19th IFIP/IEEE VLSI-SoC, Oct. 2011.
- 並木美太郎(東京農工大学), 省電力計算機アーキテクチャとOSの資源管理,情報処理学会第190回計算機アーキテクチャ研究発表会, 電子情報通信学会集積回路研究会, 電気通信大学, 2012.01.19.

②口頭発表 (国内会議 97 件、国際会議 11 件)

- 大久保直昭、宇佐美公良, "細粒度動的スリープ制御による動作時リーク電力低減手法", 情報処理学会 DA シンポジウム 2006, 2006 年 7 月.
- 香嶋俊裕、武田清大、大久保直昭、白井利明、宇佐美公良, "走行時パワーゲーティングを適用した低消費電力乗算器のアーキテクチャ設計", 電子情報通信学会研究会デザインガイア, 2006 年 11 月.
- 武田清大、香嶋俊裕、大久保直昭、白井利明、宇佐美公良, "走行時パワーゲーティングを適用した低消費電力乗算器の物理設計と試作", 電子情報通信学会研究会デザインガイア, 2006 年 11 月.
- 近藤正章、中村宏, "リーク電力削減のための細粒度命令スケジューリング手法の検討" 情報処理学会研究報告 ARC-170(9), pp.49-54, 2006/11
- 佐々木広、近藤正章、中村宏, "命令グルーピングによる効率的な命令実行方式" 情報処理学会研究報告 ARC-170(13), pp.73-78, 2006/11
- M. Kondo, H. Sasaki, and H. Nakamura, "Improving Fairness, Throughput and Energy Efficiency on a Chip Multiprocessor through DVFS", International Workshop on Design, Architecture and Simulation of Chip Multi-Processors, (MICRO-39), Dec. , 2006

- 中村、長谷川、堤、松谷、Vasutan、Parimala、西村、佐野、加東、斉藤、関、平井、毛、天野、“動的リコンフィギュラブルプロセッサ MuCCRA の実装”, 信学報、RECONF2006-72、pp.43-48, Jan.2007.
- 堤、Vasutan、長谷川、松谷、Parimala、中村、西村、佐野、加東、斉藤、関、平井、毛、天野、“マルチキャストコンフィギュレーションのスケジューリングアルゴリズム”, 信学報、RECONF2006-73、pp.49-54, Jan.2007.
- Kimiyoshi Usami, “Overview on Low Power SoC Design Technology”, *Proc. The 12th Asia and South Pacific Design Automation Conference (ASP-DAC'07)*, pp. 634 - 636, Jan. 2007.
- 大谷貴胤、池田佳路、佐々木広、近藤正章、中村宏、“Web サーバ用計算機クラスタの電力効率最適化に関する初期検討”, 情報処理学会研究報告 ARC-172(16), pp.91-96, 2007/3
- 武田清大・香嶋俊裕・白井利明・大久保直昭・宇佐美公良, “ランタイムパワーゲーティングを適用した乗算器を用いた消費電力に影響する要因の解析”, 電子情報通信学会 VLD/ICD 研究会, 2007 年 3 月.
- 松尾 和弥、並木 美太郎:省電力 OS のための QEMU を用いたシステム評価環境の実現、情報処理学会第 69 回全国大会 5K-9, 第 1 分冊, pp.129-130 (2007/3)
- 香嶋 俊裕、武田 清大、大久保 直昭、白井 利明、宇佐美 公良, “走行時パワーゲーティングを適用した低消費電力乗算器の試作による電力評価”, 電子情報通信学会技術研究報告, VLD2007-80, pp.63-68, Aug. 2007.
- 中田 光貴、白井 利明、香嶋 俊裕、武田 清大、宇佐美 公良、長谷川 揚平、関 直臣、天野 英晴, “ランタイムパワーゲーティングを適用した回路での検証環境と電力見積もり手法の構築”, 電子情報通信学会技術研究報告, VLD2007-111, pp.37-42, Jan. 2008.
- 白井 利明、香嶋 俊裕、武田 清大、中田 光貴、宇佐美 公良、長谷川 揚平、関 直臣、天野 英晴, “ランタイムパワーゲーティングを適用した MIPS R3000 プロセッサの実装設計と評価”, 電子情報通信学会技術研究報告, VLD2007-112, pp.43-48, Jan. 2008.
- 小山 慧、武田 清大、宇佐美 公良, “MTCMOS 回路を利用したオンチップリークモニタの設計と解析”, 電子情報通信学会 VLD/ICD 研究会, Mar. 2008.
- 会田 真弘、宇佐美 公良, “パワースイッチの実現方式が速度と消費電力に及ぼす影響の研究”, 電子情報通信学会総合大会, Mar. 2008.
- 橋田 達徳、宇佐美 公良, “スタティックタイミング解析を可能にするパワースイッチ共有化手法”, 電子情報通信学会総合大会, Mar. 2008.
- 大木 亮、宇佐美公良, “パワーゲーティング手法による CPU のレジスタファイルの消費電力低減化技術”, 電子情報通信学会総合大会, Mar. 2008.
- 馬橋 雄祐、神林 侑希、加東 勝、長谷川 揚平、天野 英晴、宇佐美 公良, “2電源電圧手法による動的リコンフィギュラブル・プロセッサの低消費電力化”, 電子情報通信学会総合大会, Mar. 2008.
- 近藤 正章、中村 宏, “CMP 向け動的電源電圧・周波数制御手法”, 先進的計算基盤システムシンポジウム SACSIS2007, pp.103-110, May, 2007
- 中村宏、天野英晴、宇佐美公良、並木美太郎、今井雅、近藤正章, “革新的電源制御による超低消費電力高性能システム LSI の構想”, 情報処理学会研究報告 ARC-173(14), pp. 79-84, 2007
- 近藤正章、佐々木広、中村宏, “トラクションコントロール実行: CMP 向け実行制御方式の検討”, 情報処理学会研究報告 ARC-174(14), pp. 79-84, 2007
- 佐々木 広、近藤 正章、中村 宏, “CMP におけるリソース競合に着目した性能の解析とモデリング”, 情報処理学会研究報告 ARC-174(15), pp. 85-90, 2007
- 大谷 貴胤、佐々木 広、近藤 正章、中村 宏 “Web サーバ用計算機クラスタにおける性能と電力のモデリングに関する研究”, 情報処理学会研究報告 ARC-174(25), pp. 145-150, 2007
- 金均東、今井雅、近藤正章、中村宏、南谷崇, “プロセス変動を考慮した電流制御による低電力化手法”, 情報処理学会研究報告 SLDM-132(7), pp. 37-42, 2007

- 椎名公康, 近藤正章, 今井雅, 中村宏, 南谷崇, “共有資源の優先度と電源電圧の協調制御によるチップマルチプロセッサの省電力化”, 情報処理学会研究報告 ARC-175(16), pp. 83-88, 2007
- 高木紀子, 近藤正章, 中村宏, “走行時パワーゲーティングのための命令実行制御手法の検討”, 情報処理学会研究報告 ARC-177(17), pp.97-102, 2008
- V.Tunbunheng, H. Amano, “Black Diamond: a Reconfigurable Compiler using Graph with Configuration Bits for Dynamically Reconfigurable Architecture”, 14th International Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), pp.412--419, Oct., 2007.
- 長谷川 揚平, 堤 聡, 中村 拓郎, 西村 隆, 佐野 徹, 加東 勝, 齊藤 正太郎, 天野 英晴, “動的リコンフィギャラブルプロセッサ MuCCRA-1 の実装と評価”, 先進的計算基盤システムシンポジウム(SACSIS2007) 論文集, pp. 95-102, May 2007.
- 松谷 宏紀, 鯉渕 道紘, 天野 英晴, “Network-on-Chip における Fat H-Tree トポロジに関する研究”, 第 5 回先進的計算基盤システムシンポジウム(SACSIS'07)論文集, pp.201-209, May 2007.
- 松谷 宏紀, 鯉渕 道紘, 天野 英晴, “クロスバ接続による 3 次元 Network-on-Chip 向け多層型トポロジ”, 情報処理学会研究報告 2007-ARC-173, pp.109-114, Jun 2007.
- 関直臣, 長谷川揚平, 天野英晴, 大久保直昭, 武田清大, 香嶋俊裕, 白井利明, 宇佐美公良, 近藤正章, 中村宏, “MIPS R3000 における細粒度動的スリープ方式の提案”, 情報処理学会研究報告 2007-ARC-173, pp.49-54, Jun 2007.
- 松谷 宏紀, 鯉渕 道紘, 王 代涵, 天野 英晴, “Look-Ahead ルーティングを用いたオンチップルータの動的パワーシャットダウン”, 情報処理学会研究報告 2007-ARC-174 (SWoPP'07), pp.127-132, Aug 2007.
- 関直臣, Lei Zhaoy, 徐慧, 長谷川揚平, 天野英晴, 大久保直昭, 武田清大, 香嶋俊裕, 白井利明, 宇佐美公良, 近藤正章, 中村宏, “MIPS R3000 における細粒度動的スリープ方式の提案”, 情報処理学会研究報告 2007-No.7, pp.91-96, Aug 2007.
- 堤 聡, 長谷川 揚平, 西村 隆, 天野 英晴, “動的リコンフィギャラブルプロセッサアレイにおける動的周波数制御によるエネルギー削減手法の検討”, 電子情報通信学会技術研究報告 (RECONF2007-31), Vol. 107, No. 225, pp. 95-100, September 2007.
- 松谷 宏紀, 鯉渕 道紘, 王 代涵, 天野 英晴, “オンチップルータにおける仮想チャンネル単位の走行時パワーゲーティング”, 第 11 回システム LSI ワークショップ資料集, pp.231-233, Nov 2007.
- 松谷 宏紀, 鯉渕 道紘, 王 代涵, 天野 英晴, “オンチップルータにおける仮想チャンネル単位の走行時パワーゲーティング”, 情報処理学会研究報告 2007-ARC-175 (Design Gaia'07), pp.21-26, Nov 2007.
- 関直臣, Lei Zhao, 徐慧, 池淵大輔, 小島悠, 長谷川揚平, 天野英晴, 香嶋俊裕, 武田清大, 白井利明, 中田光貴, 宇佐美公良, 砂田徹也, 金井遵, 並木美太郎, 近藤正章, 中村宏, “MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価”, 情報処理学会研究報告 2008-ARC-176, pp.71-76, Jan 2008.
- 松尾 和弥, 佐藤 未来子, 並木 美太郎: QEMU を用いた命令, アドレストレサの実現, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 105 回研究報告, Vol.2007-OS-105, pp.39-46, 2007.
- 松尾 和弥, 佐藤 未来子, 並木 美太郎: 省電力システムのための QEMU を用いたシステム評価環境の実現, SACSIS(先進的計算基盤シンポジウム)2007, Vol.2007, No.5, pp.61-68, 2007.
- 金井 遵, 佐々木 広, 近藤 正章, 中村 宏, 並木 美太郎: 統計情報に基づく省電力 Linux スケジューラ, 情報処理学会「システムソフトウェアとオペレーティング・システム」研究会 第 106 回研究報告, 2007 年並列/分散/協調処理に関する『旭川』サマー・ワークショップ (SWoPP 旭川 2007), Vol.2007-OS-106(2), pp.9-16, 2007.

- 金井 遵, 佐々木 広, 近藤 正章, 中村 宏, 天野 英晴, 宇佐美 公良, 並木 美太郎: 性能予測モデルの学習と実行時性能最適化機構を有する省電力化スケジューラ, 情報処理学会「コンピュータシステムシンポジウム 2007」論文集, Vol.2007, No.14, pp.173-182, 2007.
- Kuniyasu Suzuki, Toshiki Yagi, Kengo Iijima, Nguyen Anh Quynh and Mitaro Namiki: Trusted and Stackable Virtual Disk for OS Circular, linux.conf.au(LCA2008 and Linux Australia), <http://linux.conf.au/>, 2008.
- 太田 篤志, 並木 美太郎: Cell B.E.の SPE 向け OS の設計とスレッド管理の開発, 情報処理学会第 70 回全国大会, 3P-8, 2008.
- 林 和宏, 金井 遵, 川合 秀実, 丸山 勝巳, 並木 美太郎: マイクロカーネルを対象とした省電力スケジューラの開発, 情報処理学会第 70 回全国大会, 5N-9, 2008.
- 中田 光貴, 白井 利明, 武田 清大, 宇佐美 公良: ランタイムパワーゲーティングを適用した低電力乗算器の設計試作及び実測による性能評価, 電子情報通信学会 信学技報 VLD2008-162, pp.213-218 (2009.03)
- 小山 慧, 宇佐美 公良: オンチップ・リークモニタの 65nm プロセスでの実装設計と評価, 電子情報通信学会 信学技報 VLD2008-163, pp.219-224 (2009.03)
- 林 和宏, 金井 遵, 丸山 勝巳, 並木 美太郎: L4 マイクロカーネルにおける省電力スケジューラの開発, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 108 回研究報告, Vol.2008-OS-108, pp.147-154 (2008.04)
- 砂田 徹也, 関 直臣, 香嶋 俊裕, 中田 光貴, 近藤 正章, 天野 英晴, 並木 美太郎: 省電力 MIPS プロセッサにおける OS の試作とシミュレーションによる電力評価, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 108 回研究報告, Vol.2008-OS-108, pp.163-170 (2008.04)
- 金井 遵, 佐々木 広, 近藤 正章, 中村 宏, 天野 英晴, 宇佐美 公良, 並木美太郎: 消費エネルギー予測によるマルチコア環境向け省電力化 Linux スケジューラ, 情報処理学会第 20 回コンピュータシステムシンポジウム, IPSJ シンポジウムシリーズ, Vol.2008, No.12, pp.77-86 (2008.11)
- 木村 一樹, 砂田 徹也, 長井 智英, 関 直臣, 近藤 正章, 天野 英晴, 宇佐美 公良, 中村 宏, 並木美太郎: 省電力 MIPS プロセッサコア評価のための計算機システムの FPGA による試作, 情報処理学会第 71 回全国大会 5K-7 (2009.3)
- 近藤 正章, 高木 紀子, 中村 宏: 走行時パワーゲーティングのための命令実行制御手法の提案, 第 6 回先進的計算基盤システムシンポジウム SACSIS 2008, pp.73-80, 2008 年 6 月
- 近藤 正章, 佐々木 広, 中村 宏: トラクションコントロール実行: CMP 向けプロセス実行制御方式の提案, 第 6 回先進的計算基盤システムシンポジウム SACSIS 2008, pp.265-272, 2008 年 6 月
- 佐々木 広, 近藤 正章, 中村 宏: CMP の統計的モデリングによる実行時最適化手法, 情報処理学会研究報告 2008-ARC-179, pp.31-36, 2008 年 8 月
- 大谷 貴胤, 佐々木 広, 近藤 正章, 中村 宏: ヘテロ構成を考慮した Web サーバ用クラスタシステムの性能と電力のモデリング, 情報処理学会研究報告 2008-ARC-179, pp.157-162, 2008 年 8 月
- 薦田 登志矢, 佐々木 広, 近藤 正章, 中村 宏: リーク電力削減のためのコンパイラによるスリープ制御の初期検討, 情報処理学会研究報告 2008-ARC-180, pp.33-38, 2008 年 10 月
- T. Komoda, H. Sasaki, M. Kondo, H. Nakamura, “Compiler Directed Fine Grain Power Gating for Leakage Power Reduction in Microprocessor Functional Units”, 7th ODES (Workshop on Optimizations for DSP and Embedded Systems), Mar, 2009
- 木村 一樹, 砂田 徹也, 長井 智英, 関 直臣, 近藤 正章, 天野 英晴, 宇佐美 公良, 中村 宏, 並木 美太郎: 省電力 MIPS プロセッサコア評価のための計算機システムの FPGA による試作, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 111 回研究報告, Vol.2009-OS-111, No.34, pp.1-8 (2009.4)
- 太田 篤志, 並木 美太郎: Cell/B.E.の SPE 向け軽量カーネルの設計と試作, 情報処理学会

「システムソフトウェアとオペレーティング・システム」第 111 回研究報告, Vol.2009-OS-111, No.37, pp.1-8 (2009.4)

- 金井 遵, 並木 美太郎:性能予測に基づく Linux スケジューラをノードとするクラスタシステムの省電力化の実現, SACSIS(先進的計算基盤シンポジウム)2009, 情報処理学会シンポジウムシリーズ, Vol.2009, No.5, pp.415-422 (2009.5)
- 砂田徹也, 木村一樹, 長井智英, 近藤正章, 天野英晴, 宇佐美公良, 中村 宏, 並木美太郎:省電力 MIPS プロセッサを実現する FPGA における OS の開発と評価, SWoPP2009 並列/分散/協調処理に関する『仙台』サマー・ワークショップ, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 112 回研究会, Vol.2009-OS-112, No.14, pp.1-8 (2009.8)
- 林 和宏, 並木 美太郎:EDF スケジューリングアルゴリズム向けの軽量の DVFS 制御手法, 情報処理学会コンピュータシステムシンポジウム, Vol.2009, No.13, pp93-100, 2009.11.
- 佐藤 未来子, 磯部 泰徳, 並木 美太郎:マルチコアプロセッサにおける OS による MMU を用いたスラッチパッドメモリの管理方式, 情報処理学会コンピュータシステムシンポジウム, Vol.2009, No.13, pp.119-126, 2009.11.
- V.Tuan, H.Amano, "Evaluation of a Multi-Core Reconfigurable Architecture with Variable Core Size," Reconfigurable Architecture Workshop (RAW09), May, 2009.
- 薦田登志矢, 佐々木広, 近藤正章, 中村宏, "リーク電力削減のためのコンパイラによる細粒度スリープ制御", 先進的計算基盤システムシンポジウム SACSIS2009, May, 2009
- 近藤正章, 薦田登志矢, 佐々木広, 中村宏, "コンパイラによる細粒度スリープ制御のためのアーキテクチャ支援技術の検討", 情報処理学会研究報告 ARC-184(14), pp. 1-8, 2009 年 8 月.
- 橋田達徳, 小山慧, 山本辰也, 宇佐美公良, 池淵大輔, 天野英晴, 並木美太郎, 近藤正章, 中村宏, "マイクロプロセッサ内の演算器に対する適応型パワーゲーティング," 情報処理学会研究報告, vol.2010-ARC-187 no.2, pp.7-12, 2010 年 1 月.
- 馬橋雄祐, 佐野徹, 小山慧, 齊藤貴樹, 天野英晴, 宇佐美公良, "動的リコンフィギュラブルプロセッサにおける、2 電源電圧の動的な割り当てによる電力削減機構の実装," VLD2009-85, 信学技報 vol. 109 no. 393, pp.101-106, 2010 年 1 月.
- 小山慧, 橋田達徳, 宇佐美公良, 池淵大輔, 天野英晴, 並木美太郎, 近藤正章, 中村宏, "MTCMOS 回路を利用したオンチップ・リークモニタによるランタイム・パワーゲーティング回路の損益分岐点予測," 電子情報通信学会 VLSI 設計研究会 (VLD), 2010 年 3 月.
- 石崎智尋, 小山慧, 宇佐美公良, "サブスレッショルド領域での動作に向けたレベルシフト回路構造の検討," 電子情報通信学会 VLSI 設計研究会 (VLD), 2010 年 3 月.
- 太田雄也, 小山慧, 橋田達徳, 武藤徹也, 山本辰也, 宇佐美公良, "パワーゲーティングの実装方式がエネルギー削減効果に与える影響の解析," 電子情報通信学会 VLSI 設計研究会 (VLD), 2010 年 3 月.
- 船橋一訓, 佐々木広, 中村宏, "共有キャッシュ分割を考慮した CMP 向けプリフェッチスロットリング手法", 情報処理学会研究報告, 2010-ARC-188(2), 2010 年 3 月
- 砂田 徹也, 木村 一樹, 近藤 正章, 天野 英晴, 宇佐美 公良, 中村 宏, 並木 美太郎 "細粒度パワーゲーティングを制御する OS の資源管理方式", 情報処理学会「システムソフトウェアとオペレーティング・システム」第 114 回研究報告, Vol.2009-OS-114, No.8, pp.1-8 (2010.04.22)
- 茂木 勇, 木村 一樹, 砂田 徹也, 並木 美太郎, "省電力 MIPS プロセッサ Geysers の FPGA 版評価ボードへの Linux の移植", 情報処理学会「システムソフトウェアとオペレーティング・システム」第 114 回研究報告, Vol.2009-OS-114, No.9, pp.1-8 (2010.04.22)
- 仁科 圭介, 並木 美太郎, "SSD をディスクキャッシュとして利用する Linux ブロックデバイスドライバ", 情報処理学会「システムソフトウェアとオペレーティング・システム」第 114 回研究報告, Vol.2009-OS-114, No.13, pp.1-8 (2010.04.22)
- 宇佐美公良, 橋田達徳, "細粒度パワーゲーティングにおける損益分岐時間の温度依存性モデルと温度適応型制御," VLD2010-8, 電子情報通信学会技術研究報告 vol. 110 no. 36,

- pp.73-78 (2010.05.20)
- 武田清大, 金均東, 中村宏, 宇佐美公良, “動的なスイッチング情報を用いたパワーゲーティング回路向け高精度遅延時間解析法の提案”, 信学技報, vol. 110, no. 316, VLD2010-70, pp. 93-98, 2010年11月. (2010.11.31)
 - 小西奈緒, 工藤優, 宇佐美公良, “超低電圧領域における最適加算器アーキテクチャの検討”, VLD2010-81, 電子情報通信学会技術研究報告 vol. 110 no. 316, pp.173-178 (2010.12.01)
 - 仁科 圭介, 佐藤 未来子, 並木 美太郎, “省電力・高速化を目的としたSSDを用いたディスクキャッシュシステムのブロックデバイスドライバによる実装”, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 116 回研究報告, Vol.2011-OS-116, No.6, pp.1-8 (2011.1.25)
 - 木村 一樹, 近藤 正章, 天野 英晴, 宇佐美 公良, 中村 宏, 佐藤 未来子, 並木 美太郎, “コア温度情報を用いた OS による細粒度パワーゲーティング制御方式の設計”, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 116 回研究報告, Vol.2011-OS-116, No.7, pp.1-8 (2011.1.25)
 - 小林 弘明, 茂木 勇, 木村 一樹, 薦田 登志矢, 佐藤 未来子, 近藤 正章, 中村 宏, 並木 美太郎, “OS とコンパイラとの連携による PG 制御方式の研究”, 情報処理学会 第 73 回全国大会講演論文集, 2J-3, pp.167-168 (2011.03.02)
 - 木村 一樹, 近藤 正章, 天野 英晴, 宇佐美 公良, 中村 宏, 並木 美太郎, 佐藤 未来子, “コア温度情報による細粒度パワーゲーティング制御を行う OS スケジューラ”, 情報処理学会 第 73 回全国大会講演論文集, 2J-4, pp.169-170 (2011.03.02)
 - 高橋 昭宏, 茂木 勇, 佐藤 未来子, 並木 美太郎, “演算ユニットのスリープ頻度に応じてパワーゲーティング制御を行う Linux プロセススケジューラ”, 情報処理学会 第 73 回全国大会講演論文集, 2J-5, pp.171-172 (2011.03.02)
 - 山本辰也, 弘中和衛, 早川勇輝, 木村優之, 天野英晴, 宇佐美公良, “動的リコンフィギュラブルプロセッサにおける動的電源切替による電力削減効果とオーバーヘッドを低減するマッピング手法”, VLD2010-92, 電子情報通信学会技術研究報告 vol. 110 no. 360, pp.49-54 (2011.1.17)
 - 武藤徹也, 宇佐美公良, “細粒度パワーゲーティングにおける履歴に基づいたスリープ制御方式の検討と評価”, VLD2010-121, 電子情報通信学会技術研究報告 vol. 110 no. 432, pp.31-36 (2011.3.2)
 - 宮内誠, 宇佐美公良, “パワーゲーティング適用回路における遺伝的プログラミングを用いたグラウンドバウンズノイズ低減手法”, 電子情報通信学会 総合大会講演論文集 No.C-12-28 (2011.3.15)
 - 山藤友紀, 近藤正章, 平澤将一, 本多弘樹, “走行時パワーゲーティングにおけるスラック解析を用いた動的命令スケジューリングの検討”, 情報処理学会研究報告, Vol.2011-ARC-194, No.2, pp.1-8 (2011.03.10)
 - 山下良, 近藤正章, 平澤将一, 本多弘樹, “ヘテロジニアス計算機クラスタにおける省エネルギー化タスクスケジューリング手法”, 情報処理学会研究報告, Vol.2011-ARC-194, No.3, pp.1-8 (2011.03.10)
 - 穂園智哉, 近藤正章, 平澤将一, 本多弘樹, “機械学習により抽出されたアプリケーションの特徴を利用したタスク配置の検討”, 情報処理学会研究報告, Vol.2011-ARC-194, No.12, pp.1-8 (2011.03.11)
 - L.Zhao, D.Ikebuchi, Y.Saito, M.Kamata, N.Seki, Y.Kojima, H.Amano, S.Koyama, T.Hashida, Y.Umahashi, D.Masuda, K.Usami, T.Sunata, K.Kimura, M.Namiki, S.Takeda, H.Nakamura, M.Kondo, “Geyser-1 and Geyser-2: MIPS R3000 CPU Chips with Fine-grain Runtime Power Gating,” IEEE COOL CHIPS XIII, Yokohama, April 14-16.
 - Y.Nishikawa, M.Koibuchi, H.Matsutani and Hideharu Amano, “A Deadlock-free non-minimal Fully Adaptive Routing Using Virtual Cut-Through Switching,” NAS2010, Daian, China, July

28-30.

- Lei Zhao, Hui Xu, Daisuke Ikebuchi and Hideharu Amano, "Reducing Instruction TLB's Leakage Power Consumption for Embedded Processors," Workshop on Low Power System-on-a Chip, Orland, Florida July 25-28.
- Yuto Hirata, Hiroki Matsutani, Michihiro Koibuchi and Hideharu Amano, "A Variable-pipeline On-chip router optimized to traffic pattern," The 3rd International Workshop on Network on Chip Architectures, Atlanta, USA, Dec.4-8.
- 石崎智尋(芝浦工大), 宇佐美公良, "超低電圧での動作に向けたレベルシフト回路構造の検討," 電子情報通信学会 ソサイエティ大会, 講演論文集 No.A-3-8, 北海道大学, 9月15日.
- 太田雄也(芝浦工大), 工藤優, 宇佐美公良, "トランジェントグリッチエネルギーを低減するパワーゲーティングの回路方式の検討", VLD2011-90, 信学技報 vol. 111 no. 324, pp.221-226, 2011年11月30日.
- 早川勇輝(芝浦工大), 宇佐美公良, "動的リコンフィギュラブルプロセッサにおける記憶回路の低消費電力化と DVFS 手法の検討", VLD2011-138, 信学技報 vol. 111 no. 450, pp.109-114, 2012年3月7日.
- 宮内誠(芝浦工大), 工藤優, 太田雄也, 宇佐美公良, "遺伝的プログラミングを用いたグラウンドバウンス低減にむけたパワースイッチ駆動回路生成の検討", VLD2011-142, 信学技報 vol. 111 no. 450, pp.133-138, 2012年3月7日.
- N.Ozaki(Keio Univ.), "SLD: A Ultra Low power accelerator," CoolChips 2011, Yokohama, Japan, Apr.20-22, 2011
- 佐々木大輔(慶応大) "誘導結合による三次元積層チップのためのパケット転送ネットワーク," SACSIS2011, 東京, 5月27日
- 小林 弘明(東京農工大学), OS における細粒度パワーゲーティング向けオブジェクトコードの実行時管理機構の研究, 情報処理学会「システムソフトウェアとオペレーティング・システム」第117回研究報告, 情報処理学会第187回「計算機アーキテクチャ」研究会, 沖縄県立博物館, 2011.04.13.
- 木村 一樹(東京農工大学), コア温度の変化に適応する OS による細粒度パワーゲーティング制御方式, 情報処理学会「システムソフトウェアとオペレーティング・システム」第117回研究報告, 情報処理学会第187回「計算機アーキテクチャ」研究会, 沖縄県立博物館, 2011.04.13.
- 高橋 昭宏(東京農工大学), 細粒度パワーゲーティング制御による省電力化を行う Linux プロセススケジューラの試作, 情報処理学会「システムソフトウェアとオペレーティング・システム」第117回研究報告, 情報処理学会第187回「計算機アーキテクチャ」研究会, 沖縄県立博物館, 2011.04.13.
- M.Saito, N.Miura and T.Kuroda (Keio), "Asynchronous Pulse Transmitter for Power Reduction in ThruChip Interface," *International Conference on Solid-State Devices and Materials (SSDM)*, Sep. 2011.
- 102. 高橋 昭宏(東京農工大学), "Linux における演算ユニットの電力特性を考慮した細粒度パワーゲーティング制御手法", 情報処理学会「システムソフトウェアとオペレーティング・システム」第120回研究報告, No.4, pp.1-8, 八丈島, 2012.2.28.
- 103. 嶋田裕巳(東京農工大学), "リアルタイムシステムにおける細粒度パワーゲーティング制御の研究", 情報処理学会第74回全国大会, 3K-5, 名古屋工業大学, 2012.3.7.
- 104. 望月秋人(東京農工大学), "Android を搭載したマルチコアプロセッサシステム向けの OpenCL ライブラリの試作", 情報処理学会第74回全国大会, 3K-1, 名古屋工業大学, 2012.3.7.
- 105. 坂本龍一(東京農工大学), "OpenCL を用いたメニーコア・アクセラレータの仮想化手法と評価環境の構築", 情報処理学会第74回全国大会, 4J-2, 名古屋工業大学, 2012.3.7.

① ポスター発表 (国内会議 2 件、国際会議 18 件)

- Shohei Abe, Yohei Hasegawa, Takao Toi, Takashi Inuo, Hideharu Amano, "An Adaptive Viterbi Decoder on Dynamically Reconfigurable Processor", Proc. of the 2006 International Conference on Field Programmable Technology (FPT-06), pp.285--288, Dec. 2006.
- Hiroki Matsutani, "Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network", The Student Forum at the 12th Asia and South Pacific Design Automation Conference (ASP-DAC'07), Jan. 2007
- Y.Hasegawa, S.Tsutsumi, V. Tunbunheng, A.Parimala, T.Nakamura, T.Nishimura, H.Amano, "Design Methodology and Trade-offs Analysis for Parameterized Dynamically Reconfigurable Processor Arrays", *The 17th IEEE International Conference on Field-Programmable Logic and Application (FPL2007)*, pp.796-799, Aug. 2007.
- S.Tsutsumi, V.Tunbunheng, Y.Hasegawa, A.Parimala, T.Nakamura, T.Nishimura, H.Amano, "Overwrite Configuration Technique in Multicast Configuration Scheme for Dynamically Reconfigurable Processor Arrays", *International Conference on Field Programmable Technology (ICFPT2007)*, pp.273--276, Dec. 2007.
- Y.Saito, T.Shirai, T.Nakamura, T.Nishimura, Y.Hasegawa, S.Tsutsumi, T.Kashima, M.Nakata, S.Takeda, K.Usami, H.Amano, Leakage Power Reduction For Coarse Grained Dynamically Reconfigurable Processor Arrays with Fine Grained Power Gating Technique, Proc. of IEEE International Conference on Field Programmable Technologies, CD-ROM, Taipei, December 2008.
- V.Tunbunhen, An Interface for Representing Dynamically Reconfigurable Architectures by using Graph with Configuration Information, Proc. of SASIMI2009, Jan. 2009.
- 高木紀子, 佐々木広, 近藤正章, 中村宏, "共有資源の協調制御によるチップマルチプロセッサの低消費電力化", 先進的計算基盤システムシンポジウム SACSIS2009, May 2009
- T.Sano, Y.Saito, M.Kato, H.Amano, "Fine Grain Partial Reconfiguration for Energy Saving in Dynamically Reconfigurable Processors," Proc. of 19th International Conference on Field Programmable Logic And Applications (FPL09) pp.530-533, Sept. 2009.
- M.Kato, T.Sano, Y.Yasuda, Y.Saito, H.Amano, "A Study on Interconnection Networks of the Dynamically Reconfigurable Processor Array MuCCRA," Proc. of ICFPT, Dec. 2009.
- M.Kimura, Y.Saito, T.Sano, M.Kato, V.Tunbunheng, Y.Yasuda, H.Amano, "Low Power Image Processing using MuCCRA-3," Proc. of ICFPT, Dec.2009.
- D.Ikebuchi, N.Seki, Y.Kojima, M.Kamata, L.Zhao, H.Amano, T.Shirai, S.Koyama, T.Hashida, Y.Umahashi, H.Masuda, K.Usami, S.Takeda, H.Nakamura, N.Namiki, M.Kondo, "Geyser-1: A MIPS R3000 CPU Core with Fine-Grained Run-Time Power Gating," Proc. of ASPDAC, Jan. 2010.
- Y.Saito, T.Sano, M.Kato, V.Tunbunheng, Y.Yasuda, M.Kimura, H.Amano, "MuCCRA-3: A Low Power Dynamically Reconfigurable Processor Array," Proc. of ASPDAC, Jan.2010.
- Kazuei Hironaka, Masayuki Kimura, Yoshiki Saito, Toru Sano, Masaru Kato, Vasutan Tunbunheng, Yoshihiro Yasuda and Hideharu Amano, "Reducing Power Consumption for Dynamically Reconfigurable Processor Array with partially Fixed Configuration Mapping," IEEE International Conference of Field Programmable Technology, Beijing, China, Dec.7-9.
- Takao Toi, Takumi Okamoto, Toru Awashima, Kazutoshi Wakabayashi, and Hideharu Amano, "Wire Congestion Aware Synthesis for a Dynamically Reconfigurable Processors," IEEE International Conference of Field Programmable Technology, Beijing, China, Dec.7-9.
- Lei Zhao, Daisuke Ikebuchi, Yoshiki Saito, Masahiro Kamata, Naomi Seki, Yu Kojima, Hideharu Amano, Satoshi Koyama, Tatsunori Hashida, Yusuke Umahashi, Daiki Masuda, Kimiyoshi Usami, Kazuki Kimura, Mitaro Namiki, Seidai Takeda, Hiroshi Nakamura, Masaaki Kondo, "Geyser-2: The Second Prototype CPU with Fine-grained Run-time Power Gating," ASP-DAC 2011, Yokohama, Jan.26-28.

- M.Izawa(Keio) "Implementation and Evaluation of a Low Power Accelerator SLD-2," CoolChips 2011, Yokohama Japan, Apr. 20-22, 2011.
- M.Izawa(Keio) "CMA-2: The second prototype of a low power reconfigurable accelerator," ASP-DAC2012, Design Contest Sydney, Australia, Jan.30-Feb.2 pp.471-472
- K.Hironaka(Keio) "The real-time Image processing demonstration of CMA-1: an ultra-low power reconfigurable accelerator," Demonstration session, International Conference on Field Programmable Technologies, Deli, India, Dec. 12-14, 2011
- 高橋 昭宏(東京農工大学), FPGA による省電力計算機の開発評価環境の試作, 先進的計算基盤システムシンポジウム(SACSIS 2011)ポスターセッション No.60, 秋葉原ダイビル, 2011.05.26.
- E.Sasaki (Keio) "Message Passing Direct Memory Access Transfer Method for Inter_Chip Network" The 17th Workshop on Synthesis And System Integration of Mixed Information technologies, March 8-9, 2012.

(4)知財出願

①国内出願 (1 件)

1. 発明の名称: 電源遮断制御回路および電源遮断制御方法、発明者: 宇佐美公良、出願日:平成 20 年8月27日

②海外出願 (1 件)

1. 発明の名称: POWER-OFF CONTROLLING CIRCUIT AND POWER-OFF CONTROLLING METHOD, 発明者: Kimiyoshi Usami, 出願日: 2009 年 2 月 4 日 (米国)

③その他の知的財産権

なし。

(5)受賞・報道等

①受賞

- Hiroki Matsutani, ASP-DAC2007 Young Researcher's Award. (poster presentation)
- 中村拓郎、2007 年情報処理学会 SLDM 研究会 若手研究賞、「動的リコンフィギャラブルプロセッサ MuCCRA-1 の実装」 SLDM 研究会
- 長谷川揚平、SACSIS2007 優秀若手研究賞 「動的リコンフィギャラブルプロセッサ MuCCRA-1 の実装と評価」
- 松谷宏紀、SACSIS2007 優秀若手研究賞「Network-on-Chip におけるFat H Treeトポロジに関する研究」
- 松谷宏紀、情報処理学会山下記念研究賞、「3 次元 IC 向け Fat Tree ベース Network-on-Chips」 情報処理学会研究報告、2007-ARC-171
- 佐々木広、情報処理学会山下記念研究賞、「依存情報を用いた命令グループ化による動的命令スケジューリング機構の電力削減手法」 情報処理学会研究報告、2007-ARC-168
- Vasutan Tunbunheng, Best Paper Award of 14th International Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007), "Black Diamond: a Reconfigurable Compiler using Graph with Configuration Bits for Dynamically Reconfigurable Architecture"
- 金井 遵: 最優秀学生発表賞, 情報処理学会「システムソフトウェアオペレーティング・システム研究会」, 「統計情報に基づく省電力 Linux スケジューラ」, 第 106 回情報処理学会「システムソフトウェアとオペレーティング・システム」研究会, 2007 年並列/分散/協調処理に関

する『旭川』サマー・ワークショップ(SWoPP 旭川 2007), Vol.2007-OS-106(2), pp.9-16, 2007.08.

- 林 和宏: 情報処理学会第 70 回全国大会 学生奨励賞「マイクロカーネルを対象とした省電力スケジューラの開発」, 情報処理学会第 70 回全国大会, 5N-9 (2008.03)
- 松谷宏紀、鯉淵 道紘、天野 英晴「Network-on-Chip における Fat H-Tree トポロジに関する研究」が平成 19 年度情報処理学会論文賞を受賞
- 関直臣「MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価」で、2007 年度情報処理学会山下記念研究賞を受賞
- 金井遵「統計情報に基づく省電力 Linux スケジューラ」が 2008 年度情報処理学会コンピュータサイエンス領域奨励賞を受賞
- 林和宏「L4 マイクロカーネルにおける省電力スケジューラの開発」が情報処理学会システムソフトウェアとオペレーティング・システム研究会 2008 年度第 108 回最優秀学生発表賞を受賞
- 近藤 正章, 佐々木 広, 中村 宏「トラクションコントロール実行: CMP 向けプロセス実行制御方式の提案」が第 6 回先進的計算基盤システムシンポジウム SACSIS 2008 において最優秀論文賞を受賞
- 松谷宏紀、鯉淵通紘、天野英晴、吉永努:「予測機構を持った低遅延オンチップルーターアーキテクチャ」が 2008 年度電子情報通信学会集積回路研究会優秀若手講演賞を受賞
- 木村 一樹「省電力 MIPS プロセッサコア評価のための計算機システムの FPGA による試作」が情報処理学会第 71 回全国大会において学生奨励賞を受賞
- 近藤正章「トラクションコントロール実行: CMP 向け実行制御方式の検討」が平成 20 年度情報処理学会山下記念研究賞を受賞
- Hiroki Matsutani, "Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network", IEEE Transactions on Parallel and Distributed Systems, Vol.20, No.8 により IEEE Computer Society Japan Chapter Young Author Award 2009 を受賞
- 加東勝、情報処理学会システムLSI設計技術研究会で発表の「動的リコンフィギュラブルプロセッサ MuCCRA の結合網に関する研究、情報処理学会研究報告 Vol.2009-SLDM-138, (2009.1)」により、情報処理学会 CS 領域奨励賞を受賞
- 小島悠 「エラー検出・訂正を用いた Network-on-chip の低消費電力化」先進的計算システムシンポジウム SACSIS2010 優秀若手研究賞
- 西川由理 「1 フリットパケット構造を利用した非最短型完全適応ルーティング」情報処理学会 SLDM 研究会学生優秀発表賞
- 林 和宏「DVFS を用いた EDF スケジューリングアルゴリズム向け省電力化手法」(情報処理学会第 72 回全国大会発表), 情報処理学会 2009 年度推奨修士論文認定
- 磯部 泰徳「マルチコア CPU における OS の資源管理方式の研究」(情報処理学会第 72 回全国大会発表), 情報処理学会 2009 年度推奨修士論文認定
- 磯部泰徳, 佐藤未来子, 並木美太郎, “マルチコア CPU における OS の資源管理方式の研究”, 情報処理学会第 72 回大会奨励賞
- 木村 一樹, 近藤 正章, 天野 英晴, 宇佐美 公良, 中村 宏, 並木 美太郎, 佐藤 未来子, “コア温度情報による細粒度パワーゲーティング制御を行う OS スケジューラ”, 情報処理学会 第 73 回全国大会講演論文集, 2J-4, pp. 169-170, 情報処理学会第 73 回大会奨励賞
- M.Izawa(Keio) "Implementation and Evaluation of a Low Power Accelerator SLD-2, " CoolChips 2011, Yokohama Japan, Apr. 20-22, 2011, Outstanding Poster Award
- 小林 弘明(東京農工大学):小林 弘明, 茂木 勇, 木村 一樹, 薦田 登志矢, 佐藤未来子, 近藤正章, 中村 宏, 並木美太郎, OS における細粒度パワーゲーティング向けオブジェクトコードの実行時管理機構の研究, <http://sigarc.hpcc.jp/>, 2011.04.13, 情報処理学会第 187 回計算機アーキテクチャ研究会 若手奨励賞
- 小林 弘明(東京農工大学):小林 弘明, 茂木 勇, 木村 一樹, 薦田 登志矢, 佐藤未来子,

近藤正章, 中村 宏, 並木美太郎, OSにおける細粒度パワーゲーティング向けオブジェクトコードの実行時管理機構の研究,

<http://www.ipsj.or.jp/sig/os/index.php?%BA%C7%CD%A5%BD%A8%B3%D8%C0%B8%C8%AF%C9%BD%BE%DE>, 2011.04.13., 情報処理学会第117回システムソフトウェアとオペレーティング・システム研究会 最優秀学生発表賞

- 高橋 昭宏, 小林 弘明, 坂本 龍一, 並木 美太郎, 佐藤 未来子, 中村 宏, 天野 英晴, 宇佐美 公良, 近藤 正章, 佐々木 広, FPGAによる省電力計算機の開発評価環境の試作, 情報処理学会 SACSIS2011 ポスター賞
<http://sacsis.hpcc.jp/2011/program.html.ja#AWARDP>, 2011.05.26., 情報処理学 SACSIS2011 ポスター賞
- 黒田忠広 “自然界の集団同期現象をエレクトロニクスに応用,” *日経エレクトロニクス* 6月13日号, pp. 85-94, June 20
- 小崎信明, 安田好弘, 斎藤貴樹, 池淵大輔, 木村優之, 天野英晴, 中村宏, 宇佐美公良, 並木美太郎, 近藤正章, CMA;超低電力再構成アクセラレータ, 組み込みシステムシンポジウム2011, 実践報告部門, 優秀論文賞
- 嶋田裕巳(東京農工大学): 情報処理学会第74回全国大会 学生奨励賞, “リアルタイムシステムにおける細粒度パワーゲーティング制御の研究”, 2012.3.7.

②マスコミ(新聞・TV等)報道

- 日経エレクトロニクス7月27日号で、天野研と黒田研の共同研究MuCCRA-Cubeが紹介された。

③その他 なし

(6)成果展開事例

①実用化に向けての展開

・本研究で開発したFPGA版 Geysler 評価環境は、NEDOの極低電力回路・システム技術開発(グリーンITプロジェクト)課題名「低消費電力メニーコア用アーキテクチャとコンパイラ技術」(H22～H24)において、メニーコアプロセッサの評価環境として利用されている。

②社会還元的な展開活動

- 本研究成果をインターネット(URL: <http://www.ulps.rcast.u-tokyo.ac.jp/>)で公開し、一般に情報提供している。

§6 研究期間中の主なワークショップ、シンポジウム、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
2011/11/2-3	革新的省電力技術に関する研究会	ラフォーレ伊東	30名程度	研究成果の発表及び研究課題に関する技術討論

§ 7 結び

回路実装、アーキテクチャ、コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を行うことで、消費電力当たりの性能を100倍にすることを目指していた。研究を通して2種類のチップ、MIPS-CPU(R3000)互換のプロセッサGeyserおよび、電力効率アクセラレータCool Mega Array (CMA)の設計・試作を行った。Geyserの試作に成功し、世界初となるサイクル単位での超細粒度パワーゲーティングを実現した点は大きな成果であると考えている。また、実際に稼働するハードウェアプラットフォームGeyser上で、回路実装、アーキテクチャ、コンパイラ、システムソフトウェアの各階層間の協調による電源制御を、「時間粒度」という抽象化概念のもとで実現できることを示せたことは大きな成果であると考えている。また、Cool Mega Arrayの開発成功により、研究開始時に比べ100倍ほどの電力当たり性能を実現できたことも大きな成果であると考えている。細粒度パワーゲーティングは低消費電力化において今後さらに重要な技術になると予想され、この研究成果が広く使われることが期待できる。

運営としては、研究目標・方針の共有だけでなく、具体的な低電力化技術の共有も図りながら研究を進めたため極めて円滑な協力体制の下で研究を遂行できた。各分担者が与えられた研究項目をやるだけでなく、皆が研究課題全体に対して主体性と責任を持って研究を遂行したことを、研究代表者として大変誇りに思い、また感謝している。

研究費の執行においては、研究成果を最大化することを第一にしていたつもりである。JSTにも研究成果最大化のためにいろいろ相談にのって頂いた。ここに感謝申し上げる。

CREST事業の第一の目標はもちろん創造的な研究をすることであろうが、最先端の研究を実施することで優れた人材を育成・輩出することも、これからの日本の技術競争力を考えると重要だと考えている。我々のチームの代表・分担者はすべて大学教員であったため、多くの学生諸君と一緒に研究することができ、多くの優れた学生を社会に送り出すことができたことと自負している。このような研究をする機会を与えていただいたJSTはじめご関係の皆さまに、感謝申し上げます。



